

Evaluasi pemilihan komponen arsitektur terhadap kinerja mikroprosesor bus tunggal

Andreas Febrian, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=125725&lokasi=lokal>

Abstrak

Tugas akhir ini membahas mengenai evaluasi pemilihan komponen terhadap kinerja mikroprosesor bus tunggal. Evaluasi dilakukan dengan mengamati clock cycle yang dibutuhkan untuk menyelesaikan sebuah program assembly. Terdapat empat buah desain mikroprosesor yang dibandingkan ditunjukkan pada bagan dibawah ini: Instruction Decoder ALU Register desain1 desain2 Counter desain3 desain4 Pemilihan Instruction Decoder atau ALU terkait pada penghitungan ag, sedangkan pemilihan Register atau Counter terkait pada implementasi Program Counter. Penghitungan kinerja dilakukan dengan menjalankan program Greatest Common Divisor (GCD) dalam dua versi, yaitu secara konvensional dan dengan menerapkan algoritma Euclid.

Hasil yang didapat dari uji coba adalah untuk implementasi Program Counter lebih baik dengan menggunakan Counter daripada menggunakan Register dilihat dari jumlah clock cycle yang dibutuhkan untuk selesai menjalankan program GCD. Jumlah sumber daya yang digunakan untuk mengimplementasikan Counter atau Register tidak jauh berbeda namun pada saat menggunakan Counter jumlah clock cycle yang dibutuhkan turun secara drastis. Untuk penghitungan flag yang digunakan pada perintah branch dengan kondisi, lebih baik dilakukan pada ALU daripada dilakukan dalam Instruction Decoder. Kriteria lebih baik disini juga dilihat berdasarkan jumlah clock cycle yang dibutuhkan untuk menghitung GCD.