

Analisa tanggapan waktu yang optimal terhadap luas rancangan layout CMOS VLSI pada register geser sipo dan inverter sebagai penggerak motor stepper tipe variabel reluktansi

Pipit Anggraeni, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=20244090&lokasi=lokal>

Abstrak

Motor stepper merupakan aktuator yang kita ketahui banyak diaplikasikan dalam pengaturan sudut-sudut tertentu untuk mendapatkan posisi yang dikehendaki. Keuntungan motor stepper adalah biaya yang rendah, handal, torsi tinggi saat kecepatan rendah dan konstruksi kokoh. Untuk menggerakkan motor stepper diperlukan masukan data paralel (misalnya ada enam masukan ditambah ground). Masing-masing masukan mendapat sinyal yang berbeda tapi berurutan satu saran lain. Masing-masing masukan terdapat sinyal pulsa yang berasal dari rangkaian driveriswitching yang biasanya dibangun dari transistor. Pengontrolan motor stepper dapat dilakukan oleh sebuah rangkaian digital bahkan sebuah komputer melalui serial port. Sehingga diperlukan satu rangkaian untuk mengubah data seri tersebut menjadi data paralel yang bisa dibaca oleh motor stepper. Rangkaian tersebut adalah SIPO (Serial In paralel Out). Bahasan ini mencoba untuk membuat rancangan layout CMOS dari paduan antara rangkaiM SIPO tersebut dengan driver stepper. Layout SIPO ini dibangun dari beberapa rangkaian D flip-flop. Hasil rancangan ini kemudian disimulasikan. Kemudian tanggapan waktunya dianalisa dengan membandingkannva dengan data tanggapan waktu dari IC CMMOS lain yang sudah ada. Perancangan layout ini menggunakan software "Magic CAD" untuk menggambar dan "IRSIM" untuk mensimulasikan hasil rancangan layoutnya. Didalamnya dibahas juga tentang tahapan-tahapan dalam perancangan layout ini yang akan membantu untuk memahami bagaimana suatu layout akhirnya akan terbentuk. Akhirnya dari 8 rancangan yang dibuat akan diambil rancangan yang memiliki luas layout yang paling kecil dengan tanggapan waktu yang masih dapat dianggap memenuhi kreiteria yang diinginkan.