

Analisa perubahan beban kapasitansi interkoneksi dan lebar kanal rangkaian terhadap waktu tunda inverter CMOS pada sinyal bandwidth video

Dimas Sumar Dwiherdadi, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=20244185&lokasi=lokal>

Abstrak

Rangkaian inverter CMOS merupakan bagian dasar dari suatu rangkaian terintegrasi atau chip dalam suatu peralatan elektronika. Fungsi lain untuk inverter CMOS adalah penggunaannya yang luas pada jaringan distribusi clock dan bus dalam kebanyakan rangkaian terintegrasi CMOS. Minimalisasi dan estimasi waktu tunda I delay untuk rangkaian inverter CMOS disebabkan oleh adanya pengisian dan pembuangan beban kapasitansi gerbang dijelaskan pada tugas akhir ini. Analisa berdasarkan pada perubahan beban kapasitansi interkoneksi dengan menggunakan nilai kapasitansi intrinsik yang tetap. Perbandingan antara perhitungan dan simulasi menggunakan perangkat lunak PSpice diperoleh dengan menggunakan inverter CMOS dengan panjang kanal 0,25- μ m pada parameter proses. Peningkatan beban kapasitansi berbanding lurus dengan peningkatan waktu tunda. Penurunan lebar kanal rangkaian menyebabkan peningkatan waktu tunda. Untuk memperoleh waktu tunda yang minimal maka waktu naik harus sama dengan waktu turun dengan cara membuat perbandingan rasio faktor gain sama. Waktu naik maksimum atau waktu turun maksimum sangat berpengaruh terhadap frekuensi maksimum yang dapat digunakan. Untuk sistem video NTSC, maksimum beban kapasitansi adalah 410fF dengan lebar kanal-p sama dengan lebar kanal-n. Untuk sistem video PAL dan SBCAM, maksimum beban kapasitansinya adalah 360fF dan 270fF.