

Perancangan phase - locked loop untuk mobile wimax pada frekuensi 2,3 GHz = Design of phase-locked loop for mobile wimax at 2.3 GHz

Feri Fajri, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=20248930&lokasi=lokal>

Abstrak

Skripsi ini bertujuan untuk merancang dan mensimulasikan pensintesa frekuensi yang dapat digunakan pada mobile WiMAX. Parameter PLL pensintesa frekuensi yang akan dirancang untuk mobile WiMAX didapatkan dari standar regulasi WiMAX. Penggunaan integer-N PLL sederhana memiliki kelemahan disebabkan spur serta harmonik-harmoniknya terletak pada frekuensi offset yang rendah serta kinerja derau fasa in-band yang buruk.

Fractional-N PLL diusulkan untuk mengatasi masalah tersebut dengan menggunakan teknik penekanan spur untuk menurunkan derau fasa. Teknik delta-sigma modulator fractional-N dipilih untuk mereduksi derau fasa untuk sistem mobile WiMAX disebabkan waktu settling, tingkat spur, dan derau fasa yang kecil dapat dicapai dengan menggunakan teknik ini.

Hasil simulasi menunjukkan bahwa sistem dalam keadaan stabil, dikarenakan nilai phase margin yang melebihi 45 derajat. Settling time dan derau fasa yang diperoleh dengan rancangan ini senilai 6,997 μ s, dan -114 dBc/Hz. Advance Design System 2008 update 1 (ADS) digunakan untuk mensimulasikan pensintesa frekuensi delta-sigma modulator fractional-N PLL.

The objective of this thesis is to presents a design and simulation of frequency synthesizer which can be used for mobile WiMAX. Design parameters for the proposed PLL frequency synthesizer for mobile WiMAX system are either selected from WiMAX standards. Using conventional integer-N PLL have disadvantage because the reference spur and its harmonic are located at low offset frequencies also bad in-band phase noise performance.

Fractional-N PLL is proposed to solving this problem with spur-suppression technique for phase noise reduction. Sigma-delta fractional-N technique is chosen for phase noise reduction for mobile WiMAX system, since low settling time, spurious level and phase noise can be obtained by using this technique. The simulation result shows the system is stable, since the phase margin is greater than 45 degree. The settling time, phase noise obtained with this synthesizer are 6,997 μ s, and -114 dBc/Hz respectively. Advance Design System 2008 update 1 (ADS) is used for simulation of delta-sigma fractional-N PLL synthesizer.