

Rancang bangun dan analisis sistem peringatan polusi udara pada area parkir tertutup menggunakan FPGA xilinx spartan 3E

Vicky Dwi Kurniawan, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=20304133&lokasi=lokal>

Abstrak

Area parkir tertutup merupakan salah satu tempat terjadinya polusi udara tertutup akibat emisi gas buang kendaraan bermotor yang tidak dapat keluar dari ruangan tertutup. Polusi udara tertutup jauh lebih berbahaya dibandingkan dengan polusi udara terbuka. Skripsi ini merancang, membuat prototipe, serta menganalisis sistem peringatan polusi udara menggunakan Field Programmable Gate Array (FPGA) Xilinx Spartan 3E. Peralatan yang digunakan sebagai sistem peringatan dalam prototipe berupa LED, buzzer, dan fan. Metode yang digunakan dalam sistem embedded ini mengikuti Software Development Life Cycle (SDLC). Bahasa yang digunakan adalah VHDL dengan software Xilinx ISE.

Berdasarkan hasil uji coba, didapatkan hasil bahwa timing diagram antara simulasi Register Transfer Level (RTL) dan implementasi tidak jauh berbeda dengan selisih waktu 0.37%, sehingga untuk melihat output dan response time keseluruhan sistem dapat melalui simulasi RTL. Waktu yang dibutuhkan sistem untuk mengeluarkan CO lebih lama 60-71% dari perhitungan dikarenakan terdapat jeda waktu pembacaan kadar CO oleh sensor. Diperlukan sebanyak 1024 sampel data ADC pada FPGA Spartan 3E agar hasil pembacaan sensor stabil.

.....Closed parking area can deposit motor gas emission that could be harmful to humans. Indoor air pollution is more dangerous than the outdoor one. This thesis discusses the design, prototype making, and analyzes the embedded air pollution warning system using Field Programmable Gate Array (FPGA) Xilinx Spartan 3E. Other equipments use in this system are LED, buzzer, and fan. The method used in this research follows the Software Development Life Cycle (SDLC). The programming language used in configuring the FPGA Xilinx Spartan 3E is VDHL using Xilinx ISE Design Suite 13.2.

Based on result, Register Transfer Level (RTL) simulation and implementation timing diagram does not have much different with a difference 0,37% so to see the output and overall system response time can be through RTL simulation. Time required to remove carbon monoxide from the dummy box is 60-71% longer than the calculation because there is a lag time of the reading levels of CO by the sensor. 1024 data ADC samples are needed in order to give a stable result from FPGA Spartan 3E.