

Rancangan dan analisis rangkaian terpadu gerbang logika-biner multifungsi menggunakan floating-gate mosfet

Surya Alimsyah, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=78526&lokasi=lokal>

Abstrak

ABSTRAK

Pada tesis ini dibahas suatu MOSFET yang mendapat tambahan floating-Gate, dengan potensialnya dikendalikan oleh Gate-masukan jamak. Multiple-input floating-Gate MOSFET ini (disingkat uMOS), memberikan kemampuan fungsional yang tinggi berdasarkan karakteristik-dasar operasi penjumlahan level tegangan-gate yang mendapat pembobotan dan operasi threshold.

Menggunakan 6 buah C-uMOS serta sebuah C-MOS biasa, pada tesis ini telah dirancang suatu Gerbang-Logika tunggal yang bekerja secara biner dengan masukan 2-bit dan keluaran 1-bit, dan mampu mengoperasikan berbagai kemungkinan dari keseluruhan 16 macam fungsi-logika melalui pengendalian. Uji-validitas rancangan dilakukan berbantuan komputer menggunakan perangkat lunak PSpice versi 5.0a. Rancangan tata-letak chip rangkaian terpadu dari Gerbang tersebut juga dibuat - untuk rencana proses pabrikasinya, menempati luas area 57.200, dengan jalur sambungan 23 % diantaranya.

<i>ABSTRACT</i>

In this thesis is discussed a MOSFET which has an additional floating Gate, with its potential being controlled by multiple-input Gates. This multiple-input floating-Gate MOSFET (abbreviated as uMOS), presents a high functional capability based on a fundamental characteristic i.e. gate-level weighted sum and threshold operations.

By using 6 C-uMOSs and an ordinary C-MOS, in this thesis has been designed a single Logic-Gate which operates binary with 2-bit inputs and 1-bit output and capable to operates any of the total 16 different logic functions by controlled. Validity-test of the design has been carried out by the use of computer, using PSpice's software version 5.0a. The IC chip's layout was also designed for planning its fabrication process, needed a 57,200 A.' area, where routing was occupies 23% of it.</i>