

**PERANCANGAN MODULATOR QPSK UNTUK
MODEM *POWER LINE COMMUNICATION* DENGAN
MENGUNAKAN RANGKAIAN LOGIKA DISKRIT**

SKRIPSI

Oleh

RIZKI FATHONY

04 03 03 090 X



**PROGRAM STUDI TEKNIK ELEKTRO
DEPARTEMEN TEKNIK ELEKTRO
FAKULTAS TEKNIK UNIVERSITAS INDONESIA
GANJIL 2007/2008**

**PERANCANGAN MODULATOR QPSK UNTUK
MODEM *POWER LINE COMMUNICATION* DENGAN
MENGUNAKAN RANGKAIAN LOGIKA DISKRIT**

Oleh

RIZKI FATHONY
04 03 03 090 X



**SKRIPSI INI DIAJUKAN UNTUK MELENGKAPI SEBAGIAN
PERSYARATAN MENJADI SARJANA TEKNIK**

**PROGRAM STUDI TEKNIK ELEKTRO
DEPARTEMEN TEKNIK ELEKTRO
FAKULTAS TEKNIK UNIVERSITAS INDONESIA
GANJIL 2007/2008**

PERNYATAAN KEASLIAN SKRIPSI

Saya menyatakan dengan sesungguhnya bahwa skripsi dengan judul :

**PERANCANGAN MODULATOR QPSK UNTUK MODEM *POWER LINE*
COMMUNICATION DENGAN MENGGUNAKAN RANGKAIAN LOGIKA
DISKRIT**

yang dibuat untuk melengkapi sebagian persyaratan menjadi Sarjana Teknik pada program studi Teknik Elektro Departemen Teknik Elektro Fakultas Teknik Universitas Indonesia, sejauh yang saya ketahui bukan merupakan tiruan atau duplikasi dari skripsi yang sudah dipublikasikan dan atau pernah dipakai untuk mendapatkan gelar kesarjanaan di lingkungan Universitas Indonesia maupun di Perguruan Tinggi atau instansi manapun, kecuali bagian yang sumber informasinya dicantumkan sebagaimana mestinya.

Depok, 2 Januari 2008

(Rizki Fathony)
NPM 04 03 03 090 X

PENGESAHAN

Skripsi dengan judul :

**PERANCANGAN MODULATOR QPSK UNTUK MODEM *POWER LINE*
COMMUNICATION DENGAN MENGGUNAKAN RANGKAIAN LOGIKA
DISKRIT**

dibuat untuk melengkapi sebagian persyaratan menjadi Sarjana Teknik pada Program Studi Teknik Mesin Departemen Teknik Elektro Fakultas Teknik Universitas Indonesia. Skripsi ini telah diujikan pada sidang ujian skripsi pada tanggal 27 Desember 2007 dan dinyatakan memenuhi syarat/sah sebagai skripsi pada Departemen Teknik Elektro Fakultas Teknik Universitas Indonesia.

Dosen Pembimbing II,

Dr. Ir. Arman Djohan Diponegoro, M.Eng
NIP. 131476472

Depok, 2 Januari 2008

Dosen Pembimbing I,

Dr. Ir. Purnomo Sidi Priambodo, M.Sc
NIP. 0407050192

UCAPAN TERIMA KASIH

Penulis mengucapkan terima kasih kepada :

Dr. Ir. Purnomo Sidi Priambodo, M.Sc

Dr. Ir. Arman Djohan Diponegoro, M.Eng

selaku dosen pembimbing yang telah bersedia meluangkan waktu untuk memberikan pengarahan, diskusi dan bimbingan serta persetujuan sehingga skripsi ini dapat selesai dengan baik.

Rizki Fathony
NPM 04 03 03 090 X
Departemen Teknik Elektro

Dosen Pembimbing
I. Dr. Ir. Purnomo Sidi Priambodo, M.Sc
II. Dr. Ir. Arman Djohan Diponegoro, M.Eng

PERANCANGAN MODULATOR QPSK UNTUK MODEM *POWER LINE COMMUNICATION* DENGAN MENGGUNAKAN RANGKAIAN LOGIKA DISKRIT

ABSTRAK

Komunikasi dengan menggunakan kabel listrik membutuhkan teknik modulasi yang tepat, karena kabel listrik tidak didesain untuk menghantarkan data. Karena itu pada skripsi ini akan dibuat sebuah rancangan modulator yang ditujukan untuk komunikasi melalui kabel listrik dengan teknik modulasi QPSK dengan menggunakan simulator Multisim 10.

Modulator QPSK merupakan teknik modulasi yang telah lama dikenal di dunia telekomunikasi, yang menjadi berbeda pada skripsi ini adalah pada penggunaan komponennya. Modulator QPSK konvensional menggunakan rangkaian analog sedangkan pada QPSK ini digunakan rangkaian digital diskrit yang diimplementasikan ke dalam IC TTL.

Perancangan modulator QPSK dilakukan dengan menggunakan perangkat lunak simulasi yang dibuat berdasarkan dari blok diagram modulator QPSK konvensional, seperti, *serial to parallel data input*, *carrier generator*, *modulator module*, dan *linier summer*, namun terdapat beberapa komponen tambahan seperti *clock splitter*, *clock generator*, dan *filter*.

Analisis dibuat berdasarkan dari cara kerja, dan aspek kesesuaian dengan standar yang berlaku, serta kesesuaian dengan spesifikasi modem PLC yang diinginkan. Kesimpulan yang dapat diambil adalah modulator yang dirancang pada skripsi ini telah memenuhi standar yang berlaku dan dapat diterapkan dalam modem PLC meskipun terdapat sedikit kekurangan.

Kata kunci : Modem PLC, Modulator QPSK, IC TTL

Rizki Fathony NPM 04 03 03 090 X Departemen Teknik Elektro	Counselors I. Dr. Ir. Purnomo Sidi Priambodo, M.Sc II. Dr. Ir. Arman Djohan Diponegoro, M.Eng
--	---

PERANCANGAN MODULATOR QPSK UNTUK MODEM *POWER LINE COMMUNICATION* DENGAN MENGGUNAKAN RANGKAIAN LOGIKA DISKRIT

ABSTRACT

This paper explains the design of QPSK modulator which is proposed for communication via power line networks. As already known that communication via power-line network needs a suitable modulation, since power-line networks are very noisy and originally were not designed for communication. The QPSK modulation technique had been chosen, since it is one of the effective modulation methods to be implemented in the high noisy communication channel such as power-line networks.

QPSK modulation is a well-known modulation technique in telecommunication field. One makes this design different from existing design is the use of the electronic discrete components. In this research, it is shown that QPSK modulator can be built up from discrete digital TTL integrated circuits which are enormously available in the market. This QPSK modulator was designed by using simulation software called *Multisim 10 Simulator*. The QPSK modulator consists of several block functions, i.e. data splitter, square-wave generator, serial to parallel input data, low-pass filter, modulation module and summing circuit.

This QPSK modulator is designed to work in 250 kHz carrier frequency and having speed of about 60 kbps. Analysis has been made based on how the circuit works and comparison to the existing standard. This designed QPSK modulator is concluded to be able to work and support for PLC system and in the future can be improved to obtain a better PLC modem performance.

Keywords : PLC modem, QPSK Modulator, Logic TTL IC

DAFTAR ISI

	Halaman
PERNYATAAN KEASLIAN SKRIPSI	ii
PENGESAHAN	iii
UCAPAN TERIMA KASIH	iv
ABSTRAK	v
ABSTRACT	vi
DAFTAR ISI	vii
DAFTAR GAMBAR	ix
DAFTAR TABEL	xi
DAFTAR LAMPIRAN	xii
DAFTAR SINGKATAN	xiii
DAFTAR ISTILAH	xiv
BAB I PENDAHULUAN	1
1.1 LATAR BELAKANG	1
1.2 TUJUAN PENELITIAN	2
1.3 BATASAN MASALAH	2
1.4 METODOLOGI PENELITIAN	2
1.5 SISTEMATIKA PENULISAN	2
BAB II DASAR TEORI	4
2.1 SEKILAS PLC	4
2.1.1 Prinsip Dasar PLC	5
2.1.1.1 <i>Metode Modulasi</i>	5
2.1.1.2 <i>Kemampuan Chip-Set</i>	6
2.1.1.3 <i>Amplifier</i>	6
2.1.1.4 <i>Rangkaian Coupler</i>	6
2.1.2 Hambatan-Hambatan Implementasi PLC	6
2.1.2.1 <i>Atenuasi</i>	7
2.1.2.2 <i>Trafo</i>	7
2.1.2.3 <i>Interferensi</i>	7
2.2 QPSK (QUADRATURE PHASE SHIFT KEYING)	7

2.3	MODULATOR DAN DEMODULATOR QPSK	9
2.3.1	Modulator QPSK	9
2.3.2	Demodulator QPSK	12
BAB III PERANCANGAN MODULATOR QPSK		14
3.1	PERANCANGAN MODULATOR	16
3.1.1	Square-wave Generator	16
3.1.2	Rangkaian Modulator	18
3.1.2.1	<i>Clock Splitter</i>	18
3.1.2.2	<i>Serial to Parallel Data Input</i>	22
3.1.2.3	<i>Carrier Generator</i>	24
3.1.2.4	<i>Modulator</i>	25
3.1.3	Filter dan Summing Circuit	26
BAB IV ANALISIS		29
4.1	ANALISIS KERJA RANGKAIAN	29
4.1.1	Analisis Kerja Square-wave Generator	29
4.1.2	Analisis Kerja Clock Splitter	30
4.1.3	Analisis Kerja Serial to Parallel Data Input	30
4.1.4	Analisis Kerja Carrier Generator	32
4.1.5	Analisis Kerja Modulator Module	32
4.1.6	Analisis Kerja Filter dan Summing Circuit	33
4.2	ANALISIS PERFORMANSI SIMULASI	35
BAB V KESIMPULAN		40
DAFTAR ACUAN		42
DAFTAR PUSTAKA		43
LAMPIRAN		44

DAFTAR GAMBAR

	Halaman
Gambar 2.1 Jaringan Sederhana PLC[2]	5
Gambar 2.2 Gambar Sinyal BPSK[3]	7
Gambar 2.3 Perbandingan modulasi ASK, FSK, dan PSK[4]	8
Gambar 2.4 Diagram Konstelasi QPSK[5]	9
Gambar 2.5 Sinyal Modulasi QPSK[6]	9
Gambar 2.6 Diagram blok modulator QPSK	10
Gambar 2.7 Diagram Demodulator QPSK	12
Gambar 3.1 Blok Diagram Desain QPSK Modulator	14
Gambar 3.2 Gambar Keseluruhan Modulator	15
Gambar 3.3 Daftar Komponen Multisim	16
Gambar 4.4 Rangkaian <i>Square-wave Generator</i> 600 kHz	17
Gambar 3.5 Skematik IC 74LS163	19
Gambar 3.6 Rangkaian Dalam IC 74LS163	19
Gambar 3.7 Diagram waktu <i>binary counter</i>	21
Gambar 3.8 <i>Clock Splitter</i>	22
Gambar 3.9 Rangkaian D Flip-flop	22
Gambar 3.10 <i>SR Latch</i>	23
Gambar 3.11 <i>Serial to Parallel</i> 2 bit	24
Gambar 3.12 Rangkaian <i>Carrier Generator</i>	25
Gambar 3.13 Representasi Fourier sinyal kotak[9]	27
Gambar 3.14 Filter pengubah sinyal kotak menjadi sinusoidal	27
Gambar 3.15 Rangkaian penguat aktif	28
Gambar 4.1 Keluaran LM 555	29
Gambar 4.2 Keluaran <i>Counter</i> pada <i>Clock Splitter</i>	31
Gambar 4.3 Sinyal Keluaran Sub Bagian <i>Serial to Parallel Data Input</i>	31
Gambar 4.4 Output sub bagian <i>Carrier Generator</i>	32
Gambar 4.5 Output Modulator (I-Phase)	33
Gambar 4.6 Output dan Input Filter	34

Gambar 4.7 Grafik Input-Output <i>Summing Circuit</i>	34
Gambar 4.8 Keluaran rangkaian modulator	35
Gambar 4.9 Keluaran modulator saat <i>start-up</i>	36
Gambar 4.10 Keadaan modulator pada saat <i>steady</i>	36
Gambar 4.11 Keadaan modulator saat terjadi perubahan data	37
Gambar 4.12 Pergeseran fasa saat data berubah	38
Gambar 4.13 Gambar osiloskop keluaran modulator	39

DAFTAR TABEL

	Halaman
Tabel 2.1 Pemetaan Simbol-simbol QPSK[7]	11
Tabel 3.1 Fungsi IC 74LS163	20
Tabel 3.2 Output IC 74LS163 Pada Mode <i>Count</i>	20
Tabel 3.3 Tabel Keadaan SR <i>Latch</i>	23
Tabel 3.4 Tabel Keadaan D Flip-flop	23
Tabel 3.5 Tabel Keadaan Gerbang XOR	25

DAFTAR LAMPIRAN

	Halaman
Lampiran 1 Gambar Rangkaian Modulator	44
Lampiran 2 Gambar Rangkaian Sub Bagian <i>modulator main circuit</i>	45
Lampiran 3 Gambar Rangkaian Sub Bagian <i>Clock</i>	46
Lampiran 4 Konfigurasi Timer LM 555	47

DAFTAR SINGKATAN

AM	Amplitude Modulation
AMR	Automated Meter Reading
ASK	Amplitude Shift Keying
BPSK	Binary Phase Shift Keying
DC	Direct Current
FM	Frequency Modulation
FSK	Frequency Shift Keying
IC	Integrated Circuit
LPF	Low Pass Filter
MODEM	Modulator Demodulator
OFDM	Orthogonal Frequency Division Multiplexing
OPAMP	Operational Amplifier
PLC	Power Line Communication
QPSK	Quadrature Phase Shift Keying
RCO	Ripple Carry Output
TTL	Transistor-Transistor Logic
UTP	Unshielded Twisted Pair

DAFTAR ISTILAH

Carrier	Sinyal pembawa
Charging	Proses pengisian muatan listrik pada kapasitor
Chip-set	Sebuah set yang terdiri dari beberapa komponen
Clock	Pewaktu
Coupler	Sebuah alat yang menggabungkan dua buah sistem yang berbeda
Discharging	Proses pembuangan muatan listrik pada kapasitor
Duty cycle	Perbandingan antara waktu menyala dan mati pada pulsa kotak
Integrated circuit	Komponen yang memiliki banyak sub-komponen di dalamnya
Latch	Rangkaian dasar flip-flop
Modulation	Teknik menumpangkan informasi ke sebuah sinyal pembawa
Return of investment	Pengembalian modal dalam sebuah investasi
Smart home controlling	Teknologi yang memungkinkan mengendalikan perangkat rumah dari satu sistem
Square-wave	Gelombang berbentuk kotak
Summer	Alat penjumlah
Trigger	Pemicu
Wideband Frequency	Frekuensi pita lebar

BAB I

PENDAHULUAN

1.1 LATAR BELAKANG

Teknologi dibidang informasi dan telekomunikasi telah berkembang dengan pesat. Perkembangan dunia telekomunikasi dan informasi sangat penting untuk menunjang kegiatan masyarakat dalam berbisnis yang memerlukan kecepatan komunikasi. Untuk menjadikan efektif dan efisiennya kegiatan bisnis pada suatu negara dibutuhkan pemerataan pengembangan fasilitas tersebut di seluruh wilayah negara tersebut.

Perkembangan dunia telekomunikasi dan informasi dapat menjadi tolok ukur kemajuan peradaban sebuah negara. Suatu fakta bahwa dengan kemudahan telekomunikasi dapat mempercepat pertumbuhan dan perkembangan sebuah negara dalam segala bidang seperti ekonomi, politik, pendidikan, pertahanan dan keamanan, dan bidang-bidang vital lainnya. Namun, tidak dapat disangkal bahwa perkembangan yang cepat ini hanya dapat dinikmati oleh sebagian wilayah, yaitu wilayah perkotaan dan sekitarnya. Bagi wilayah-wilayah pedesaan, perkembangan infrastruktur telekomunikasi dan informasi dirasa sangat lambat. Hal ini karena untuk menyediakan infrastruktur di wilayah pedesaan dibutuhkan dana yang sangat besar karena luasnya wilayah sedangkan *return of investment* sangat rendah, sehingga tidak ada investor yang berminat untuk menanamkan modalnya di pedesaan karena tingkat keuntungan yang sangat kecil. Bahkan para investor akan merugi bila menanamkan modalnya di pedesaan mengingat taraf hidup masyarakat pedesaan yang kecil.

Perkembangan teknologi telekomunikasi dan informasi di pedesaan sangat dibutuhkan karena dengan perkembangan teknologi yang pesat dapat memacu perkembangan ekonomi di wilayah tersebut, misalnya dengan internet yang dapat meningkatkan pengetahuan warga pedesaan, dan komunikasi informasi antar penduduk dapat lancar. Untuk merealisasikan hal ini, maka dibutuhkan solusi yang dapat menyampaikan informasi ke wilayah pedesaan namun murah, yaitu dengan infrastuktur yang telah tersedia yaitu jaringan listrik. Meskipun terpencil,

hampir seluruh wilayah pedesaan telah masuk listrik PLN, maka dari itu apabila informasi dapat tersampaikan melalui jaringan listrik, maka tidak perlu membangun infrastruktur baru untuk menerapkan teknologi informasi dan telekomunikasi di wilayah pedesaan tersebut. *Power Line Communication (PLC)* adalah solusinya. PLC merupakan metode pengiriman sinyal-sinyal informasi dengan memanfaatkan kabel jaringan listrik. Melalui metode ini, diharapkan wilayah-wilayah pedesaan dapat menikmati perkembangan teknologi telekomunikasi dan informasi tanpa memerlukan biaya yang besar untuk membangun infrastruktur baru.

Untuk membangun jaringan PLC, diperlukan modem PLC yang berfungsi sebagai sarana penyambung antara sumber data dan tujuan data. Teknik modulasi yang sesuai juga diperlukan agar didapatkan hasil yang sesuai dengan kebutuhan. QPSK adalah salah satu modulasi yang cocok diterapkan untuk modem PLC.

Pada skripsi ini, akan dibahas pembuatan modulator QPSK yang akan diimplementasikan ke dalam modem PLC dengan menggunakan rangkaian logika diskrit.

1.2 TUJUAN PENELITIAN

Tujuan penulisan skripsi ini adalah untuk menuntaskan skripsi sebagai syarat untuk mendapat gelar sarjana teknik.

1.3 BATASAN MASALAH

Skripsi ini dibatasi pada perancangan modulator QPSK dengan menggunakan IC (*integrated circuit*) TTL sebagai implementasi dari gerbang-gerbang logika.

1.4 METODOLOGI PENELITIAN

Pada skripsi ini, penelitian dilakukan dengan mempelajari prinsip kerja dari literatur yang ada, kemudian dilakukan perancangan modulator dengan menggunakan komponen digital namun tetap berfaedah pada konsep standar yang telah ada. Hal ini kemudian ditindak lanjuti dengan menganalisis cara kerja serta performansi dari simulasi yang telah dibuat.

1.5 SISTEMATIKA PENULISAN

Sistematika pembahasan skripsi ini adalah sebagai berikut :

BAB 1 PENDAHULUAN

Pendahuluan terdiri atas latar belakang, tujuan penelitian, batasan masalah, dan sistematika penulisan.

BAB 2 DASAR TEORI

Menjelaskan dasar-dasar teori yang berkaitan dengan PLC.

Menjelaskan teori-teori modulasi QPSK beserta perbandingannya dengan modulasi-modulasi digital lainnya.

BAB 3 PERANCANGAN MOLATOR QPSK DENGAN SIRKUIT LOGIKA

Menguraikan perancangan dan simulasi modulator.

BAB 4 ANALISIS

Menganalisis cara kerja, dan performansi dari simulasi.

BAB 5 KESIMPULAN

Berisi kesimpulan dari seluruh hasil pada bagian sebelumnya.

BAB II

DASAR TEORI

2.1 SEKILAS PLC

Power Line Communication (PLC) merupakan teknologi yang memungkinkan data-data digital dapat dikirimkan melalui kabel listrik. Teknik pengiriman data-data digital ini melalui tahap-tahap pemrosesan sinyal sehingga memungkinkan kabel listrik menjadi perantara dalam pengiriman data.

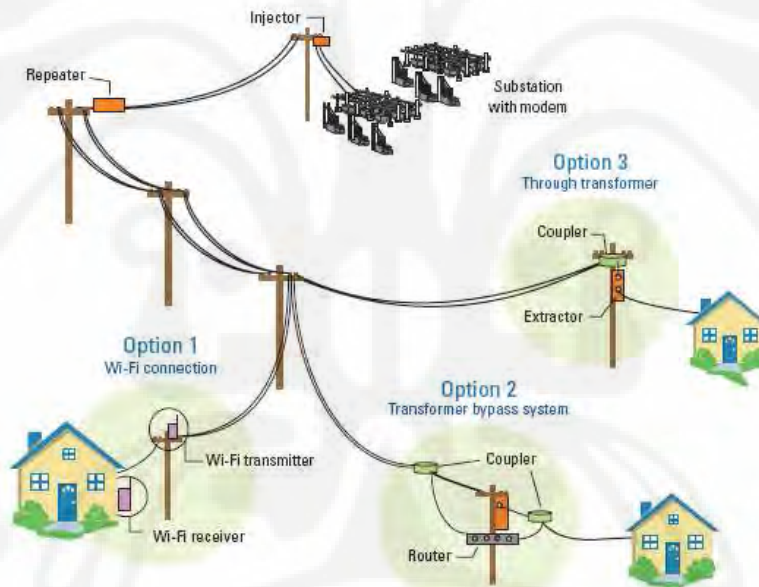
PLC merupakan teknologi yang sudah cukup lama dikembangkan namun, teknologi ini dahulu hanya digunakan untuk monitoring sistem pengukuran listrik karena modulasi yang digunakan tidak memungkinkan untuk menyalurkan data dengan kecepatan tinggi. Modulasi yang digunakan pada saat itu adalah modulasi linear AM, *usual double-sideband AM*, *single sideband AM* (SSB-AM), dan FSK. Pada saat ini, PLC telah mengalami perkembangan metode akses dan transmisi sehingga memungkinkan data dapat dikirimkan dengan kecepatan yang tinggi. Perubahan yang dilakukan adalah mengganti metode akses dan transmisi dengan mengadaptasi sistem komunikasi nirkabel seperti *Wide Bandwidth Spectrum Spread Method*, *Multi-Carrier Method*, QPSK (*Quadrature Phase Shift Keying*), dan dapat diterapkan multiplex pada datanya dengan menggunakan teknik OFDM (*Orthogonal Frequency Division Multiplexing*)[1].

Pada saat ini, PLC digunakan selain untuk AMR (*Automated Meter Reading*) dan Internet, juga digunakan untuk *smart home controlling*, yaitu suatu cara mengatur semua peralatan-peralatan yang ada di rumah dari jarak jauh, yang dibutuhkan hanyalah koneksi ke kabel listrik.

Keunggulan dari teknologi ini yang utama adalah teknologi ini tidak membutuhkan infrastruktur tambahan untuk menyalurkan data seperti pada teknik-teknik konvensional, seperti kabel telepon, serat optik, UTP, dan lain sebagainya, sehingga dengan teknologi ini, daerah-daerah yang belum terjangkau oleh media komunikasi elektronik dapat menikmati internet kecepatan tinggi asalkan daerah tersebut telah terdapat jaringan listrik.

2.1.1 Prinsip Dasar PLC

Pada dasarnya, untuk mengirimkan data pada jaringan listrik adalah dengan menggunakan sinyal carrier jauh di atas 50 atau 60 Hz sehingga mudah dilakukan proses pemfilteran terhadap frekuensi 50 atau 60 Hz tersebut. Frekuensi data yang dikirimkan melalui kabel listrik tidak dapat diterapkan dengan frekuensi tinggi, karena kabel listrik sangat buruk mengantarkan sinyal dengan frekuensi tinggi. Jaringan listrik yang memiliki tegangan tinggi juga sangat tidak stabil dan sangat noisy, sehingga saat ini data hanya dapat dikirimkan melalui jaringan listrik medium voltage dan jaringan listrik low-voltage. Sebuah jaringan PLC sederhana tampak pada Gambar 2.1 di bawah ini.



Gambar 2.1 Jaringan Sederhana PLC[2]

Jaringan PLC yang diimplementasikan dengan pita frekuensi yang besar (*broadband*) membutuhkan beberapa hal yang harus diperhatikan[2] yaitu metode modulasi, kemampuan matematis komputer, amplifier, dan *coupler*.

2.1.1.1 Metode Modulasi

Hal yang paling utama untuk mengimplementasikan PLC adalah teknik modulasi yang sesuai dengan keadaan jaringan. Jaringan yang digunakan adalah

jaringan listrik yang bukan didesain untuk menghantarkan sinyal dengan frekuensi tinggi, sedangkan untuk mendapatkan kecepatan yang ideal untuk menghantarkan data diperlukan frekuensi yang cukup tinggi. Pada saat ini OFDM merupakan teknik multiplex dan modulasi yang sesuai untuk PLC, karena OFDM memiliki ketahanan terhadap gangguan yang tinggi. Pada skripsi ini akan digunakan QPSK sebagai teknik modulasi untuk modem PLC. Penjelasan mengenai QPSK akan dijelaskan kemudian.

2.1.1.2 Kemampuan Chip-Set

Seperti telah disebutkan diatas bahwa jaringan listrik memiliki kemampuan untuk menghantarkan data. Hal ini disebabkan karena kabel listrik dengan tegangan tinggi memiliki *noise* yang cukup besar. Perhitungan matematis yang rumit sangat diperlukan untuk mendapatkan persamaan *noise* yang diinginkan, sehingga jika persamaan *noise* telah didapatkan akan dapat dilakukan pengolahan sinyal agar data-data yang dikirimkan tidak rusak. Perhitungan matematis yang rumit hanya dapat dilakukan oleh *chip-set* yang memiliki kemampuan perhitungan yang tinggi.

2.1.1.3 Amplifier

Noise yang tinggi menyebabkan data yang dikirimkan melalui kabel listrik tidak dapat dihantarkan dengan jarak yang jauh, maka dari itu diperlukan *repeater* berupa penguat sinyal agar data dapat dikirimkan dengan jarak yang jauh.

2.1.1.4 Rangkaian Coupler

Rangkaian *coupler* diperlukan agar modul PLC yang memiliki tegangan rendah dapat masuk ke kabel listrik yang bertegangan tinggi. Metode yang paling sederhana adalah menggunakan transformator dan yang menjadi masalah adalah bagaimana membuat sebuah trafo yang dapat diimplementasikan dengan frekuensi tinggi.

2.1.2 Hambatan-Hambatan Implementasi PLC

Jaringan listrik sesungguhnya tidak dirancang untuk komunikasi data yang melibatkan frekuensi tinggi. Sehingga penggunaan jaringan listrik sebagai media

komunikasi memiliki konsekuensi sangat ber-noise. Hal-hal yang membatasi pengimplementasian dari PLC selain oleh noise adalah[2]:

2.1.2.1 Atenuasi

Atenuasi adalah reduksi daya sebuah sinyal. Atenuasi dapat terjadi karena hambatan dalam dari kabel listrik. Besarnya nilai atenuasi dipengaruhi oleh frekuensi dan tegangan yang dihantarkan dalam suatu penghantar. Makin besar frekuensi yang dikirimkan maka makin besar pula atenuasinya.

2.1.2.2 Trafo

Trafo distribusi yang digunakan dalam jaringan PLC tidak memiliki spesifikasi untuk frekuensi tinggi, sehingga atenuasi yang terjadi pada trafo distribusi sangat besar.

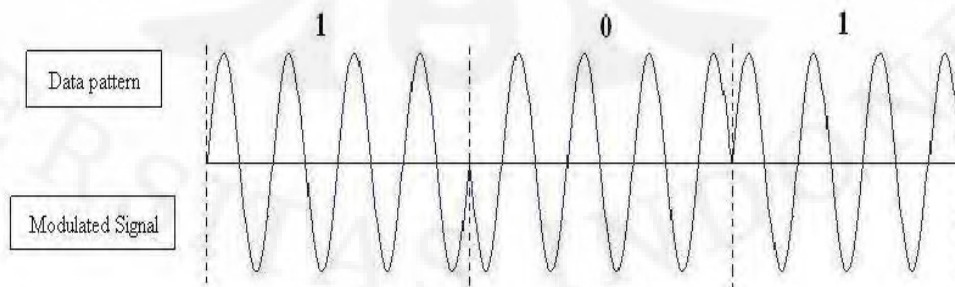
2.1.2.3 Interferensi

Interferensi dengan gelombang radio merupakan masalah yang paling berpengaruh dalam implementasi PLC. Gelombang radio memiliki frekuensi yang berpotongan dengan frekuensi PLC dan dapat menyebabkan data yang dikirimkan rusak.

2.2 QPSK (QUADRATURE PHASE SHIFT KEYING)

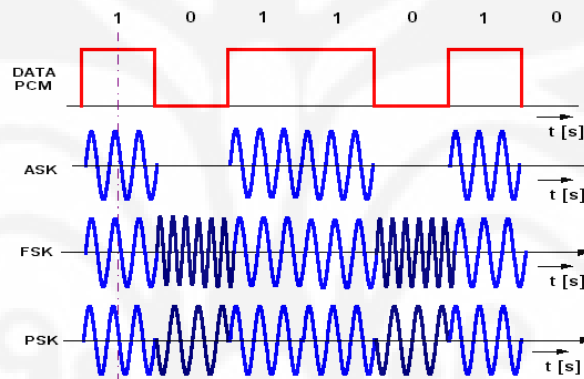
QPSK merupakan teknik modulasi lanjutan dari BPSK atau PSK konvensional. PSK pada prinsipnya adalah memanfaatkan perubahan fasa suatu sinyal sinusoidal untuk memisahkan antara bit data yang satu dengan bit data yang lainnya.

Pada BPSK, bit-bit data dipisahkan dengan perbedaan fasa sebesar 180° . Seperti pada Gambar 2.2 di bawah ini.



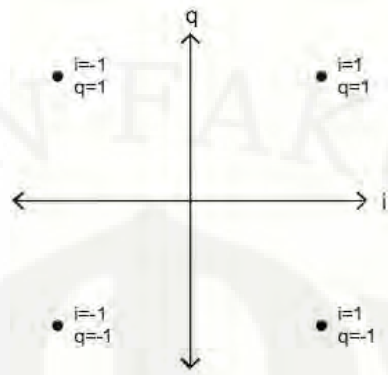
Gambar 2.2 Gambar Sinyal BPSK[3]

Pada Gambar 2.2 terlihat bahwa nilai biner '1' memiliki sinyal yang berbeda fasa 180^0 dengan nilai biner '0'. Dengan cara seperti ini, PSK atau BPSK memiliki keunggulan dibandingkan dengan modulasi FSK (*Frequency Shift Keying*) ataupun ASK (*Amplitude Shift Keying*). Keunggulannya adalah saat pengiriman terganggu oleh adanya *noise* yang cukup tinggi (umumnya berupa noise amplitudo dan frekuensi), kemungkinan data yang rusak akan kecil karena pada PSK informasi yang diambil adalah fasa dan bukan amplitudo maupun frekuensi. Pada FSK maupun ASK, data relatif rentan rusak ketika *noise* yang terjadi pada data cukup besar.



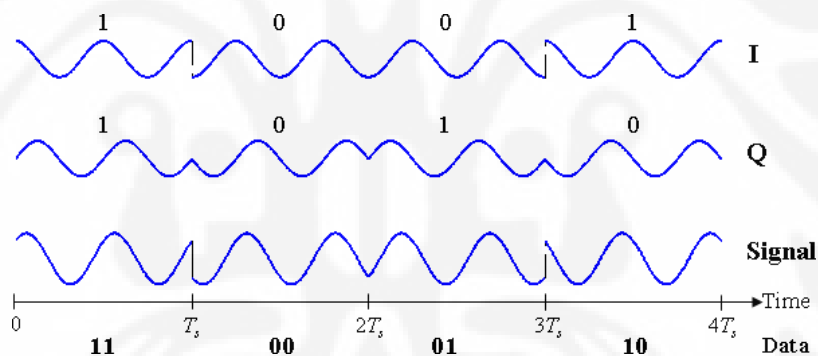
Gambar 2.3 Perbandingan modulasi ASK, FSK, dan PSK[4]

Pada QPSK, data dikelompokkan menjadi dua bit sekaligus, setiap kelompok 2 bit data memiliki perbedaan fasa sebesar 90^0 . Dengan demikian bit ratenya lebih cepat dua kali dibandingkan dengan BPSK. Kelompok data dipetakan dalam diagram konstelasi QPSK seperti pada Gambar 2.4 dibawah ini[3].



Gambar 2.4 Diagram Konstelasi QPSK[5]

Dari Gambar 2.4 di atas dapat dilihat bahwa nilai biner '00' memiliki fasa $\pi/4$, '01' memiliki fasa $3\pi/4$, '11' memiliki fasa $5\pi/4$, dan '10' memiliki fasa $7\pi/4$. Contoh modulasi sinyal dapat dilihat pada Gambar 2.5 di bawah ini.



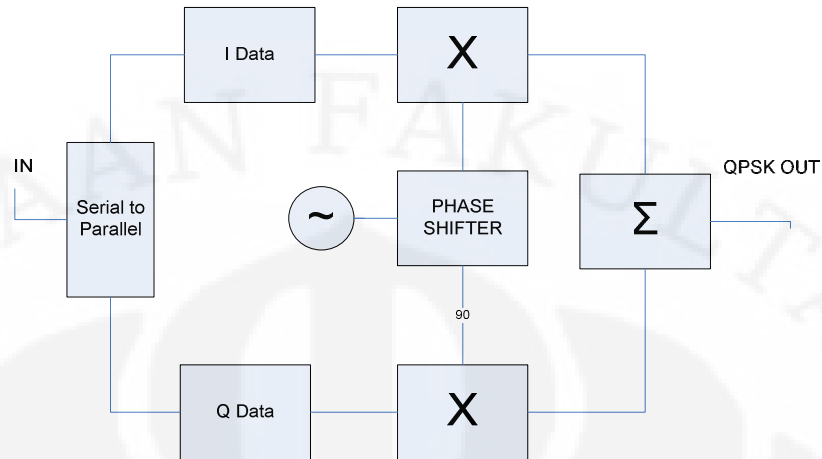
Gambar 2.5 Sinyal Modulasi QPSK[6]

2.3 MODULATOR DAN DEMODULATOR QPSK

Modulator-Demodulator (Modem) adalah sebuah alat yang digunakan untuk memodulasi dan mendemodulasi sinyal data termodulasi dengan sinyal carrier sebagai perantaranya.

2.3.1 Modulator QPSK

Modulator QPSK bekerja dengan cara membagi sinyal informasi menjadi dua bagian dan setiap bagian memiliki perbedaan fasa sebesar 90^0 . Blok diagram dari rangkaian modulator QPSK tampak pada Gambar 2.6 di bawah ini.



Gambar 2.6 Diagram blok modulator QPSK

Gambar 2.6 adalah gambar rangkaian sebuah modulator QPSK. Proses kerja blok diagram di atas adalah sebagai berikut: data dimasukkan secara serial kedalam sebuah *demultiplexor serial to parallel* yang akan membagi data masukan menjadi dua data I dan Q secara bergantian. Setiap pasangan data kemudian akan dimodulasikan dengan sinyal carrier yang berbentuk sinusoidal. Sinyal carrier untuk data I dan data Q memiliki perbedaan data sebesar 90^0 . Hasil dari modulasi ini kemudian disatukan dengan *linear summer*, dan jadilah keluaran QPSK yang siap untuk ditransmisikan. Penurunan persamaan umum QPSK adalah sebagai berikut[7] :

Karena $\sin\theta$ dan $\cos\theta$ berbeda 90^0 maka diketahui persamaan basis untuk I dan Q adalah :

$$\delta(t)_1 = \cos\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots (2.1)$$

$$\delta(t)_2 = \sin\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots (2.2)$$

Kemudian persamaan untuk kanal I dan Q adalah :

$$I = A\cos(2\pi f_c t) \dots\dots\dots (2.3)$$

$$Q = A\sin(2\pi f_c t) \dots\dots\dots (2.4)$$

Persamaan (2.1) dikalikan dengan persamaan (2.3) dan persamaan (2.2) dikalikan dengan persamaan (2.4) sehingga didapatkan:

$$I = A\cos(2\pi f_c t) \cos\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots (2.5)$$

$$Q = A \sin(2\pi f_c t) \sin\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots (2.6)$$

Kedua sinyal ini, yaitu persamaan (2.5) dan persamaan (2.6) dijumlahkan dengan menggunakan *linear summer*, kemudian dihasilkan persamaan :

$$s_i(t) = A \cos(2\pi f_c t) \cos\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) - A \sin(2\pi f_c t) \sin\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots (2.7)$$

Dengan menerapkan identitas trigonometri

$$\cos(A + B) = \cos A \cos B - \sin A \sin B$$

Maka didapatkan :

$$s_i(t) = A \cos\left(2\pi f_c t + \frac{1}{2}\pi i + \frac{1}{4}\pi\right) ; i = 0,1,2,3 \dots\dots\dots (2.8)$$

A adalah amplitudo dari sinyal keluaran, amplitudo ini ditentukan oleh kuatnya energi yang dikirimkan sesuai dengan persamaan[7] :

$$E = \frac{A^2 T}{2} \dots\dots\dots (2.9)$$

$$A = \sqrt{\frac{2E}{T}} \dots\dots\dots (2.10)$$

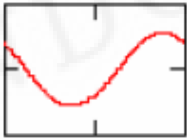
Sehingga didapatkan persamaan umum untuk QPSK adalah :

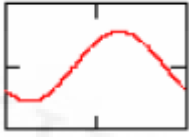
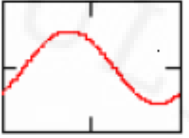
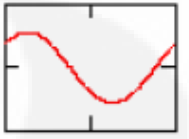
$$s_i(t) = \sqrt{\frac{2E}{T}} \cos\left(2\pi f_c t + \frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots (2.11)$$

Tabel 2.1 di bawah ini menunjukkan pemetaan untuk setiap simbol pada QPSK, nilai I dan Q didapatkan dengan memasukkan nilai $f_c=0$ dan

$$A = \sqrt{\frac{2E}{T}} = \sqrt{2}.$$

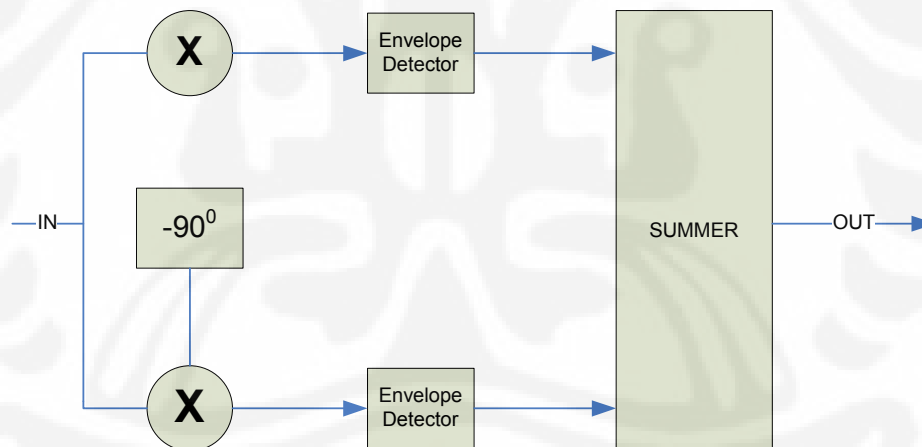
Tabel II.1 Pemetaan Simbol-simbol QPSK[7]

Simbol	Bit	S(t)	Fasa (^o)	Sinyal	I	Q
S0	00	$s_i(t) = A \cos\left(2\pi f_c t + \frac{1}{4}\pi\right)$	45		1	1

S1	01	$s_i(t) = A \cos(2\pi f_c t + \frac{3}{4}\pi)$	135		-1	1
S2	11	$s_i(t) = A \cos(2\pi f_c t + \frac{5}{4}\pi)$	225		-1	-1
S3	10	$s_i(t) = A \cos(2\pi f_c t + \frac{7}{4}\pi)$	315		1	-1

2.3.2 Demodulator QPSK

Demodulator QPSK bekerja berkebalikan dengan modulator yaitu mengembalikan sinyal-sinyal hasil modulasi menjadi bentuk-bentuk biner yang mengandung informasi semula. Proses pengembalian sinyal-sinyal yang telah termodulasi menjadi sinyal-sinyal informasi semula tampak pada Gambar 2.7 di bawah ini.



Gambar 2.7 Diagram Demodulator QPSK

Sinyal yang masuk ke rangkaian adalah sinyal hasil modulasi dari QPSK modulator dan sinyal ini akan terbagi ke dua arah. Arah yang pertama sinyal hasil modulasi disinkronisasi dengan generator pulsa internal tanpa ada perubahan fasa. Arah yang kedua dilakukan pergeseran fasa -90° agar didapat sinyal seperti pada sinyal sebelum dimodulasi. Keluaran dari sistem ini akan dimasukkan ke *envelope detector* berupa LPF sehingga sinyal yang masuk hanya sinyal frekuensi rendah

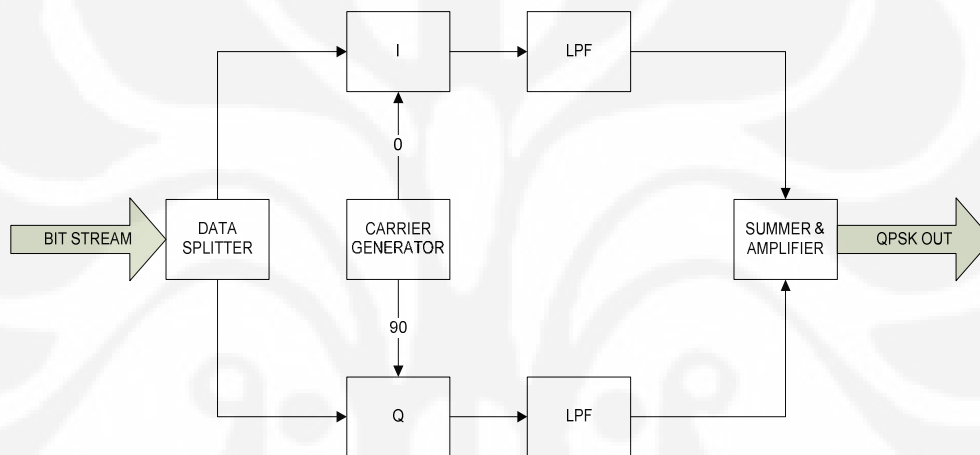
(sinyal data), sedangkan sinyal frekuensi tinggi (sinyal pembawa) dibuang. Hasilnya kemudian dijumlahkan oleh *summer*. Keluaran yang dihasilkan adalah keluaran data asli sebelum sinyal dimodulasi.



BAB III

PERANCANGAN MODULATOR QPSK

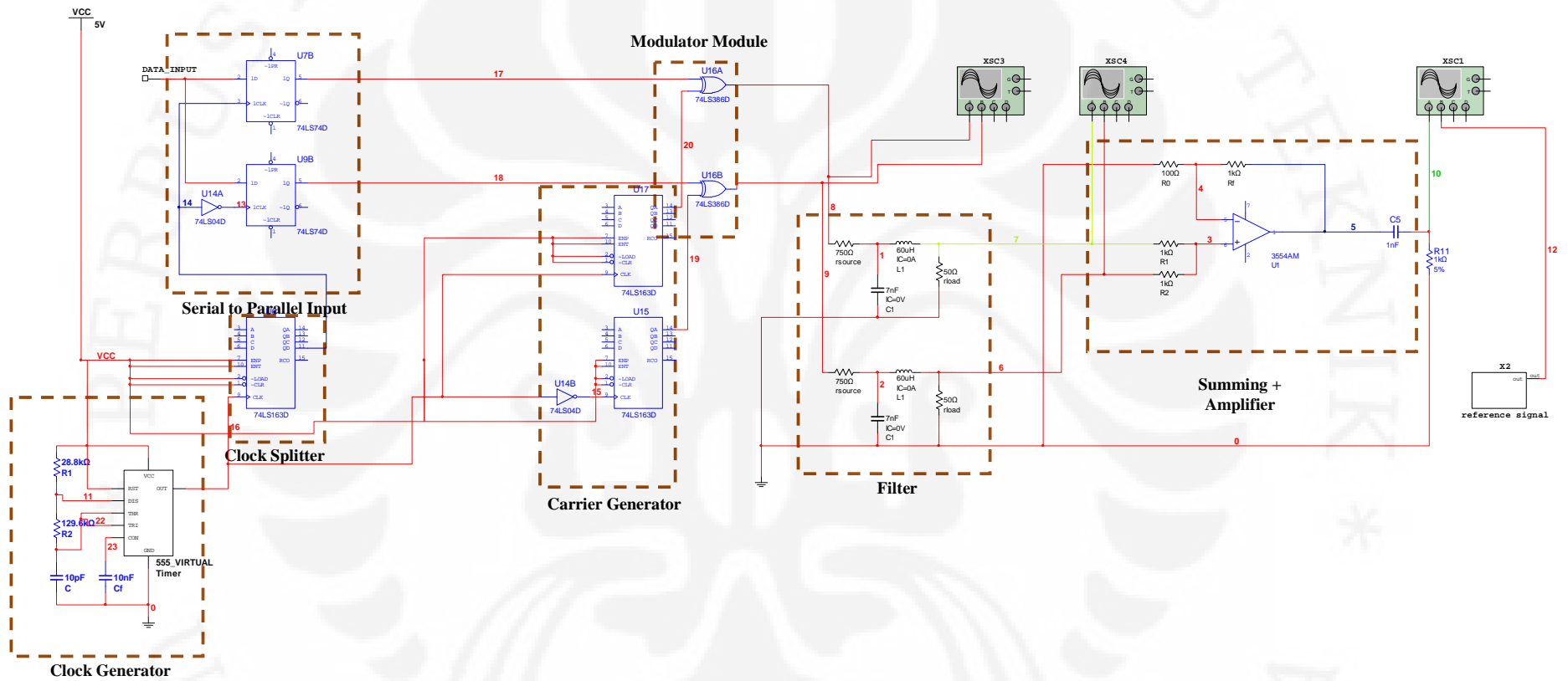
Modulator QPSK konvensional menggunakan rangkaian analog untuk memodulasi sinyal-sinyal digital yang akan dikirimkan. Ide untuk menggunakan rangkaian digital timbul atas dasar kemudahan perancangannya. Blok diagram modulator QPSK dengan menggunakan rangkaian logika terlihat pada Gambar 3.1 di bawah ini.



Gambar 3.1 Blok Diagram Desain QPSK Modulator

Gambar rangkaian keseluruhan dapat dilihat pada Gambar 3.2. Berikut akan dibahas mengenai perancangan modulator, dan simulasinya.

Perancangan model modulator QPSK yang dibuat berbasis sepenuhnya pada rangkaian diskrit digital. Komponen-komponen yang digunakan sebagian besar merupakan komponen gerbang-gerbang logika yang diimplementasikan dalam IC TTL.

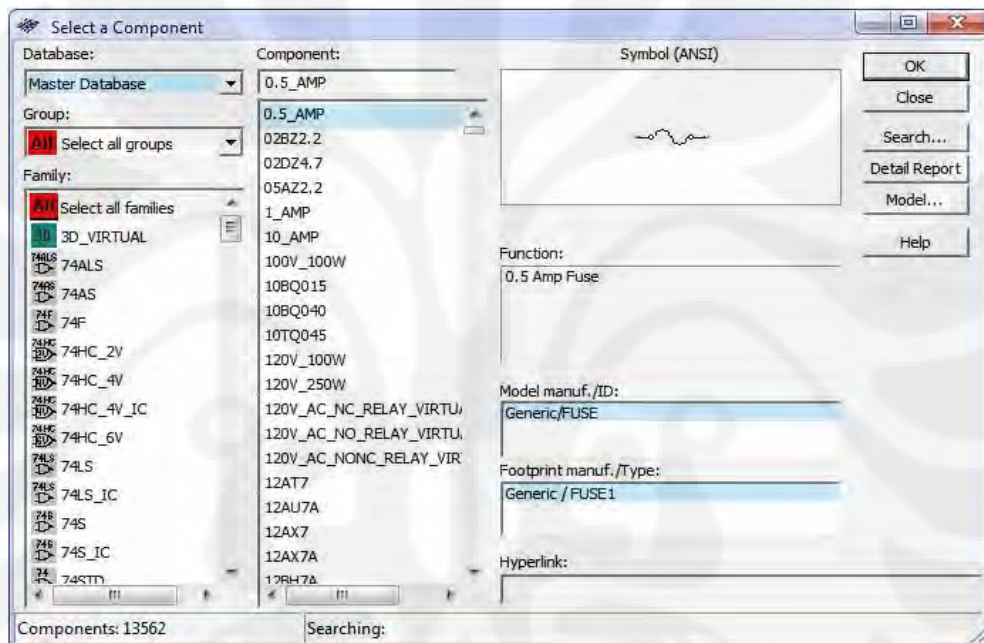


Gambar 3.2 Gambar Keseluruhan Modulator

3.1 PERANCANGAN MODULATOR

Perancangan rangkaian dibuat dengan menggunakan software NI Multisim Power Pro Edition versi 10 di atas sistem operasi Windows XP Professional SP2.

Software ini memiliki komponen-komponen baik komponen digital maupun komponen analog, dan software ini juga dilengkapi berbagai macam komponen *display* seperti *oscilloscope*, *led indicator*, *frequency counter*, *logic analyzer*, dan lain sebagainya. Daftar komponen terlihat pada Gambar 3.3.



Gambar 3.3 Daftar Komponen Multisim

Rangkaian modulator yang disimulasikan dipisah menjadi beberapa sub-bagian yakni bagian *square-wave generator*, QPSK modulator, dan filter beserta penjumlahan sinyal. Gambar rangkaian sub-bagian ini dapat dilihat pada bagian Lampiran.

3.1.1 *Square-wave Generator*

Rangkaian modulator QPSK membutuhkan pulsa *square-wave* untuk menjalankan data-data elektrik yang akan dikirimkan. Untuk membangkitkan pulsa ini, digunakan IC LM555 yang dirangkai dengan sistem Astabil.

IC ini dapat disusun menjadi dua jenis rangkaian yakni rangkaian monostabil dan rangkaian astabil. Rangkaian astabil adalah rangkaian multivibrator yang dapat menghasilkan pemacu internal yang kemudian digunakan untuk menghasilkan pulsa. Frekuensi sinyal yang diperlukan adalah sebesar 600 kHz dan *duty cycle* 50%. Rangkaian IC ini dapat dilihat pada Gambar 3.4.

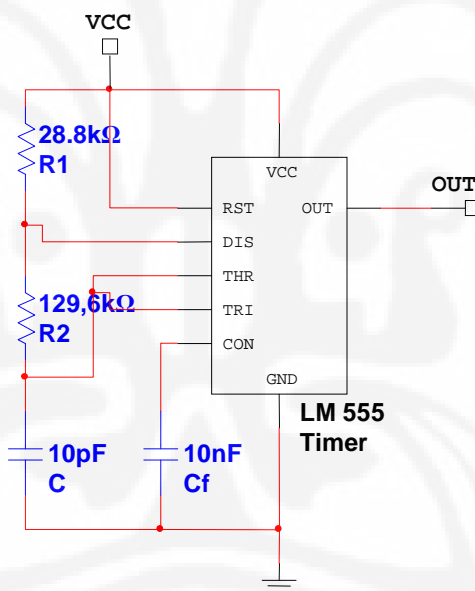
Nilai-nilai R1, R2, dan C didapatkan dengan memasukkan rumus karakteristik IC 555 yaitu :

$$D = \frac{R_b}{R_a + 2R_b} \dots\dots\dots (3.1)$$

$$0.5 = \frac{R_b}{R_a + 2R_b}$$

$$0.5R_a + R_b = R_b$$

$$R_a = 0$$



Gambar 4.4 Rangkaian *Square-wave Generator* 600 kHz

Nilai Ra terhitung 0 jika di-set *duty cycle* sebesar 0,5, kondisi ini jelas tidak mungkin, sehingga dilakukan pendekatan *duty cycle* sebesar 0,45.

$$0,45 = \frac{R_b}{R_a + 2R_b}$$

$$0,45R_a = 0,1R_b$$

$$R_b = 4,5R_a$$

,dan

$$f = \frac{1,44}{(Ra + 2Rb) \times C} \dots\dots\dots (3.2)$$

$$500 \times 10^3 = \frac{1,44}{(10Ra) \times C}$$

$$Ra = \frac{1,44}{(5 \times 10^5) \times (10) \times (10^{-11})} = 28.8K\Omega$$

$$Rb = 4.5 * 28.8K\Omega = 129.6K\Omega$$

3.1.2 Rangkaian Modulator

Bagian ini adalah bagian utama dari modulator QPSK yang dirancang. Simulasi modulator menggunakan komponen logika yang diimplementasikan dengan IC Digital. Pada bagian ini terdapat beberapa sub-bagian yakni *Clock Splitter*, *Serial to Parallel*, *Carrier Generator*, dan *Modulation Module*. Gambar keseluruhan rangkaian dapat dilihat pada bagian Lampiran.

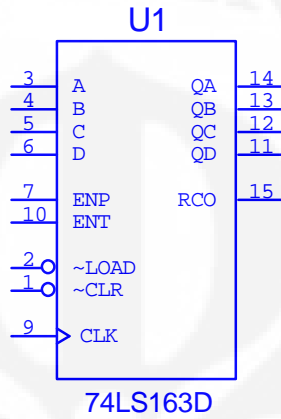
3.1.2.1 Clock Splitter

Clock yang dihasilkan pada bagian *square-wave generator* merupakan master clock yang akan menggerakkan keseluruhan sistem modulator. Kenyataannya, ada sub-sistem pada modulator yang memiliki kebutuhan frekuensi timer yang berbeda, namun tetap sinkron. Sub-bagian ini berfungsi untuk membagi clock yang dihasilkan dari *square-wave generator* menjadi dua bagian yaitu untuk bagian clock data dan bagian *carrier generator*.

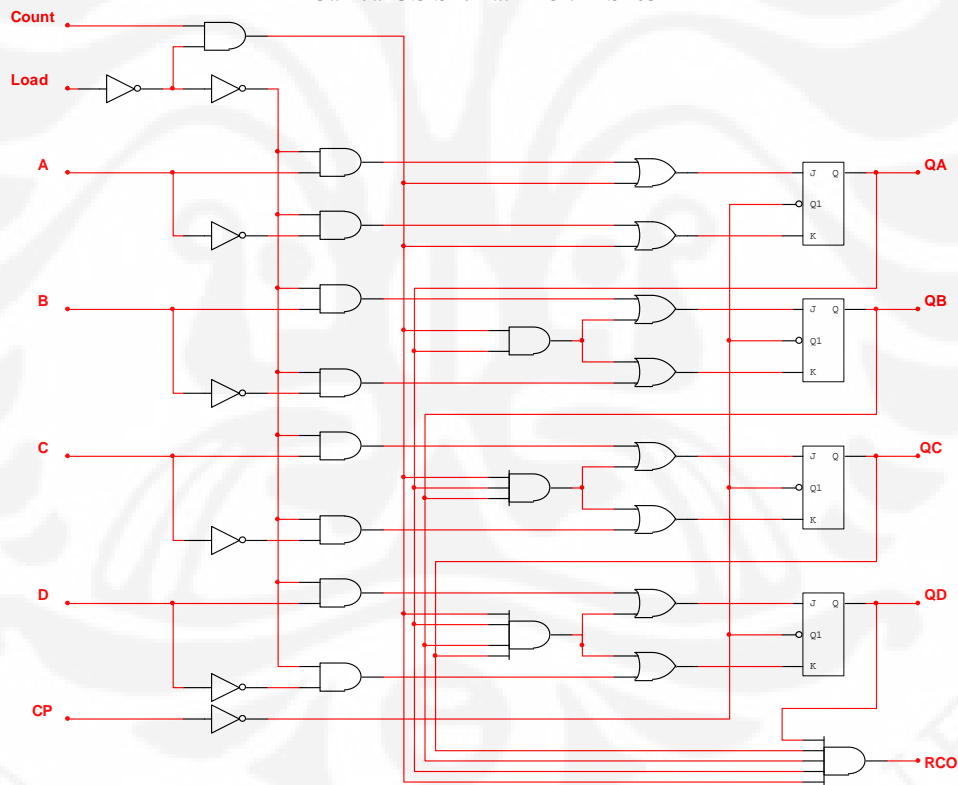
Untuk timer pada *carrier generator*, keluaran dari bagian *square-wave generator* tidak mengalami perubahan, namun untuk bagian clock data dilakukan penurunan frekuensi yang dihasilkan oleh *square-wave generator*. Hal ini dilakukan untuk mendapatkan clock data dengan frekuensi yang lebih rendah dari frekuensi *carrier*.

Menurunkan frekuensi clock dapat dilakukan dengan menggunakan IC *counter* sehingga didapatkan frekuensi input = 2 frekuensi output. *Counter* yang digunakan adalah IC 74LS163 yaitu pencacah biner 4 bit. Komponen ini berfungsi untuk menghitung secara biner dari 0000 hingga 1111 kemudian kembali lagi ke 0000. Gambar konfigurasi pin IC ini terlihat pada Gambar 3.5 dan rangkaian

dalam IC ini ada pada Gambar 3.6. Kaki-kaki IC ini berjumlah 16 buah, kaki 8 dan 16 adalah kaki-kaki power untuk VCC dan Ground sehingga tidak tampak pada skematik.



Gambar 3.5 Skematik IC 74LS163



Gambar 3.6 Rangkaian Dalam IC 74LS163

Kaki nomor 3, 4, 5, dan 6 adalah kaki input awal untuk menentukan nilai awal penghitungan. Kaki nomor 7 dan 10 adalah kaki Enable P dan T. Kaki nomor 9 adalah kaki ~LOAD, kaki nomor 1 adalah ~CLR, kaki nomor 11, 12, 13,

14 adalah kaki output perhitungan, dan RCO (*Ripple Carry Output*) adalah kaki untuk menandakan akhir perhitungan. Untuk menjelaskan secara detail masing-masing kaki dapat dilihat pada Tabel 3.1.

Tabel III.1 Fungsi IC 74LS163

INPUT						OUTPUT		MODE
\sim CL R	CL K	EN P	EN T	\sim LOA D	A-B-C- D	QN	RCO	
L	↑	X	X	X	X	0	0	Reset
H	↑	X	X	L	M	M	(1)	Parallel Load
H	↑	H	H	H	X	C	(1)	Count
H	↑	L	X	H	X	q	(1)	Hold
H	↑	X	L	H	X	q	0	Hold

Keterangan :

L = *Low state condition* (0)

H = *High state condition* (1)

↑ = *Low to High Transition*

X = *Don't Care*

M = *Variable*

C = *Count*

q = *Present State* (tidak berubah dari kondisi semula)

(1) = *High* saat counter mencapai akhir perhitungan (QN = HHHH)

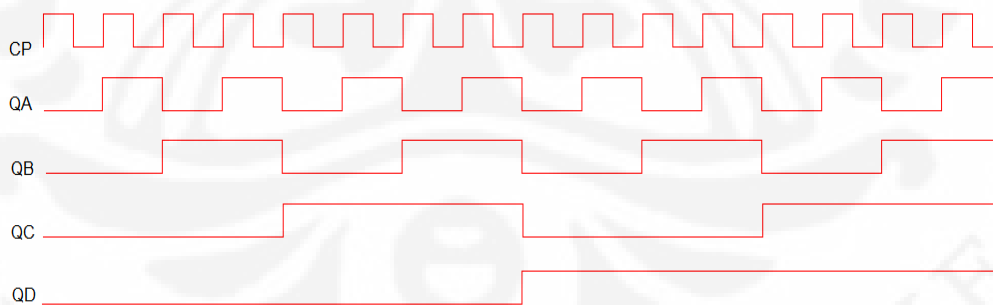
Pada saat mode penghitungan (*Count*), maka output dari IC ini tampak seperti Tabel 3.2 di bawah ini.

Tabel III.2 Output IC 74LS163 Pada Mode *Count*

Clock Transition	Output					Desimal
	QD	QC	QB	QA	RCO	
↑	0	0	0	0	0	0
↑	0	0	0	1	0	1
↑	0	0	1	0	0	2

↑	0	0	1	1	0	3
↑	0	1	0	0	0	4
↑	0	1	0	1	0	5
↑	0	1	1	0	0	6
↑	0	1	1	1	0	7
↑	1	0	0	0	0	8
↑	1	0	0	1	0	9
↑	1	0	1	0	0	10
↑	1	0	1	1	0	11
↑	1	1	0	0	0	12
↑	1	1	0	1	0	13
↑	1	1	1	0	0	14
↑	1	1	1	1	1	15

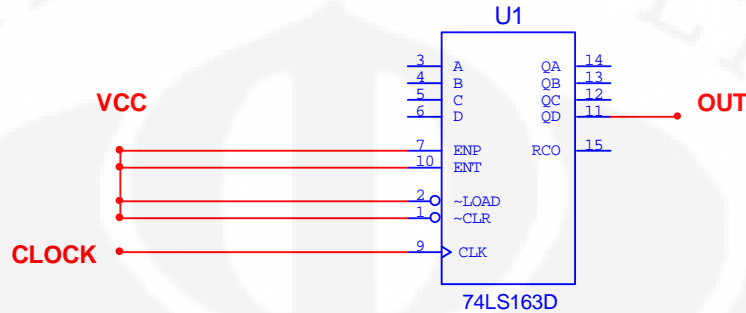
Dari Tabel 3.2 dapat dilihat bahwa IC counter ini menghasilkan output QA yang hanya akan berubah saat kondisi clock berubah dari 0 ke 1, output QB hanya akan berubah saat QA bertransisi dari 1 ke 0, output QC hanya akan berubah saat QB bertransisi dari 1 ke 0, dan QD hanya akan berubah saat QC bertransisi dari 1 ke 0, sehingga diagram waktunya dapat disusun seperti pada Gambar 3.7 dibawah ini.



Gambar 3.7 Diagram waktu *binary counter*

Rangkaian pada Gambar 3.8 merupakan rangkaian untuk menghasilkan clock dengan frekuensi 1/16 kali frekuensi utama. Frekuensi sebesar 1/16 kali frekuensi master diimplementasikan karena frekuensi yang dihasilkan pada bagian

carrier generator sebesar $\frac{1}{2}$ kali frekuensi master, sehingga dengan konfigurasi seperti ini perbedaan frekuensi *carrier* dengan frekuensi data adalah sebesar 8 kali, keadaan ini merupakan syarat dimana perbedaan frekuensi *carrier* dengan frekuensi data adalah sebesar 8 kalinya.

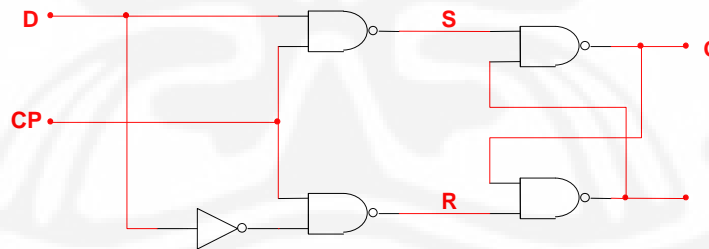


Gambar 3.8 Clock Splitter

3.1.2.2 Serial to Parallel Data Input

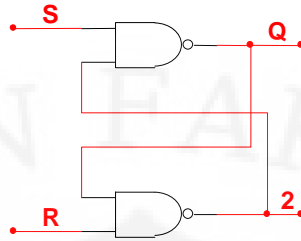
Rangkaian *serial to parallel* berfungsi untuk mengubah input serial menjadi paralel 2 bagian yaitu bagian I (*In-Phase*) dan Q (*Quadrature-Phase*). Sub-bagian ini tersusun dari 2 buah D-flip-flop.

Fungsi dari flip-flop adalah sebagai memori atau komponen penyimpanan nilai bit sementara. Gambar rangkaian D Flip-flop secara umum tampak pada Gambar 3.9.



Gambar 3.9 Rangkaian D Flip-flop

D Flip-flop yang diimplementasikan IC 74LS74, memiliki rangkaian dasar berupa SR *Latch* yang inputnya disusun sedemikian sehingga nilai S dan nilai R tidak akan pernah sama. Gambar SR *Latch* beserta tabel keadaannya dapat dilihat pada Gambar 3.10 dan Tabel 3.3.



Gambar 3.10 SR Latch

Tabel III.3 Tabel Keadaan SR Latch

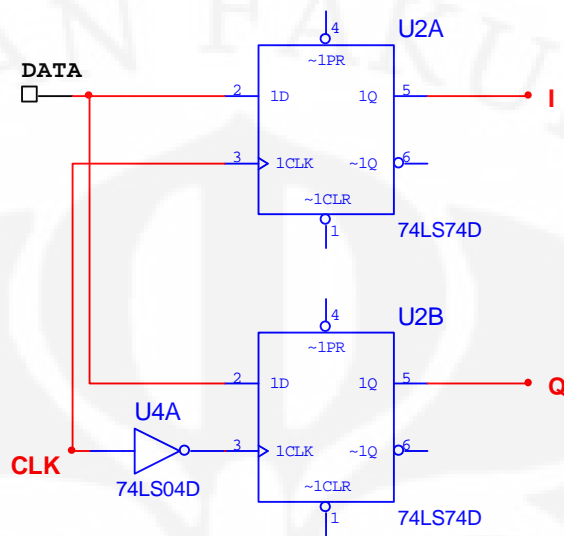
	R	Q
0	1	1 (<i>Set</i>)
1	1	1 (<i>Set</i>)
1	0	0 (<i>Reset</i>)
1	1	0 (<i>Reset</i>)
0	0	~ (<i>Undefined</i>)

Pada SR Latch terdapat kondisi *undefined*, yakni pada saat nilai $S = R = 0$. Pada kondisi ini keluaran Q akan bernilai sama dengan Q' , kondisi ini jelas menyalahi aturan dimana keluaran flip-flop saling berkebalikan. Untuk menghindarinya maka dibuatlah D Flip-flop. Tabel keadaan D Flip-flop dapat dilihat di Tabel 3.4 di bawah ini.

Tabel III.4 Tabel Keadaan D Flip-flop

CP	D	Q
0	X	No Change
1	0	Q=0 (<i>Reset</i>)
1	1	Q=1 (<i>Set</i>)

Pada saat kondisi *clock pulse*-nya bernilai nol, maka output dari flip-flop akan tetap seperti kondisi semula, dengan kata lain, flip-flop akan mempertahankan keluarannya selama *clock pulse* bernilai nol. Gambar rangkaian dari *serial to parallel data input* terlihat pada Gambar 3.11.



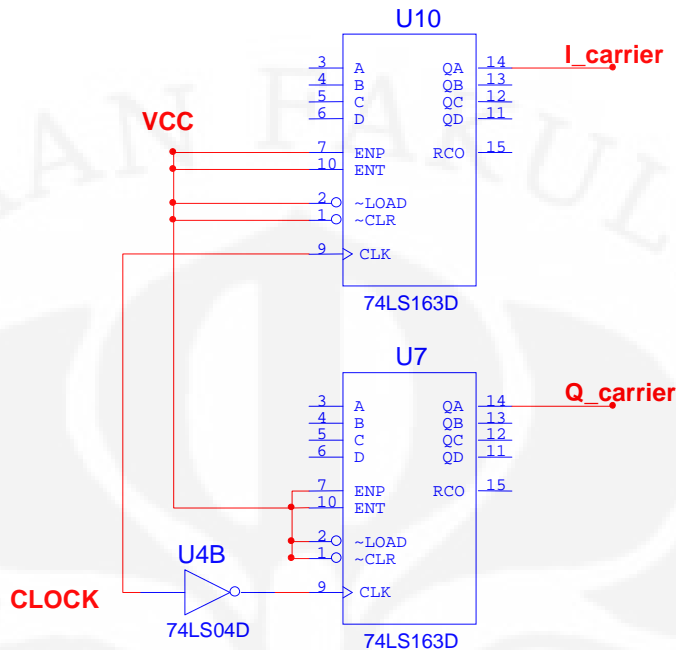
Gambar 3.11 Serial to Parallel 2 bit

Clock pada kedua D flip-flop tersebut dipasang secara paralel dimana salah satu clock untuk D flip-flop dinegasikan, sehingga D Flip-flop akan aktif secara bergantian.

3.1.2.3 Carrier Generator

Sub-bagian ini berfungsi sebagai penghasil sinyal *carrier* untuk bagian I dan bagian Q. Kedua bagian ini (I dan Q) memiliki perbedaan fasa 90° pada clocknya. Keluaran dari bagian ini kemudian akan dimodulasikan dengan data masuk. Bagian ini terdiri dari 2 buah IC counter yang dirangkai seperti pada Gambar 3.13.

Dengan konfigurasi seperti pada Gambar 3.12 akan dihasilkan sinyal kotak yang memiliki perbedaan fasa 90° . Frekuensi yang dihasilkan oleh bagian ini adalah $\frac{1}{2}$ kali dari frekuensi master clock.



Gambar 3.12 Rangkaian Carrier Generator

3.1.2.4 Modulator

Pada rangkaian analog, modulasi dapat diartikan sebagai perkalian. Dengan mengalikan sinyal carrier dengan sinyal data, maka akan dihasilkan *modulated signal* yang kemudian siap untuk ditransmisikan.

Pada rangkaian digital, modulasi sinyal dapat dilakukan dengan menggunakan gerbang XOR. Seperti diketahui bahwa gerbang XOR memiliki prinsip seperti pada Tabel 3.5.

Tabel III.5 Tabel Keadaan Gerbang XOR

A	B	$A \otimes B$
0	0	0
0	1	1
1	0	1
1	1	0

Keluaran dari gerbang XOR akan bernilai 1 apabila inputnya berbeda, sehingga dengan prinsip seperti ini, ketika sinyal data berubah, maka akan terjadi pergeseran fasa.

3.1.3 Filter dan Summing Circuit

Pada dasarnya sinyal kotak adalah hasil penjumlahan sinyal sinusoidal yang memiliki frekuensi yang berbeda-beda, maka untuk mengubah sinyal gelombang kotak yang dihasilkan menjadi sinyal sinusoidal diperlukan lowpass filter.

Pendekatan rumus untuk fungsi sinyal kotak dapat dilakukan dengan menggunakan Deret Fourier :

$$s(t) = a_0 + \sum_{k=1}^{\infty} \left(a_k \cos\left(\frac{2\pi kt}{T}\right) \right) + \sum_{k=1}^{\infty} \left(b_k \sin\left(\frac{2\pi kt}{T}\right) \right) \dots\dots\dots (3.3)$$

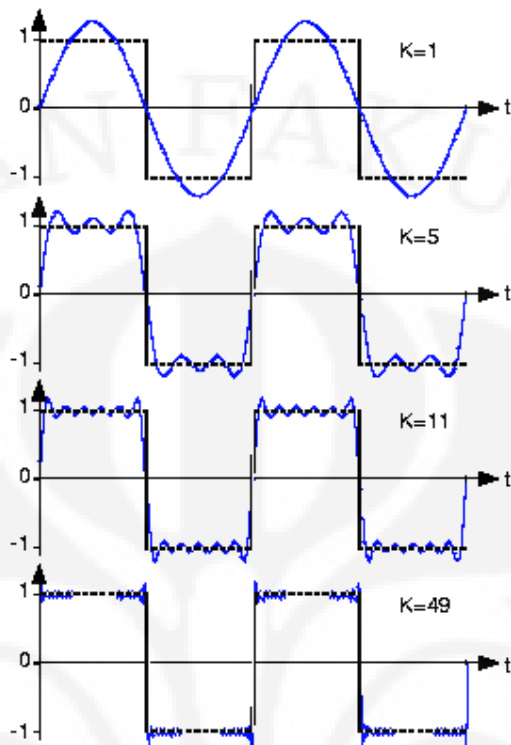
$$\begin{pmatrix} a_k \\ b_k \end{pmatrix} = \frac{2}{T} \int_0^{\frac{T}{2}} \begin{pmatrix} \cos\left(\frac{2\pi kT}{T}\right) \\ \sin\left(\frac{2\pi kT}{T}\right) \end{pmatrix} dt - \frac{2}{T} \int_{\frac{T}{2}}^T \begin{pmatrix} \cos\left(\frac{2\pi kT}{T}\right) \\ \sin\left(\frac{2\pi kT}{T}\right) \end{pmatrix} dt \dots\dots\dots (3.4)$$

Koefisien untuk $a_k = 0$ sehingga hanya didapatkan koefisien b_k

$$b_k = \begin{cases} \frac{4}{\pi k}, & \text{untuk } k \text{ ganjil} \\ 0, & \text{untuk } k \text{ genap} \end{cases} \dots\dots\dots (3.5)$$

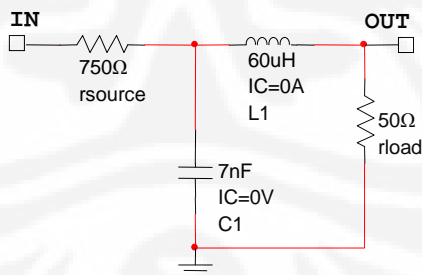
Sehingga didapatkan fungsi Deret Fourier untuk sinyal kotak adalah sebagai berikut :

$$sq(t) = \sum_{k \in \{1,3,5,\dots\}} \left(\frac{4}{\pi k} \sin\left(\frac{2\pi kt}{T}\right) \right) \dots\dots\dots (3.6)$$



Gambar 3.13 Representasi Fourier sinyal kotak[9]

Dari rumus diatas dapat dilihat bahwa sinyal yang memiliki daya yang tinggi adalah sinyal dengan k=1, sedangkan harmoniknya dihilangkan. Sinyal ini merupakan sinyal murni sinusoidal. Rangkaian filter yang digunakan tampak pada Gambar 3.14 dibawah ini.



Gambar 3.14 Filter pengubah sinyal kotak menjadi sinusoidal

Rangkaian filter didesain untuk melewatkan frekuensi dibawah 250 kHz, sehingga frekuensi-frekuensi harmonik yang memiliki frekuensi tinggi akan dibuang. Perhitungan filter yang digunakan adalah sebagai berikut :

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \dots\dots\dots(3.7)$$

$$2.5 \times 10^5 = \frac{1}{2\pi\sqrt{LC}}$$

$$\sqrt{LC} = \frac{1}{2\pi \times 2.5 \times 10^5}$$

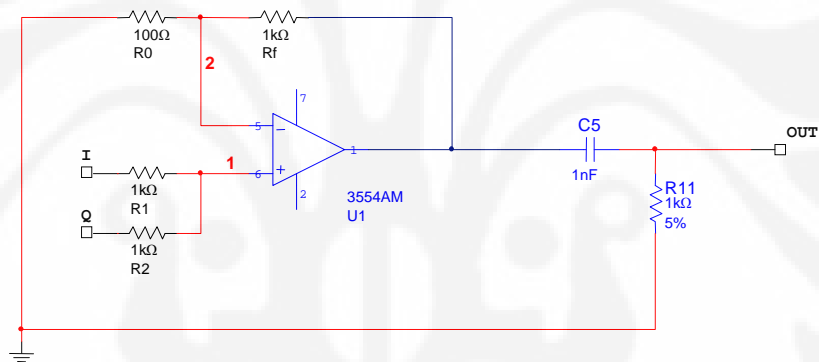
$$\sqrt{LC} = 6.3661977 \times 10^{-7}$$

misalkan $L = 60 \mu\text{H}$, maka

$$C = 6.75 \times 10^{-9}$$

$$C \approx 7 \mu\text{F}$$

Kemudian, sinyal keluaran dari filter ini digabungkan dengan menggunakan OPAMP sekaligus dikuatkan. Penguatan diimplementasikan karena keluaran dari filter tidak memiliki tegangan yang cukup untuk spesifikasi PLC yang diinginkan. Rangkaian OPAMP yang digunakan terlihat pada Gambar 3.15



Gambar 3.15 Rangkaian penguat aktif

Perhitungan penguatan dari rangkaian diatas dapat dilihat dari perhitungan di bawah ini:

$$V_o = \frac{1}{n} \left(\frac{(R_0 + R_f)}{R_0} \right) (V_1 + V_2 + V_3 + \dots + V_n) \dots \dots \dots (3.8)$$

$$V_o = \frac{1}{2} \left(\frac{(100 + 1000)}{100} \right) (V_1 + V_2 + V_3 + \dots + V_n)$$

Perbesaran yang terjadi adalah sebesar 11 kali.

BAB IV

ANALISIS

Rangkaian modulator yang disusun dengan menggunakan rangkaian logika memiliki sifat yang berbeda dengan modulator rangkaian analog konvensional. Analisis yang akan dibahas melingkupi analisis mengenai rangkaian modulator beserta cara kerjanya, dan analisis mengenai performansi dari rancangan modulator yang dikerjakan.

4.1 ANALISIS KERJA RANGKAIAN

Rangkaian modulator yang disusun terdiri dari tiga buah bagian utama seperti yang telah dijelaskan pada bab sebelumnya. Analisis mengenai sistem kerja dari setiap bagian ini akan dijelaskan di bawah ini.

4.1.1 Analisis Kerja *Square-wave Generator*

Square-wave generator yang dibangkitkan menggunakan LM 555 memiliki prinsip kerja sebagai berikut. Ketika LM 555 mendapat VCC, maka kapasitor C akan *charging* melalui Ra dan Rb dan *discharging* melalui Rb. Tegangan yang terdapat pada kapasitor ini digunakan sebagai *trigger* untuk menghasilkan transisi pada output.

Pada Gambar 4.1, terlihat bahwa *duty cycle* yang dihasilkan tidak bernilai 50%, karena hanya dilakukan pendekatan *duty cycle* sebesar 45%.



Gambar 4.1 Keluaran LM 555

4.1.2 Analisis Kerja Clock Splitter

Clock splitter memiliki fungsi untuk memecah satu master clock menjadi beberapa clock yang memiliki frekuensi berbeda. Untuk mendapatkan frekuensi-frekuensi ini digunakan IC counter dengan konfigurasi yang telah tercantum pada bab sebelumnya. Sinyal keluaran dari sistem ini tampak pada Gambar 4.2.

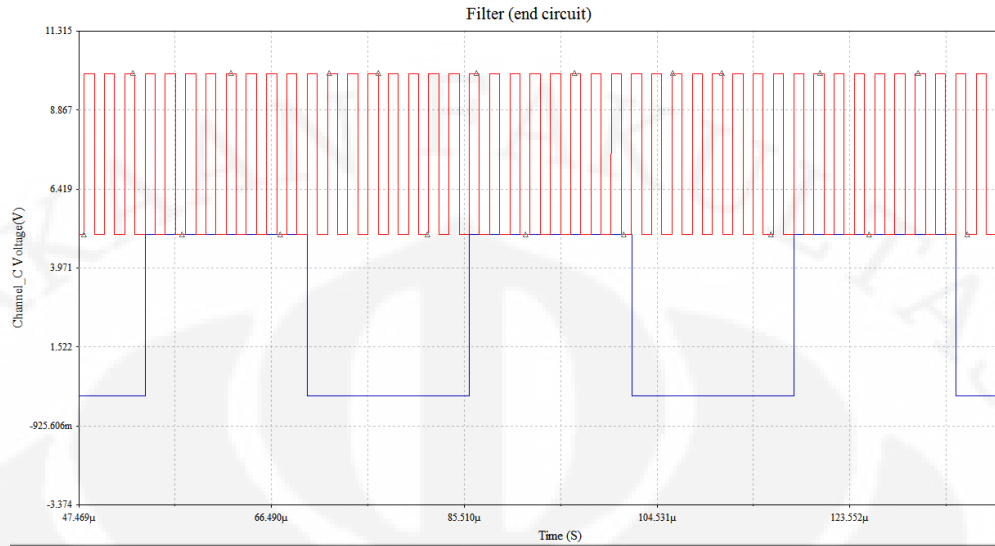
Pada Gambar 4.2 terlihat bahwa keluaran counter menghasilkan clock dengan frekuensi $1/16$ kali dari frekuensi master.

4.1.3 Analisis Kerja Serial to Parallel Data Input

Serial to Parallel terletak pada bagian data input yang akan mengubah input serial menjadi parallel 2 bit. Gambar rangkaian terlihat pada bab sebelumnya. Cara kerja rangkaian ini sebagai berikut: clock yang masuk ke dalam flip-flop akan berkerja secara bergantian karena salah satu input clock flip-flop dinegasikan, lebih jelasnya dapat terlihat pada Gambar 4.3.

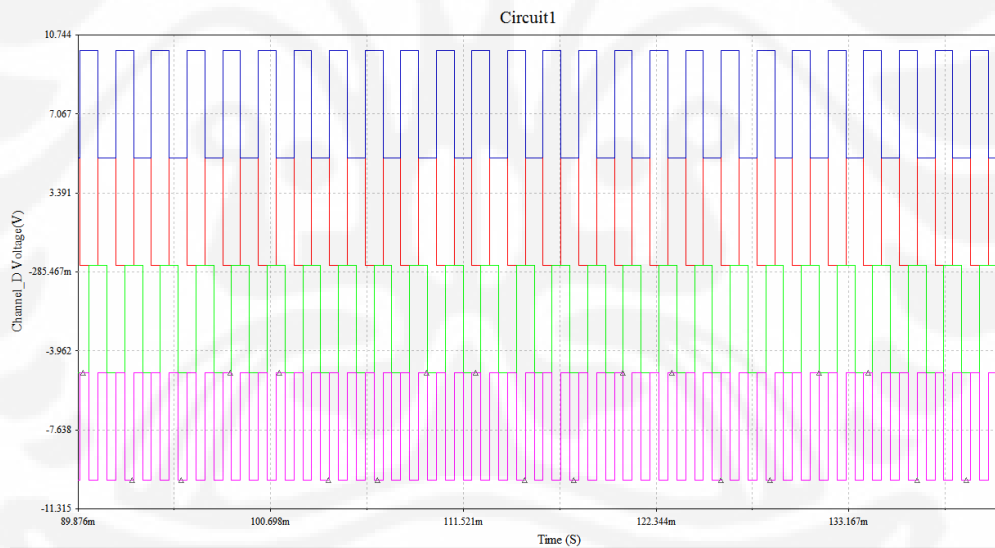
Pada saat clock FF1 bernilai 1, maka FF yang aktif adalah FF1 sedangkan FF2 non aktif sehingga input yang masuk akan diterima oleh FF1 saja (terlihat pada Gambar 4.3 saat clock FF1 bernilai 1 data yang diambil adalah data sebelumnya karena data transisi data input hampir bersamaan dengan transisi clock).

Pada saat clock FF1 bernilai 0, FF yang aktif adalah FF2 sedangkan FF1 non aktif sehingga input hanya diterima oleh FF2 saja (pada Gambar 4.2 terlihat pada saat clock bernilai 0, input masuk ke FF2 saja, sedangkan FF1 mempertahankan kondisi sebelumnya).



— master clock
 — Counter

Gambar 4.2 Keluaran Counter pada Clock Splitter



— Data input
 — D Flip-flop 1(FF1)
 — D Flip-flop 2(FF2)
 — Clock FF1

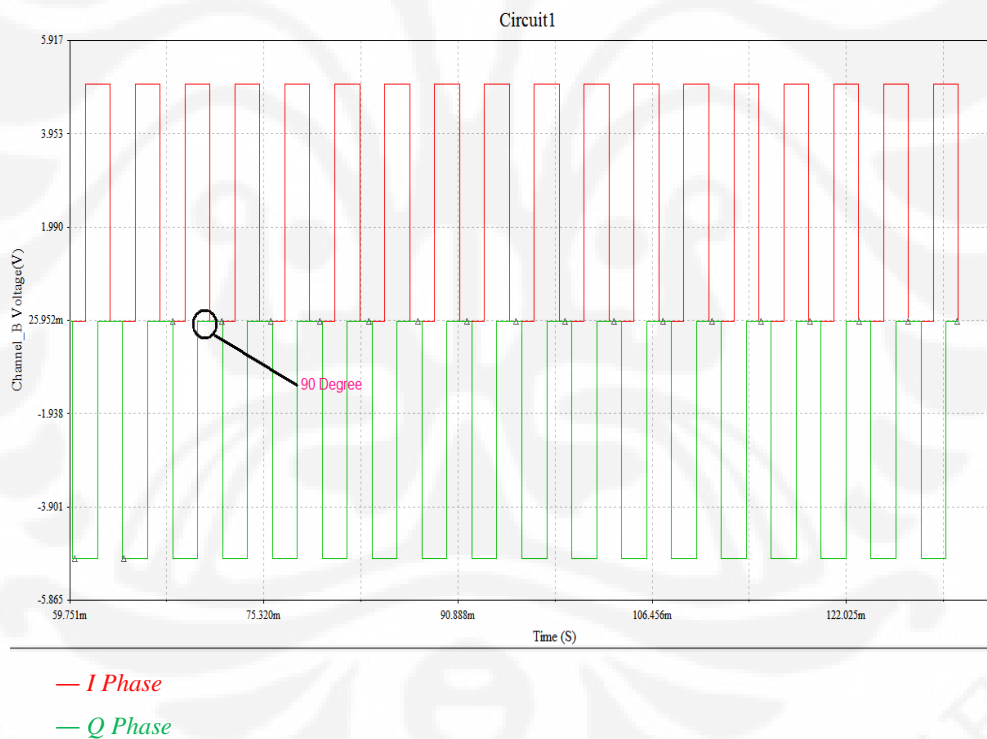
Gambar 4.3 Sinyal Keluaran Sub Bagian Serial to Parallel Data Input

4.1.4 Analisis Kerja *Carrier Generator*

Carrier Generator bertugas membangkitkan sinyal *envelope* untuk membawa data sehingga dapat mencapai jarak yang jauh karena frekuensinya lebih cepat (minimal 5 kali).

Bagian ini menghasilkan dua buah carrier dengan frekuensi yang sama, namun memiliki beda fasa 90° satu sama lain. Fasa utama disebut dengan *In-Phase*, dan satu lagi disebut dengan *Quadrature-Phase*. Gambar keluaran dari bagian ini terlihat pada Gambar 4.4.

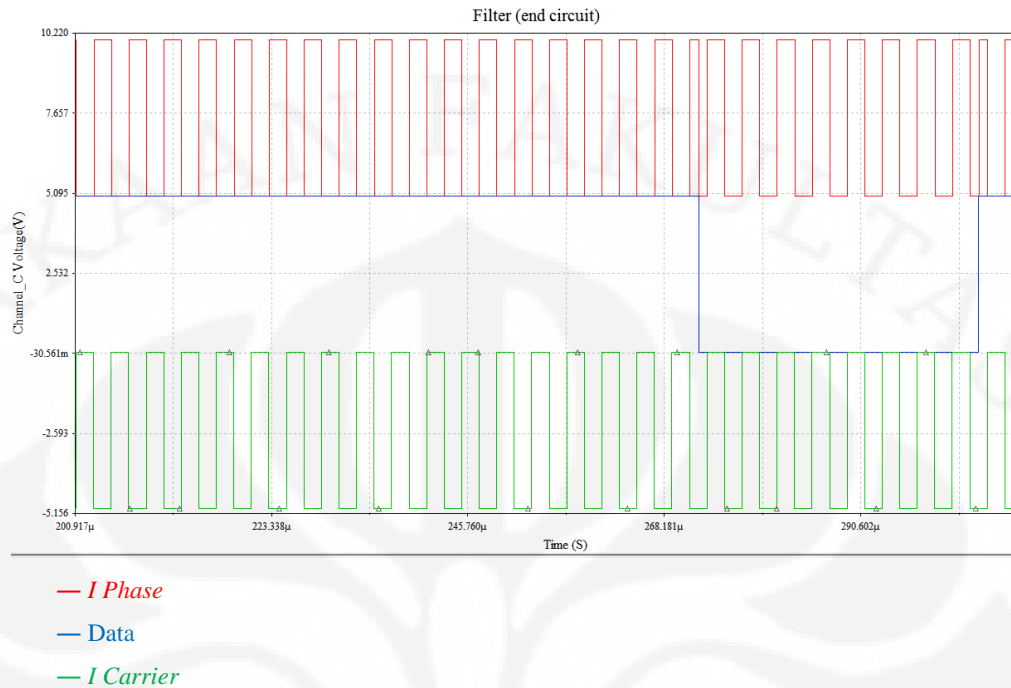
Pada grafik terlihat perbedaan fasa yang dihasilkan sebesar 90° . Perbedaan ini dihasilkan dari susunan counter yang terlihat pada Gambar 3.12 di bab sebelumnya. Keluaran dari susunan counter tersebut menghasilkan perbedaan fasa 90° dan memiliki frekuensi $\frac{1}{2}$ dari frekuensi utama.



Gambar 4.4 Output sub bagian *Carrier Generator*

4.1.5 Analisis Kerja *Modulator Module*

Modulator menggunakan gerbang logika XOR yang diimplementasikan dengan IC TTL 74LS386. Dengan sifat yang dimiliki gerbang XOR, maka bagian ini akan menghasilkan keluaran seperti pada Gambar 4.5 dibawah ini.



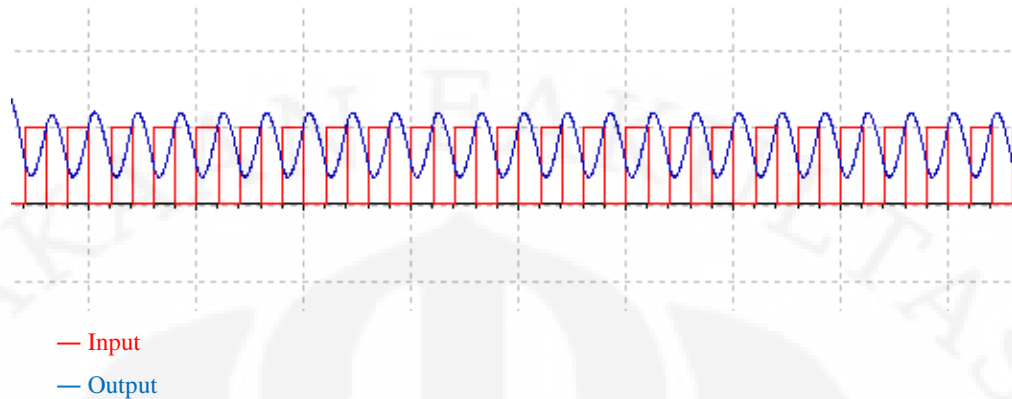
Gambar 4.5 Output Modulator (I-Phase)

Gerbang logika XOR akan menghasilkan nilai 0 ketika kedua inputnya bernilai sama, sehingga menghasilkan grafik seperti pada Gambar 4.5 di atas. Pada Gambar 4.5 terlihat pada saat data masuk, maka akan dihasilkan perubahan fasa.

4.1.6 Analisis Kerja Filter dan *Summing Circuit*

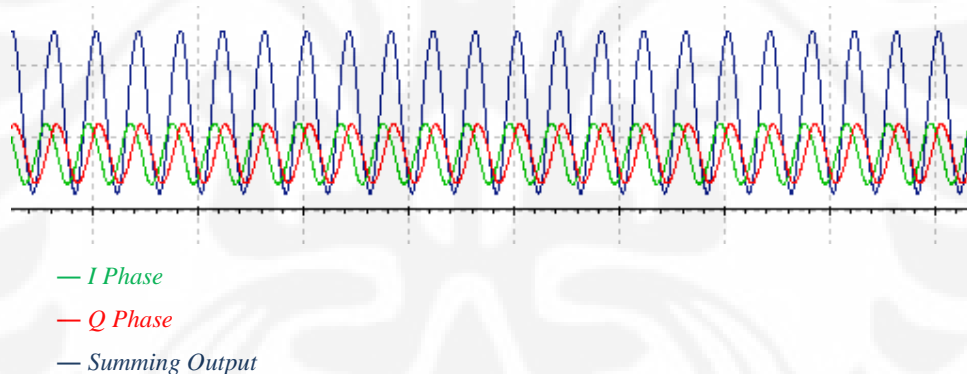
Filter yang digunakan adalah Filter *Chebisev* yang tidak memiliki *ripple* pada grafik filterisasinya. Filter digunakan untuk merubah sinyal kotak menjadi sinyal sinusoidal dengan cara menghilangkan bagian-bagian frekuensi harmonik pada sinyal kotak sebagai representasi dari deret Fourier. Gambar keluaran dari filter ini terlihat pada Gambar 4.6.

Hal yang perlu digaris bawahi adalah bahwa pada filter ini terjadi penurunan tegangan yang signifikan, setelah dilakukan pengukuran tegangan, terukur tegangan masuk sebesar 5 V (*peak to peak*), sedangkan tegangan keluaran dari filter hanya sebesar 630 mV (*peak to peak*). Penurunan tegangan ini disebabkan oleh adanya impedansi dari induktor dan kapasitor yang cukup besar.



Gambar 4.6 Output dan Input Filter

Filter untuk I Phase dan Q Phase dibuat secara terpisah, kemudian hasilnya akan dijumlah dengan menggunakan OPAMP yang berfungsi juga sebagai penguat dengan rangkaian seperti yang telah dijelaskan pada bab sebelumnya. Gambar output setelah penjumlahan rangkaian terlihat pada Gambar 4.7 dibawah ini:

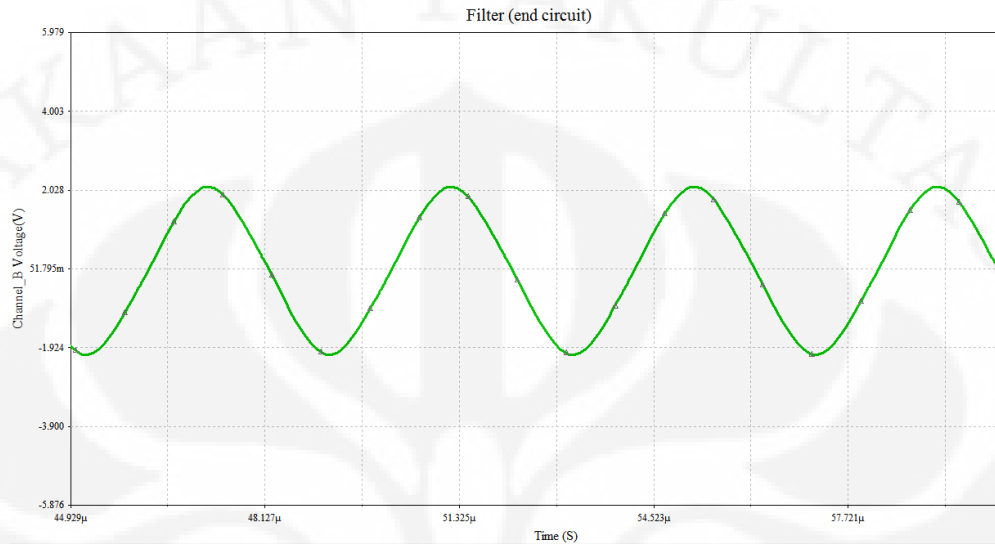


Gambar 4.7 Grafik Input-Output *Summing Circuit*

Kemudian, setelah dilakukan pengukuran tegangan, terukur bahwa tegangan yang masuk sebesar 450 mV (V peak to peak) dan dihasilkan tegangan keluaran sebesar 4,31 V (V peak to peak), berarti ada penguatan tegangan kurang lebih 10 kali. Penguatan ini sesuai dengan konfigurasi OPAMP yang diberikan seperti yang telah dijelaskan pada bab sebelumnya.

Pada Gambar 4.7 terlihat juga bahwa sinyal sinusoidal yang dihasilkan bukanlah sinusoidal AC melainkan sinusoidal pada DC berdenyut seperti yang telah dijelaskan pada bab sebelumnya, sehingga diperlukan tambahan sirkuit

untuk merubah sinyal menjadi sinusoidal AC. Keluaran sinyal sinusoidal setelah rangkaian penurun tegangan terlihat pada Gambar 4.8 dibawah ini:



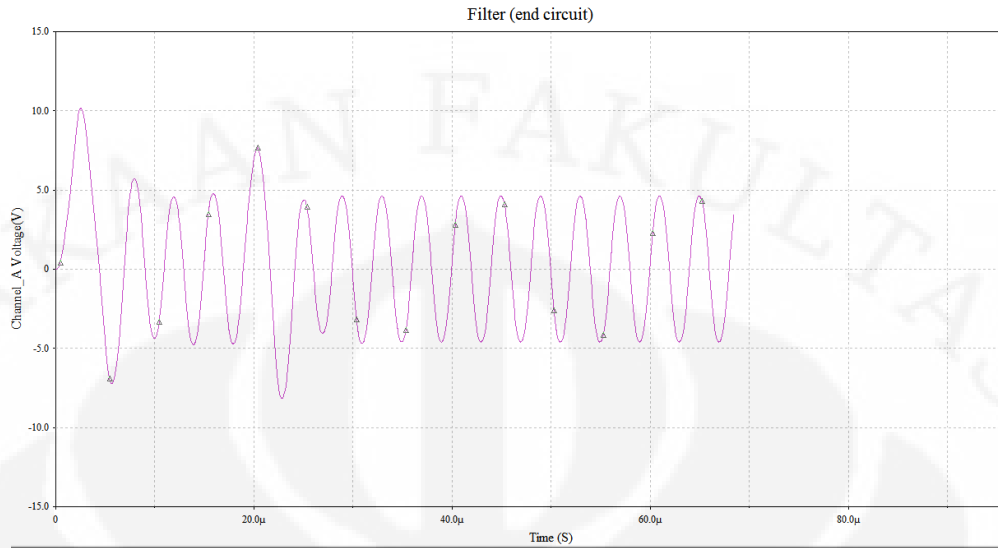
Gambar 4.8 Keluaran rangkaian modulator

Keluaran ini merupakan keluaran akhir dari keseluruhan rangkaian modulator yang siap untuk ditransmisikan.

4.2 ANALISIS PERFORMANSI SIMULASI

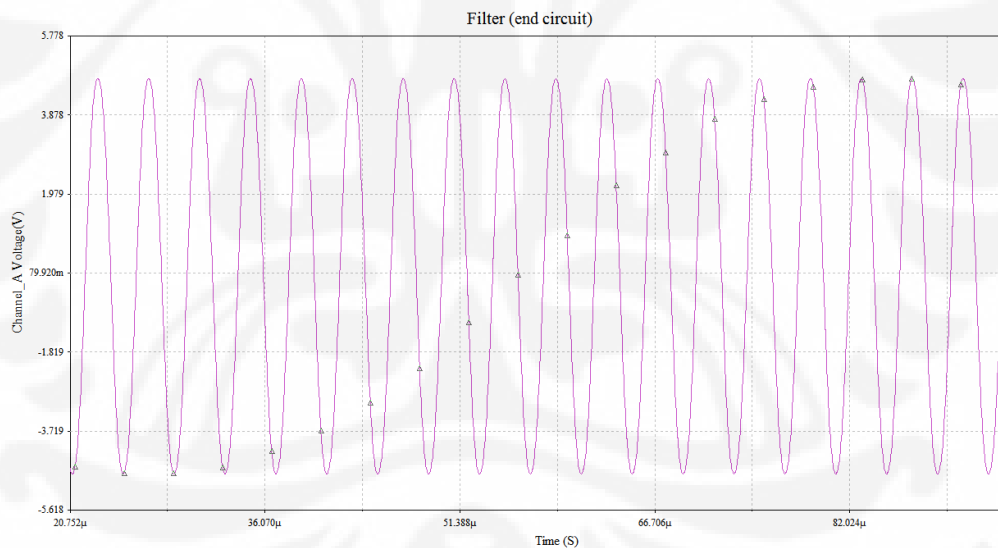
Untuk mengetahui apakah keluaran dari keseluruhan rangkaian ini layak untuk ditransmisikan atau tidak, diperlukan analisis mengenai performansi dari rangkaian ini.

Sinyal hasil modulasi yang dikirimkan merupakan sinyal yang mengandung simbol-simbol data. Setiap simbol terdiri dari 2 bit data. Ketika modulator dalam kondisi *start-up*, keluaran dari sistem terlihat masih tidak beraturan, hal ini disebabkan karena modulator membutuhkan waktu untuk menginisialisasi seluruh komponen memori seperti flip-flop, kapasitor, dan induktor. Gambar keluaran sistem ketika *start-up* terlihat pada Gambar 4.9 di bawah ini.



Gambar 4.9 Keluaran modulator saat *start-up*

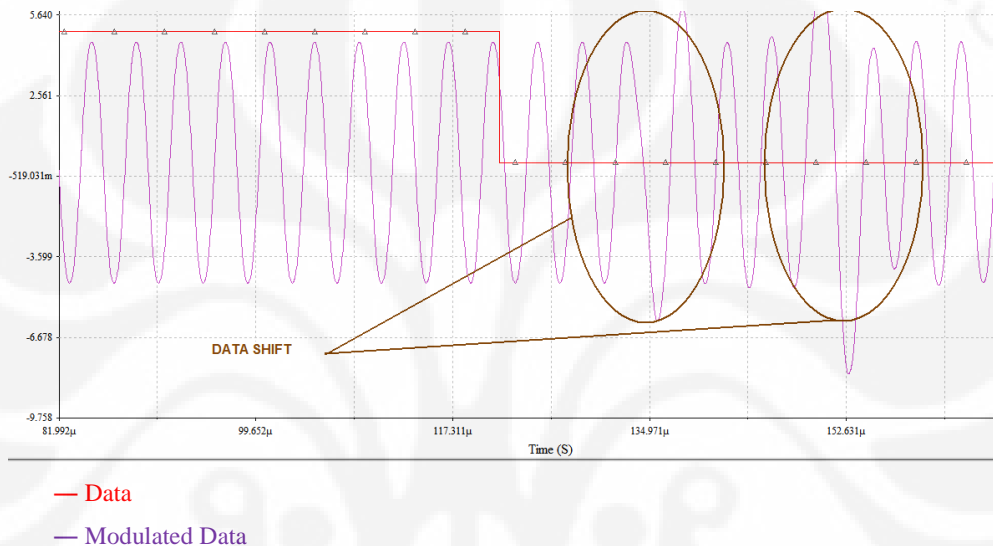
Kemudian, setelah sistem stabil, ketika tidak terjadi perubahan data, keluaran dari modulator terlihat stabil dan tetap, dengan frekuensi sebesar 250 kHz amplitudo tetap seperti yang dapat dilihat pada Gambar 4.10 di bawah ini.



Gambar 4.10 Keadaan modulator pada saat *steady*

Hal yang paling penting pada sebuah modulator QPSK adalah apakah pada saat terjadi perubahan data terjadi pergeseran fasa yang sesuai dengan teori atau tidak. Pada rancangan modulator ini, ketika ada perubahan data, akan terjadi pergeseran fasa, namun pergeserannya masih belum sempurna. Ketika ada perubahan data, fasa bergeser, namun disertai dengan perubahan frekuensi dan

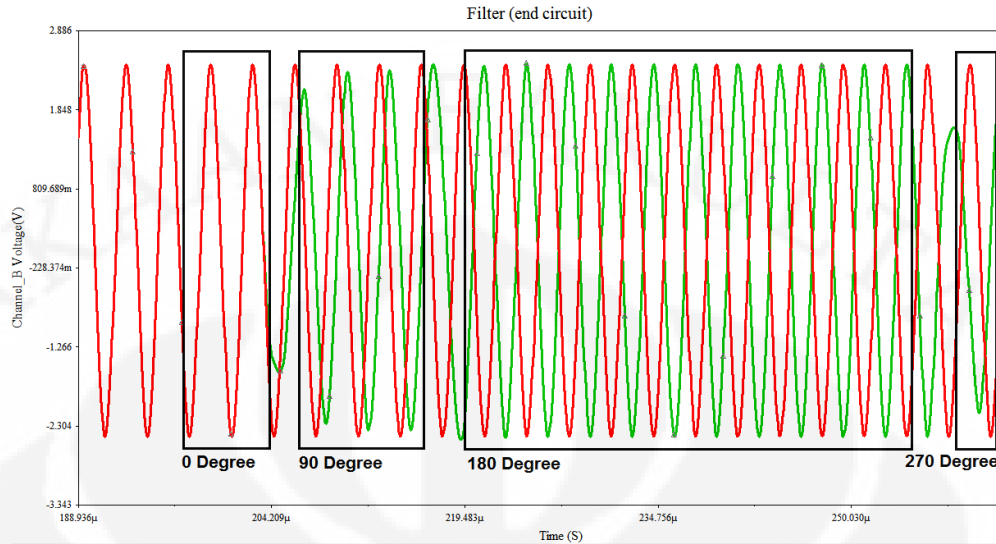
amplitudo, hal ini disebabkan karena representasi dari pulsa kotak, dimana saat lebar dari pulsa kotak berubah (fasa bergeser pada pulsa kotak ditandai dengan perubahan lebar pulsa), maka yang terjadi adalah perubahan frekuensi, dan karena frekuensi berubah, maka impedansi dari induktor dan kapasitor pada filter ikut berubah, sehingga mengakibatkan amplitudo juga ikut berubah seperti terlihat pada Gambar 4.11 di bawah ini.



Gambar 4.11 Keadaan modulator saat terjadi perubahan data

Satu hal yang menjadi pertanyaan adalah, apakah pergeseran data tersebut telah sesuai dengan teori yang dikemukakan di bab sebelumnya tentang modulator atau tidak. Pertanyaan ini dapat terjawab dengan melihat Gambar 4.12.

Pada Gambar 4.12 terlihat saat data berubah dari 00 menjadi 01, terlihat ada pergeseran fasa sebesar 90° , saat data berubah dari 01 menjadi 11 bergeser kembali 90° , dan saat data berubah dari 11 menjadi 10, fasa bergeser kembali sebesar 90° . Keadaan ini menandakan bahwa modulator yang dibuat telah sesuai dengan teori, hanya saja terdapat kekurangan pada frekuensi dan amplitudo yang berubah ketika terjadi perubahan data.



- Sinyal acuan (tanpa perubahan fasa)
- Sinyal modulasi (fasa berubah)

Gambar 4.12 Pergeseran fasa saat data berubah

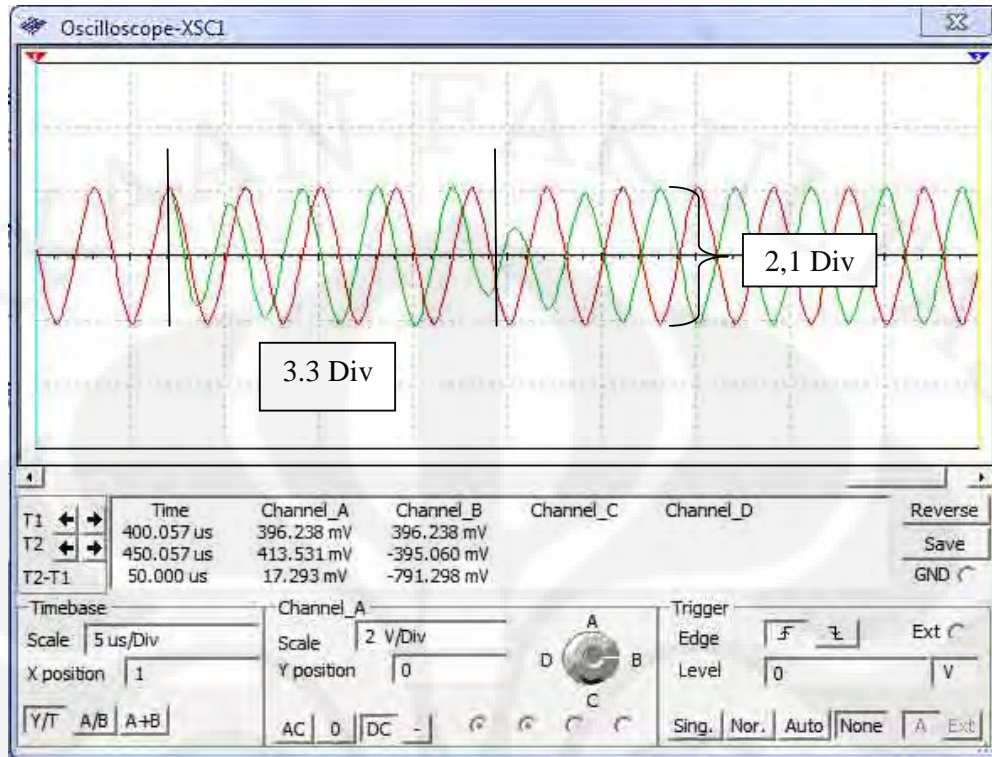
Kemudian, yang tidak kalah pentingnya pada modulator adalah mengenai kecepatan transfer data yang mampu dikirim. Seperti yang telah dijelaskan sebelumnya, frekuensi *carrier* yang digunakan adalah sebesar 250 kHz, dan kecepatan setiap simbol adalah sebesar 1/8 kali dari frekuensi *carrier* atau sebesar 31,25 kilosymbol/detik. Jika setiap simbol memiliki 2 bit data, maka kecepatan transfer yang mampu dihasilkan secara teori adalah sebesar 62,5 kbps, cukup untuk menghantar sinyal suara pada kabel listrik. Namun, jika dibandingkan dengan keadaan yang sebenarnya, kecepatan transfer maksimum (tanpa noise) terlihat pada Gambar 4.13 bahwa kecepatan transfer sinyal keluaran memiliki sedikit perbedaan dari perhitungan, yakni sebesar:

$$3.3 \text{Div} \times 5 \mu\text{s} / \text{Div} = 16.5 \mu\text{s}$$

$$T_{\text{rate}} = \frac{1}{16.5 \times 10^{-6}} = 60.60 \text{ kbps}$$

dan tegangan keluaran sebesar:

$$2 \text{Div} \times 2 \text{V} / \text{Div} = 4 \text{V}$$



Gambar 4.13 Gambar osiloskop keluaran modulator

Untuk menambah kecepatan ini, satu-satunya yang dapat diterapkan adalah dengan memperbesar frekuensi, namun hal terkendala dari kemampuan kabel listrik dalam menghantarkan frekuensi tinggi.

Untuk menjaga agar modulator dan demodulator tetap sinkron, maka perlu dilakukan suatu cara agar kedua clock tetap sinkron yaitu dengan metode *clock recovery*. Sebelum data dikirimkan, diberikan suatu sinyal pendahulu yang tidak mengandung informasi yang akan digunakan demodulator menjadi sinyal acuan agar clock tetap sinkron. Data-data yang akan dikirimkan dibentuk menjadi paket-paket data dan diberi *start bit* dan *end bit*, setiap pengiriman satu paket, akan diselingi oleh pengiriman sinyal acuan. Pengaturan pengiriman data ini dilakukan oleh bagian terpisah dari modulator yang akan mengatur protokol pengiriman data.

BAB V

KESIMPULAN

Setelah dilakukan perancangan dengan menggunakan simulasi Multisim, kemudian melihat kinerja dari modulator pada simulator, maka dapat diambil beberapa kesimpulan, yaitu :

1. Perancangan modulator QPSK dengan menggunakan rangkaian logika diskrit memiliki prinsip yang hampir sama dengan modulator QPSK analog. Dilihat dari blok diagram, kedua modulator memiliki sub-sub bagian yang sama, seperti, *serial to parallel data input, carrier generator, phase shifter, modulation module, dan summing circuit*. Perbedaan utama kedua modulator ini adalah pada penggunaan komponen. QPSK analog menggunakan rangkaian analog, sedangkan QPSK yang dirancang pada skripsi ini menggunakan rangkaian logika. Komponen-komponen yang digunakan dalam perancangan modulator ini merupakan komponen-komponen yang dapat ditemui di pasar, sehingga pembuatan modulator ini mudah untuk dikerjakan.
2. Teknik pengiriman data pada modulator yang dirancang pada skripsi ini telah sesuai dengan teori QPSK yang telah dikemukakan. Hal ini dapat dilihat dari pembuktian yang dapat dilihat pada bab sebelumnya mengenai besaran perubahan fasa yang terjadi pada setiap kondisi data, baik 00, 01, 11, dan 10.
3. Modulator yang dirancang pada skripsi ini memiliki frekuensi *carrier* sebesar 250 kHz, dan tegangan akhir sebesar 4,31 V(V *peak to peak*), sehingga modulator ini dapat diterapkan sebagai bagian dari modem PLC yang akan dibangun.
4. Kecepatan data yang mampu ditransfer oleh modulator ini sebesar 60,60 kbps, cukup untuk mengimplementasikan komunikasi suara melalui kabel jaringan listrik.
5. Untuk meningkatkan kemampuan deteksi data dari modulator ke *far-end* demodulator digunakan metode pengiriman *clock recovery*. Sebelum

paket-paket data dikirimkan, hal yang dilakukan terlebih dahulu adalah mengirimkan sinyal carrier (tanpa data) sebagai sinyal acuan untuk *recovery* sampling clock dari demodulator, sehingga tidak terjadi kesalahan penterjemahan data. Sinyal *clock recovery* ini dikirimkan secara berkesinambungan untuk mengurangi resiko kesalahan penterjemahan data.

DAFTAR ACUAN

- [1] H. Hrasnica, A. Haidine, R. Lehnert, *Broadband Powerline Communications Networks, Network Design* (Germany: John Wiley, Ltd, 2004), hal.21
- [2] Clark W. Gellings, “Broadband Over Powerline 2004: Technology and Prospects,” *EPRI (Electric Power Research Institute) White Paper* (Oktober, 2004).
- [3] Bhaskaran Raman, *Wireless Networks: Principles and practice (CS698T)*. Diakses 11 Desember 2007 dari Departement of Computer Science and Engineering, Indian Institute of Technology, Kanpur.
http://www.cse.iitk.ac.in/users/cs698t/Lecture_notes/lec6/lec06.html
- [4] Michal Horevaj, *Vektorový generátor*. Diakses 11 Desember 2007 dari Elektorevue, Electrotechnic Magazine, Czech Republic.
<http://www.elektorevue.cz/clanky/02034/index.html>
- [5] Barry L. Dorr, *Enhance your signal processing toolbox with complex notation*. Diakses 11 Desember 2007 dari Embedded Computing Design.
<http://www.embedded-computing.com/articles/id/?209>
- [6] Wikipedia, *Phase-shift Keying*. Diakses 11 Desember 2007 dari Answers.com Technology.
<http://www.answers.com/topic/phase-shift-keying>
- [7] Charan Langton, “All about modulation,” *Intuitive Guide to Principles of Communications* (Desember, 2005).
- [8] _____, “LM 555/LM555C Timer,” *Datasheet papers* (Mei, 1997).
- [9] Ricardo Radaelli-Sanchez, Richard Baraniuk, *El Fenómeno de Gibbs*. Diakses 11 Desember 2007 dari Connexions.
<http://cnx.org/content/m12929/latest/>

DAFTAR PUSTAKA

_____, "Power Supplies Goes Digital" White paper : Ericsson, Oktober 2006.

_____, *Integrated Circuits TTL '84/85*. Binatronika

A. Purroy, *et al*, "Research Areas for Efficient Power Line Communication Modem", *Departement of Electronics and Communication Engineering University of Zaragoza*, 2000

Heo, Kyung L, *et al*, "Design of High Speed OFDM System for Power Line Communications" *Jurnal IEEE*, 2002.

J. Anatory, M.M. Kissaka, N.H. Mvungi, "Broadband Services Provision in Power Line Communications of Developing Countries," *Jurnal IEEE*, 2005

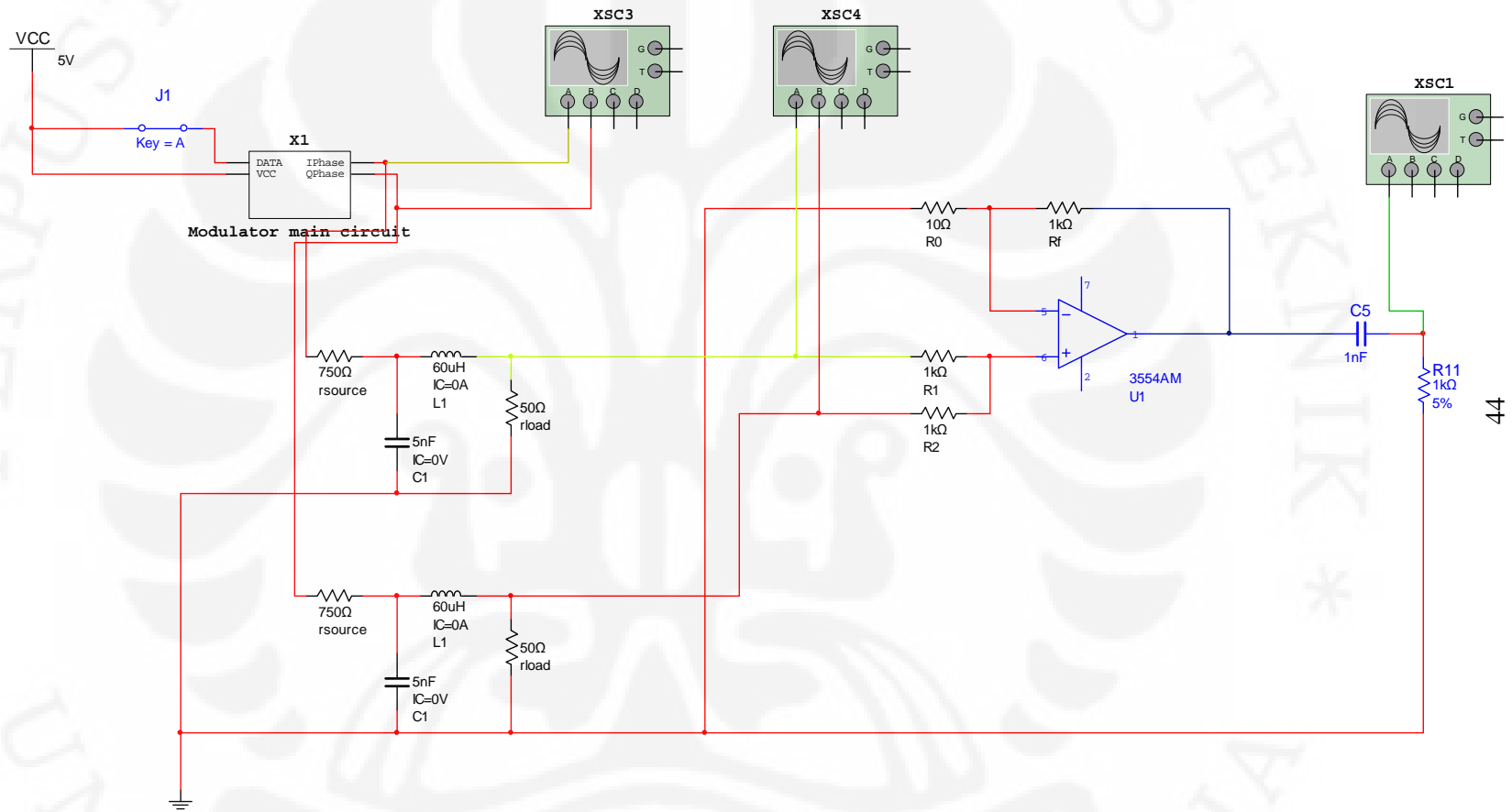
Mano, M.Morris, *Digital Design Second Edition* (New Jersey : Prentice-Hall, 1984)

Millan, Jacob, Arvin Gabel, *Microelectronics* (Singapore : McGraw-Hill Book Company, 1987)

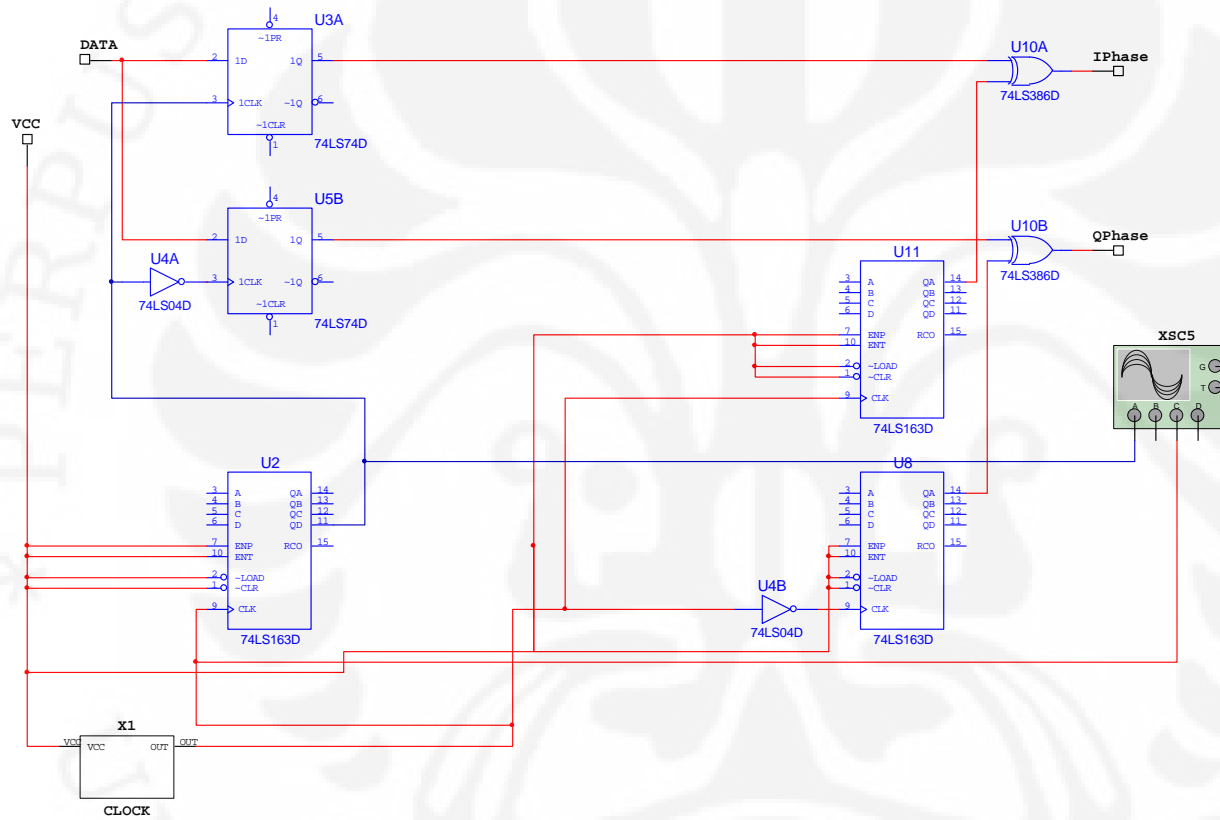
Sutanto, *Rangkaian Elektronika Analog dan Terpadu* (Jakarta : Universitas Indonesia-Press, 1997)

LAMPIRAN

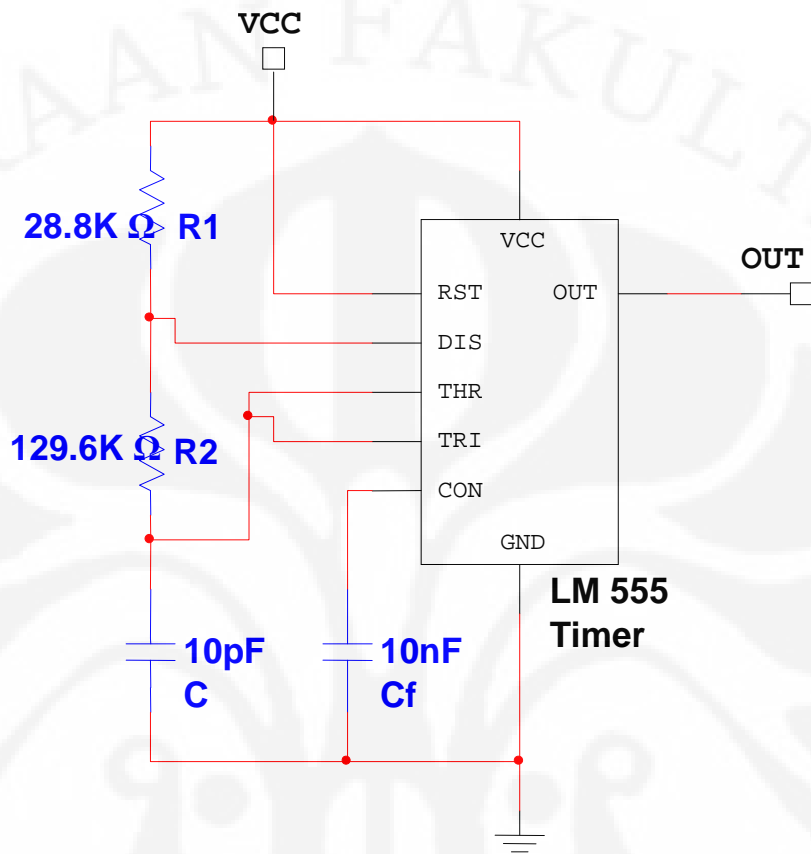
Lampiran 1 Gambar Rangkaian Modulator



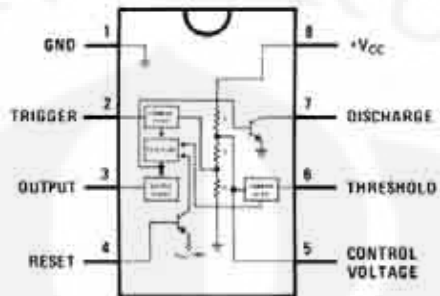
Lampiran 2 Gambar Rangkaian Sub-bagian modulator main circuit



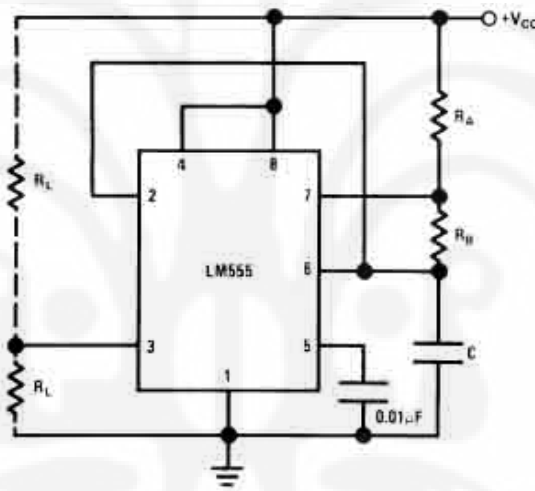
Lampiran 3 Gambar Rangkaian Sub-bagian Clock



Lampiran 4 Konfigurasi Timer LM 555



LM 555



Konfigurasi Astabil