



UNIVERSITAS INDONESIA

**PERANCANGAN *PHASE-LOCKED LOOP* UNTUK
MOBILE WiMAX PADA FREKUENSI 2,3 GHz**

SKRIPSI

**FERI FAJRI
0405030346**

**FAKULTAS TEKNIK
DEPARTEMEN ELEKTRO
DEPOK
JUNI 2009**



UNIVERSITAS INDONESIA

**PERANCANGAN *PHASE-LOCKED LOOP* UNTUK
MOBILE WiMAX PADA FREKUENSI 2,3 GHz**

SKRIPSI

Diajukan sebagai salah satu syarat untuk memperoleh gelar Sarjana Teknik

**FERI FAJRI
0405030346**

**FAKULTAS TEKNIK
DEPARTEMEN ELEKTRO
DEPOK
JUNI 2009**

HALAMAN PERNYATAAN ORISINALITAS

**Skripsi ini adalah hasil karya saya sendiri,
dan semua sumber baik yang dikutip maupun dirujuk
telah saya nyatakan dengan benar.**

Nama : Feri Fajri
NPM : 0405030346
Tanda Tangan : 
Tanggal : 17 Juni 2009

HALAMAN PENGESAHAN

Skripsi ini diajukan oleh

Nama : Feri Fajri
NPM : 0405030346
Program Studi : Teknik Elektro
Judul Skripsi : **Perancangan Phase-Locked Loop *Mobile* WiMAX
pada Frekuensi 2,3 GHz**

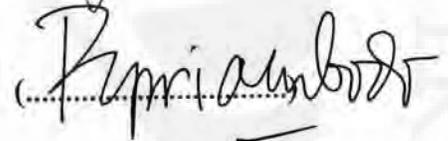
Telah berhasil dipertahankan di hadapan Dewan Penguji dan diterima sebagai bagian persyaratan yang diperlukan untuk memperoleh gelar Sarjana Teknik pada Program Studi Teknik Elektro, Fakultas Teknik, Universitas Indonesia.

DEWAN PENGUJI

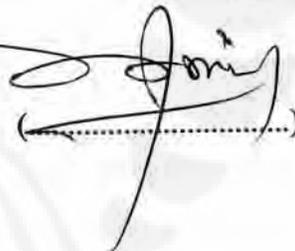
Pembimbing : Ir. Gunawan Wibisono, M.Sc, Ph.D



Penguji : Dr. Ir. Purnomo Sidhi Priambodo, M.Sc



Penguji : Arief Udhiarto, ST, M.T



Ditetapkan di : Depok

Tanggal : 6 Juli 2009

KATA PENGANTAR

Puji syukur saya panjatkan kepada Allah Subhanahu Wa Ta'ala, karena atas berkat dan rahmat-Nya saya dapat menyelesaikan skripsi ini. Penulisan skripsi ini dilakukan dalam rangka memenuhi salah satu syarat untuk mencapai gelar Sarjana Teknik Elektro pada Fakultas Teknik Universitas Indonesia. Saya menyadari bahwa, tanpa bantuan dan bimbingan dari berbagai pihak, dari masa perkuliahan sampai pada penyusunan skripsi ini, sangatlah sulit bagi saya untuk menyelesaikan skripsi ini. Oleh karena itu, saya mengucapkan terima kasih kepada:

1. Ir. Gunawan Wibisono, M.Sc, Ph.D selaku dosen pembimbing yang telah menyediakan waktu, tenaga, dan pikiran untuk mengarahkan saya dalam penyusunan skripsi ini;
2. Orang tua dan keluarga saya yang telah memberikan bantuan dukungan material dan moral; serta
3. Seluruh pihak yang telah membantu saya dalam menyelesaikan skripsi ini.

Akhir kata, saya berharap Allah Subhanahu Wa Ta'ala berkenan membalas kebaikan semua pihak yang telah membantu dalam penelitian dan penyusunan skripsi ini. Semoga skripsi ini membawa manfaat bagi pengembangan ilmu pengetahuan dan teknologi.

Depok, 17 Juni 2009

Penulis

**HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI
TUGAS AKHIR UNTUK KEPENTINGAN AKADEMIS**

Sebagai sivitas akademik Universitas Indonesia, saya yang bertanda tangan di bawah ini:

Nama : Feri Fajri
NPM : 0405030346
Program Studi : Teknik Elektro
Departemen : Elektro
Fakultas : Teknik
Jenis karya : Skripsi

demikian demi pengembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia Hak Bebas Royalti Noneksklusif (*Non-exclusive Royalty-Free Right*) atas karya ilmiah saya yang berjudul :

Perancangan *Phase-Locked Loop* untuk *Mobile WiMAX* pada Frekuensi 2,3 GHz

beserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Indonesia berhak menyimpan, mengalihmedia/format-kan, mengelola dalam bentuk pangkalan data (*database*), merawat, dan memublikasikan tugas akhir saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai pemilik Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di : Depok

Pada tanggal : 17 Juni 2009

Yang menyatakan

(Feri Fajri)

ABSTRAK

Nama : Feri Fajri
Program Studi : Teknik Elektro
Judul : **Perancangan *Phase-Locked Loop* untuk
Mobile WiMAX pada Frekuensi 2,3 GHz**

Skripsi ini bertujuan untuk merancang dan mensimulasikan pensintesa frekuensi yang dapat digunakan pada *mobile WiMAX*. Parameter PLL pensintesa frekuensi yang akan dirancang untuk *mobile WiMAX* didapatkan dari standar regulasi *WiMAX*. Penggunaan *integer-N* PLL sederhana memiliki kelemahan disebabkan *spur* serta harmonik-harmoniknya terletak pada frekuensi *offset* yang rendah serta kinerja derau fasa *in-band* yang buruk. *Fractional-N* PLL diusulkan untuk mengatasi masalah tersebut dengan menggunakan teknik penekanan *spur* untuk menurunkan derau fasa. Teknik *delta-sigma modulator fractional-N* dipilih untuk mereduksi derau fasa untuk sistem *mobile WiMAX* disebabkan waktu *settling*, tingkat *spur*, dan derau fasa yang kecil dapat dicapai dengan menggunakan teknik ini. Hasil simulasi menunjukkan bahwa sistem dalam keadaan stabil, dikarenakan nilai *phase margin* yang melebihi 45 derajat. *Settling time* dan derau fasa yang diperoleh dengan rancangan ini senilai 6,997 μ s, dan -114 dBc/Hz. *Advance Design System 2008 update 1 (ADS)* digunakan untuk mensimulasikan pensintesa frekuensi *delta-sigma modulator fractional-N* PLL.

Kata kunci:

Mobile WiMAX, pensintesa frekuensi, PLL, teknik penekanan *spur*, pensintesa frekuensi *fractional-N*.

ABSTRACT

Name : Feri Fajri
Study Program : Electrical Engineering
Title : **Design of Phase-Locked Loop for Mobile WiMAX at 2.3 GHz**

The objective of this thesis is to presents a design and simulation of frequency synthesizer which can be used for mobile WiMAX. Design parameters for the proposed PLL frequency synthesizer for mobile WiMAX system are either selected from WiMAX standards. Using conventional integer-N PLL have disadvantage because the reference spur and its harmonic are located at low offset frequencies also bad in-band phase noise performance. Fractional-N PLL is proposed to solving this problem with spur-suppression technique for phase noise reduction. Sigma-delta fractional-N technique is chosen for phase noise reduction for mobile WiMAX system, since low settling time, spurious level and phase noise can be obtained by using this technique. The simulation result shows the system is stable, since the phase margin is greater than 45 degree. The settling time, phase noise obtained with this synthesizer are 6,997 μ s, and -114 dBc/Hz respectively. Advance Design System 2008 update 1 (ADS) is used for simulation of delta-sigma fractional-N PLL synthesizer.

Keywords:

Mobile WiMAX, Frequency synthesizer, PLL, Spur-suppression technique, Fractional-N frequency synthesizer.

DAFTAR ISI

| | Halaman |
|--|-----------|
| HALAMAN JUDUL | i |
| HALAMAN PERNYATAAN ORISINALITAS | ii |
| HALAMAN PENGESAHAN | iii |
| KATA PENGANTAR | iv |
| HALAMAN PERSETUJUAN PUBLIKASI KARYA ILMIAH | v |
| ABSTRAK | vi |
| ABSTRACT | vii |
| DAFTAR ISI | viii |
| DAFTAR GAMBAR | x |
| DAFTAR TABEL | xiii |
| DAFTAR LAMPIRAN | xiv |
| 1. PENDAHULUAN | 1 |
| 1.1 Latar Belakang | 1 |
| 1.2 Tujuan Penulisan | 2 |
| 1.3 Batasan Masalah..... | 2 |
| 1.4 Sistematika Penulisan..... | 2 |
| 2. LANDASAN TEORI | 4 |
| 2.1 Pengenalan <i>Phase Locked Loop</i> (PLL)..... | 4 |
| 2.2 Komponen PLL..... | 6 |
| 2.2.1 Detektor fasa / frekuensi | 6 |
| 2.2.2 <i>Charge pump</i> | 11 |
| 2.2.3 <i>Loop filter</i> | 14 |
| 2.2.3.1 <i>Loop filter</i> pasif..... | 15 |
| 2.2.3.2 <i>Loop filter</i> aktif..... | 17 |
| 2.2.4 Lebar pita PLL..... | 17 |
| 2.2.5 <i>Voltage controlled oscillator</i> (VCO)..... | 18 |
| 2.2.6 Frekuensi <i>divider</i> | 23 |
| 3. PERANCANGAN PENSINTESA FREKUENSI MOBILE WIMAX..... | 26 |
| 3.1 Model linear PLL..... | 26 |
| 3.2 Perancangan Blok Penyusun PLL..... | 29 |
| 3.2.1 Desain detektor frekuensi / fasa dengan <i>charge pump</i> | 29 |
| 3.2.2 Desain <i>Loop filter</i> | 32 |
| 3.2.2.1 <i>Loop filter</i> orde tigs | 32 |
| 3.2.2.2 Perancangan <i>loop filter</i> | 33 |
| 3.2.2.3 Perhitungan nilai komponen <i>loop filter</i> | 36 |
| 3.2.3 Desain <i>Voltage controlled oscillator</i> | 37 |
| 3.2.3.1 Penguatan VCO..... | 38 |
| 3.2.4 Multiplikasi frekuensi PLL integer-N dan <i>fractional-N</i> | 39 |
| 3.2.4.1 Multiplikasi frekuensi integer | 39 |
| 3.2.4.2 Konsep multiplikasi frekuensi <i>fractional-N</i> | 40 |
| 3.2.4.3 Pensintesa frekuensi <i>fractional-N</i> | 42 |

| | |
|---|-----------|
| 3.2.5. Pensintesa frekuensi <i>fractional-N</i> dengan menggunakan <i>delta-sigma modulator</i> | 43 |
| 3.2.5.1 Struktur <i>delta-sigma modulator</i> | 43 |
| 3.3 Spesifikasi Rancangan | 45 |
| 4. HASIL DAN PEMBAHASAN | 47 |
| 4.1 Simulasi Respon Loop Frekuensi..... | 47 |
| 4.2 Simulasi Respon Transien | 52 |
| 4.3 Simulasi Respon Derau Fasa | 57 |
| 4.4 Ringkasan hasil Simulasi Disain | 60 |
| 5. KESIMPULAN | 62 |
| DAFTAR REFERENSI | 63 |
| LAMPIRAN | 67 |

DAFTAR GAMBAR

| | Halaman |
|--|---------|
| Gambar 2.1. Rangkaian dasar PLL | 4 |
| Gambar 2.2. Skematik PLL..... | 5 |
| Gambar 2.3. Dua contoh operasi dari detektor fasa / frekuensi..... | 7 |
| Gambar 2.4. Karakteristik detektor fasa | 8 |
| Gambar 2.5. Model aliran sinyal dari detektor fasa..... | 9 |
| Gambar 2.6. Detektor fasa <i>D flip-flop</i> | 9 |
| Gambar 2.7. Sinyal masukan dan keluaran detektor fasa F1 mendahului F2 | 10 |
| Gambar 2.8. Keluaran detektor fasa F2 mendahului F1 | 10 |
| Gambar 2.9. Kedua masukan F1 dan F2 memiliki fasa yang sama | 11 |
| Gambar 2.10. Karakteristik keluaran detektor fasa <i>D flip-flop</i> | 11 |
| Gambar 2.11. Rangkaian <i>charge pump</i> | 12 |
| Gambar 2.12. Blok diagram dari kombinasi PFD/CP..... | 12 |
| Gambar 2.13. Grafik <i>error</i> fasa terhadap arus rata-rata..... | 13 |
| Gambar 2.14. Perilaku transisi dari PFD/CP | 14 |
| Gambar 2.15. <i>Low pass filter</i> orde pertama | 15 |
| Gambar 2.16. <i>Low pass filter</i> orde pertama dengan resistor seri | 16 |
| Gambar 2.17. <i>Loop filter</i> aktif <i>differential</i> orde dua | 17 |
| Gambar 2.18. Model linear dari PLL | 17 |
| Gambar 2.19. Sistem umpan balik | 19 |
| Gambar 2.20. Karakteristik VCO..... | 20 |
| Gambar 2.21. Model aliran sinyal VCO | 20 |
| Gambar 2.22. Osilator <i>ring</i> | 21 |
| Gambar 2.23. Frekuensi <i>divider pulse-swallow</i> | 24 |
| Gambar 3.1. Spektrum frekuensi ideal rangkaian pensintesa frekuensi ... | 26 |
| Gambar 3.2. Hasil pengukuran spektrum frekuensi dari pensintesa frekuensi..... | 27 |
| Gambar 3.3. Sumber derau fasa pada rangkaian pensintesa frekuensi | 27 |
| Gambar 3.4. Model linear PLL | 28 |
| Gambar 3.5. <i>Threestate</i> PFD..... | 30 |
| Gambar 3.6. <i>Phase frequency detector (PFD)</i> | 31 |
| Gambar 3.7. Diagram kondisi dari PFD..... | 32 |
| Gambar 3.8. <i>Loop filter</i> pasif orde tiga | 33 |
| Gambar 3.9. Lokasi <i>pole</i> dan <i>zero</i> pada <i>loop filter pasif</i> orde tiga | 33 |
| Gambar 3.10. Blok komponen rangkaian VCO <i>divide-by-N</i> | 38 |
| Gambar 3.11. Sifat transien clock keluaran, clock umpan balik, dan clock acuan pada PLL yang menggunakan <i>counter count-to-4</i> dalam keadaan terkunci..... | 40 |
| Gambar 3.12. Sifat transien sistem dengan <i>count-to-3</i> atau 4 dengan rata-rata nilai count 3.25 | 41 |
| Gambar 3.13. Pensintesa frekuensi <i>Fractional-N</i> | 42 |
| Gambar 3.14. <i>Divider Fractional-N</i> PLL | 43 |

| | |
|--|----|
| Gambar 3.15. Struktur DSM orde tiga | 44 |
| Gambar 3.16. Struktur orde dua Delta Sigma Modulator | 44 |
| Gambar 3.17. Blok komponen DSM orde dua | 45 |
| Gambar 4.1. Respon <i>loop</i> PLL | 47 |
| Gambar 4.2. Simulasi respon frekuensi simpul tertutup | 48 |
| Gambar 4.3. Simulasi respon frekuensi simpul terbuka dan <i>loop filter</i> | 48 |
| Gambar 4.4. Hasil simulasi respon frekuensi simpul terbuka dan tertutup..... | 49 |
| Gambar 4.5. Hasil simulasi parameter respon frekuensi | 49 |
| Gambar 4.6. Respon transien PLL dengan parameter awal | 50 |
| Gambar 4.7. Parameter blok optimisasi | 50 |
| Gambar 4.8. Hasil simulasi respon frekuensi saat dilakukan optimisasi ... | 51 |
| Gambar 4.9. Hasil simulasi respon frekuensi simpul terbuka dan tertutup setelah optimisasi | 51 |
| Gambar 4.10. Hasil simulasi respon frekuensi setelah optimisasi | 52 |
| Gambar 4.11. Rangkaian PLL pensintesa frekuensi <i>fractional-N</i> | 53 |
| Gambar 4.12. Rangkaian PLL pensintesa frekuensi <i>fractional-N delta-sigma modulator</i> | 53 |
| Gambar 4.13. Parameter simulasi respon transien | 54 |
| Gambar 4.14. Hasil simulasi respon transien PLL <i>fractional-N</i> (biru) dan <i>fractional-N delta-sigma modulator</i> (merah) | 54 |
| Gambar 4.15. Riak pada tegangan kendali pada keadaan terkunci untuk PLL <i>fractional-N</i> (biru) dan <i>fractional-N delta-sigma modulator</i> (merah) | 55 |
| Gambar 4.16. Spektrum frekuensi keluaran PLL <i>fractional-N</i> (biru) dan <i>fractional-N delta-sigma modulator</i> (merah) | 56 |
| Gambar 4.17. Spektrum frekuensi keluaran PLL <i>fractional-N</i> (biru) dan <i>fractional-N delta-sigma modulator</i> (merah) yang diperbesar | 56 |
| Gambar 4.18. Skematik rangkaian simulasi derau fasa PLL <i>fractional-N</i> | 57 |
| Gambar 4.19. Skematik rangkaian simulasi derau fasa PLL <i>fractional-N delta sigma modulator</i> | 57 |
| Gambar 4.20. Hasil simulasi derau fasa <i>fractional-N</i> PLL | 58 |
| Gambar 4.21. Hasil simulasi derau fasa <i>fractional-N PLL delta-sigma modulator</i> | 59 |

DAFTAR TABEL

| | Halaman |
|--|---------|
| Tabel 3.1. Spesifikasi desain PLL | 36 |
| Tabel 3.2. Pemilihan blok arsitektur PLL | 45 |
| Tabel 3.3. Spesifikasi dan parameter desain | 46 |
| Tabel 4.1. Derau fasa tiap dekade pada <i>fractional-N</i> PLL | 59 |
| Tabel 4.2. Derau fasa tiap dekade pada PLL <i>fractional-N delta-sigma modulator</i> | 60 |
| Tabel 4.3. Ringkasan hasil simulasi desain | 60 |

DAFTAR LAMPIRAN

| | Halaman |
|--|---------|
| Lampiran 1 Langkah Simulasi Respon Lup Frekuensi pada ADS 2008 | |
| Update 1 | 67 |
| Lampiran 2 Langkah Simulasi Respon Transien pada ADS 2008 | |
| Update 1 | 69 |
| Lampiran 3 Langkah Simulasi Respon Derau Fasa pada ADS 2008 | |
| Update 1 | 71 |

BAB 1

PENDAHULUAN

1.1. Latar Belakang

Dalam beberapa dekade terakhir, terjadi perkembangan pesat dalam penggunaan divais nirkabel serta komunikasi. Koneksi nirkabel berkecepatan tinggi merupakan perlengkapan standar umum yang digunakan pada komputer dan divais bergerak. Begitu pula dengan penggunaan telepon seluler, jumlah pelanggan telepon seluler di seluruh dunia melebihi 3.25 milyar [1]. Di Swedia dan beberapa negara Eropa lainnya, jumlah telepon seluler bahkan melebihi populasi negara tersebut [2].

Untuk memenuhi kebutuhan komunikasi data, maka dikembangkanlah *Worldwide Interoperability for Microwave Access (WiMAX)* yang merupakan teknologi nirkabel yang memiliki lebar pita yang lebar dan bit rate yang besar. Untuk memenuhi kebutuhan pelanggan dengan mobilitas tinggi, dikembangkanlah *Mobile WiMAX* yang diatur oleh standard IEEE 802.16e.

Mobile WiMAX bekerja pada rentang frekuensi tertentu, yakni 2,3 – 2,7 GHz. Untuk mendapatkan frekuensi kerja yang baik serta bebas dari *spur* dan derau fasa, digunakanlah teknologi *Phase Locked Loop (PLL)* pensintesa frekuensi. PLL memiliki aplikasi luas pada beberapa area seperti telekomunikasi, sistem nirkabel, rangkaian digital, dan rangkaian elektronika. PLL merupakan rangkaian yang mensinkronkan frekuensi dan fasa sinyal keluaran terhadap sinyal masukan atau acuan dengan menggunakan sistem kendali umpan balik negatif.

Ada berbagai macam tipe dan jenis PLL berdasarkan kebutuhan penggunaannya. Diantaranya yang terkenal dan sering digunakan adalah *integer-N* PLL dan *fractional-N* PLL. *Integer-N* PLL memiliki kelebihan dalam hal penempatan ruang dan konsumsi daya yang kecil. Namun arsitektur ini memiliki kekurangan dalam hal *settling time* yang lama serta hanya dapat menghasilkan frekuensi keluaran sebesar kelipatan integer dari frekuensi acuan. *Fractional-N* PLL mengatasi masalah *settling time* yang terdapat pada arsitektur *integer-N* PLL serta dapat membangkitkan frekuensi keluaran sebesar kelipatan *non-integer* dari

frekuensi acuan dengan menentukan nilai *fractional* yang diberikan. Namun konsumsi daya yang besar serta *level* sinyal *spur* yang tinggi menjadi kelemahan arsitektur ini.

Desain PLL yang diusulkan dalam skripsi ini adalah desain PLL *fractional-N* PLL orde-4 dengan penggunaan *delta sigma modulator*. *Delta-sigma modulator* mengatasi masalah keterbatasan *bandwidth* pada PLL *integer-N* dan kelemahan *spur* yang terdapat pada *fractional-N* namun tetap memberikan resolusi frekuensi keluaran yang lebih baik. Digunakan PLL orde 4 karena akan digunakan *loop filter* orde tiga agar penekanan derau lebih baik dibandingkan penggunaan *loop filter* orde dua.

Desain yang diusulkan disimulasikan dalam *Advance Design System* (ADS) 2008 *update* 1. Desain yang diusulkan diharapkan dapat menghasilkan frekuensi keluaran yang bebas *spur* dan derau fasa.

1.2. Tujuan

Skripsi ini bertujuan untuk:

1. Merancang PLL pensintesa frekuensi untuk Mobile *WiMAX* dengan pita frekuensi 2,3 – 2.7 GHz.
2. Merancang PLL pensintesa frekuensi yang memiliki keluaran bebas dari *spur* dan derau fasa.
3. Mengetahui pengaruh penggunaan *Delta Sigma Modulator* (DSM) sebagai solusi pengurangan *spur* pada teknologi *fractional-N* PLL.

1.3 Batasan Masalah

Masalah dibatasi pada pembahasan teori dasar pendukung perancangan PLL serta pengaruh perancangan desain PLL menggunakan DSM pada teknologi *fractional-N* PLL dengan pita frekuensi 2,3 GHz yang sesuai dengan standar IEEE 802.16e.

1.4 Sistematika Penulisan

Skripsi ini terdiri dari lima bab:

Bab 1 Pendahuluan berisi latar belakang, tujuan skripsi, batasan masalah, dan sistematika penulisan.

Bab 2 Landasan Teori berisi studi literatur yang berkaitan dengan skripsi ini.

Bab 3 Perancangan Pensintesa Frekuensi Mobile WiMAX berisi prosedur desain, pemilihan blok komponen yang digunakan dalam desain, serta penghitungan parameter yang akan digunakan pada desain.

Bab 4 Hasil dan Pembahasan berisi simulasi dan data-data hasil simulasi serta analisis dari hasil simulasi.

Bab 5 Kesimpulan berisi kesimpulan akhir berdasarkan hasil dan pembahasan.

BAB 2

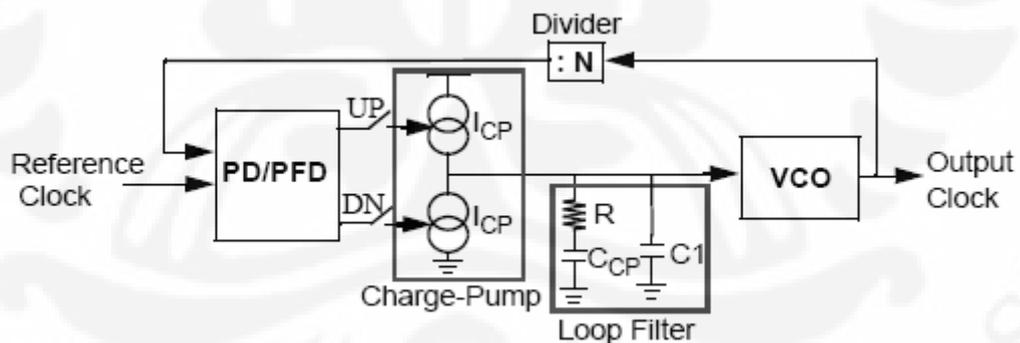
LANDASAN TEORI

2.1. Pengenalan *Phase Locked Loop* (PLL)

Simpul pengunci fasa [*phase-locked loop* (PLL)] adalah simpul umpan balik dengan alat pendeteksi fasa, penapis pelewat rendah, penguat dan osilator yang dikendalikan tegangan [*voltage controlled oscillator* (VCO)]. PLL tidak mengumpan balikkan tegangan, melainkan mengumpan balikkan frekuensi dan membandingkannya dengan frekuensi-frekuensi yang datang. Dengan demikian VCO dapat mengunci frekuensi yang datang.

Blok diagram dari sebuah PLL ditunjukkan oleh Gambar 2.1. Sebuah PLL terdiri atas beberapa komponen:

1. Detektor fasa atau detektor fasa-frekuensi [*phase detector / phase-frequency detector* (PD / PFD)],
2. *Charge-pump* (CP),
3. *Loop filter* (LF),
4. *Voltage controlled oscillator* (VCO),
5. pembagi frekuensi (*divider*).

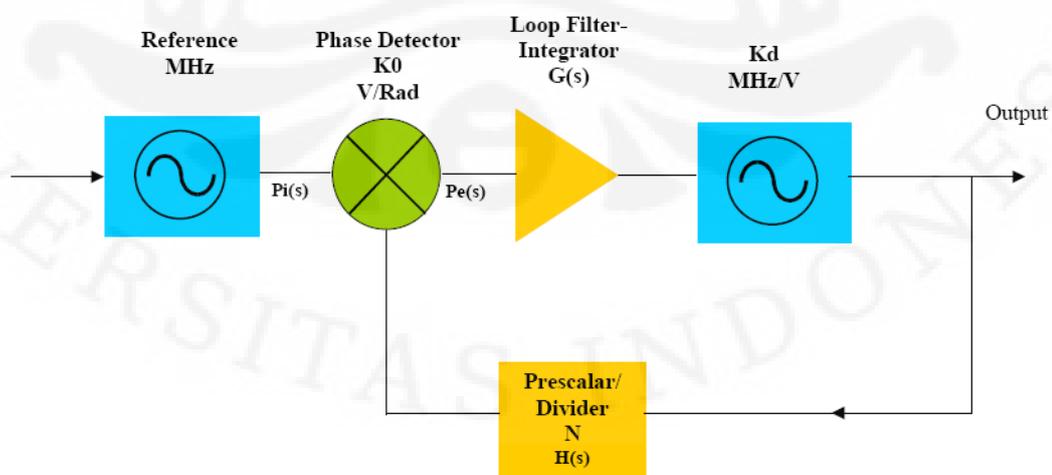


Gambar 2.1 Rangkaian dasar PLL [3]

Sistem ini akan bekerja dengan baik, bila frekuensi VCO sama dengan frekuensi acuan yang juga masuk ke detektor fasa. Dengan demikian detektor fasa mempunyai dua masukan dengan frekuensi yang sama. Bila frekuensi masuknya berubah, maka frekuensi VCO akan melacaknya. Secara otomatis PLL membetulkan frekuensi dan sudut fasa VCO.

Operasi dasar dari sebuah PLL adalah sebagai berikut. PLL memiliki dua buah sinyal masukan, sinyal masukan pertama berupa frekuensi acuan sedangkan masukan yang lain berasal dari umpan balik *divider*. Detektor frekuensi (pembanding) menghasilkan sinyal *error* berdasarkan perbedaan fasa atau frekuensi antara sinyal umpan balik dan sinyal acuan. Selama waktu tersebut, perbedaan kecil frekuensi akan terakumulasi seiring dengan peningkatan *error* fasa atau frekuensi. LF menekan komponen frekuensi tinggi pada keluaran PD, dan melewatkan nilai tegangan DC yang nantinya akan mengatur frekuensi VCO. VCO kemudian beresilasi pada frekuensi yang setara dengan frekuensi masukan dan dengan perbedaan fasa setara dengan $\Delta\Phi$. Kemudian LF membangkitkan tegangan kendali yang sesuai untuk diumpankan pada VCO. Tegangan DC ini kemudian akan mengendalikan frekuensi VCO dan mengatur frekuensi osilasi untuk menyamakan $\phi_{\text{umpan balik}}$ dengan ϕ_{acuan} .

Voltage controlled oscillator (VCO) menghasilkan frekuensi kerja sesuai dengan tegangan masukan yang diberikan. Kemudian sebagian dari keluaran VCO ini diumpan balikkan, dibagi oleh sebuah pembagi frekuensi (*divider*) dan dibandingkan dengan frekuensi rujukan melalui *phase detector* (PD). *Loop* berada dalam keadaan terkunci apabila $\Delta\Phi$ tetap terhadap waktu, sehingga frekuensi masukan dan frekuensi keluaran memiliki nilai yang sama. Pada kondisi terkunci, semua sinyal dalam *loop* mencapai keadaan tunak. Dikarenakan sinyal umpan balik merupakan hasil pembagian dari sinyal referensi, maka frekuensi osilasi N kali lebih besar dibandingkan dengan sinyal acuan.



Gambar 2.2 Skematik PLL [4]

Pada gambar skematik diatas terlihat bahwa $H(s)$ merupakan fungsi alih umpan balik yang dibentuk oleh *divider* dengan faktor pembagi $H(s) = N$. Sehingga fungsi alih *loop* keseluruhan akan menjadi :

$$\text{Fungsi alih keseluruhan} = \frac{G(s)}{1 + G(s) \cdot H(s)} \quad (2.1)$$

2.2 Komponen PLL

2.2.1 Detektor fasa / frekuensi

Detektor fasa/frekuensi merupakan blok pertama dalam PLL. Ia digunakan untuk mendeteksi perbedaan fasa maupun frekuensi dari kedua sinyal masukan dan kemudian menghasilkan sinyal *error*. Detektor fasa membandingkan perbedaan fasa antara dua sinyal masukan dan membangkitkan sinyal *error* yang sebanding dengan perbedaan fasa tersebut. Keberadaan perbedaan frekuensi yang sangat besar menyebabkan detektor fasa tidak selalu membangkitkan *error* fasa yang benar. Fasa kesalahan berakumulasi secara cepat dan dapat berosilasi antara fasa kesalahan $>180^\circ$ dan $<180^\circ$ dari siklus ke siklus. Dikarenakan detektor fasa tidak peka terhadap perbedaan frekuensi pada masukan, maka ketika pertama kali bekerja, saat frekuensi osilator terbagi oleh N sangat jauh nilainya dibandingkan dengan frekuensi acuan, maka PLL kemungkinan gagal untuk mengunci. Masalah ini dikenal dengan *inadequate acquisition range of the PLL*. Untuk mengatasi masalah ini, digunakan *phase-frequency detector* (PFD) yang dapat mendeteksi baik perbedaan fasa maupun frekuensi.

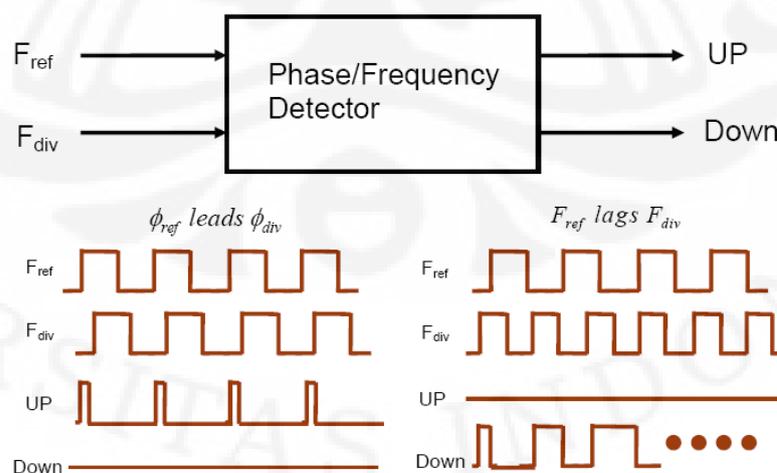
Dibandingkan dengan detektor fasa, detektor fasa/frekuensi memiliki beberapa keuntungan, yaitu [5]:

1. Rentang *pull-in* frekuensi yang lebih besar : Biasanya, frekuensi *pull-in* dari multiplier dan XOR detektor fasa berhubungan dengan parameter *loop*.
2. Kinerja derau yang baik: Multiplier dan XOR pada detektor fasa mendeteksi perbedaan fasa selama seluruh periode acuan. Hal ini mengakibatkan detektor fasa akan menambahkan derau pada sistem selama seluruh rentang waktu acuan tersebut. Kebalikannya, detektor fasa/frekuensi memiliki karakteristik *edge-trigger* yang hanya akan

mendeteksi perbedaan sinyal masukan selama periode referensi yang sebentar, dan hanya akan mengirim sedikit derau pada keluaran sistem.

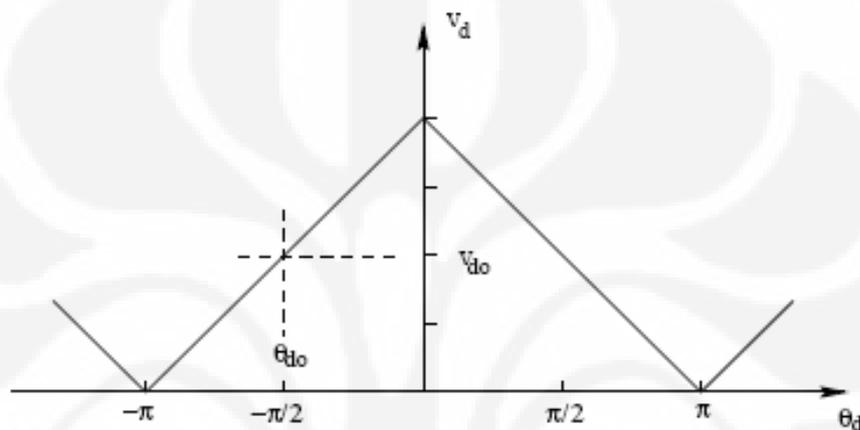
3. Tidak terpengaruh terhadap siklus kerja sinyal : Dikarenakan pada detektor fasa digunakan seluruh periode acuan pada saat proses pendeteksian fasa, kesalahan kondisi penguncian (*false locked*) dapat terjadi pada PLL disebabkan *multiplier* dan XOR sangat peka terhadap siklus kerja sinyal masukan. Kesalahan kondisi penguncian ini dikarenakan pula detektor fasa dapat membangkitkan sinyal *error* yang sama untuk sinyal yang diinginkan maupun sinyal-sinyal harmoniknya. Maka, PLL dapat mungkin mengunci pada frekuensi harmonik dari frekuensi yang diinginkan.

Sebagai ilustrasi, blok diagram dari dua contoh detektor fasa/frekuensi ditunjukkan pada Gambar 2.3. Yang pertama, sinyal keluaran yang telah terbagi tertinggal fasanya dibandingkan sinyal acuan. Informasi sinyal pulsa yang tertinggal ini akan membangkitkan tegangan keluaran pulsa *UP*. Melalui operasi dengan komponen-komponen lain pada *loop*, peningkatan tegangan *tuning* akan dilakukan pada frekuensi keluaran yang kemudian akan memperbaiki *error* fasa pada masukan detektor fasa/frekuensi. Kebalikannya, ketika sinyal keluaran yang telah terbagi memiliki frekuensi lebih besar dibandingkan dengan frekuensi masukan acuan, akan menyebabkan keluaran detektor fasa/frekuensi menghasilkan sinyal pulsa *DOWN*, yang akan memaksa *loop* untuk menurunkan frekuensi keluaran secara bertahap.



Gambar 2.3 Dua contoh operasi dari detektor fasa/frekuensi [5]

Sebagaimana yang telah dikemukakan diatas, peran detektor fasa pada PLL ialah untuk membangkitkan sinyal kesalahan yang setara dengan perbedaan fasa antara sinyal masukan dan sinyal keluaran dari VCO. Misalkan θ_d merupakan perbedaan fasa antara fasa masukan dan fasa VCO. Disebabkan perbedaan fasa ini, PD membangkitkan tegangan v_d . Hubungan antara tegangan v_d , dan perbedaan fasa θ_d diperlihatkan pada Gambar 2.4. Hubungan antara keduanya linear dan periodik, berulang setiap 2π radian.



Gambar 2.4 Karakteristik detektor fasa [6]

Kemiringan kurva menyatakan penguatan dari PD dan dirumuskan sebagai berikut :

$$k_d = \frac{dv_d}{d\theta_d} \quad (2.2)$$

Dimana, $\theta_d = \theta_i - \theta_o$

k_d = penguatan PD

v_d = tegangan yang masuk ke PD

θ_i = fasa masukan dari sinyal referensi

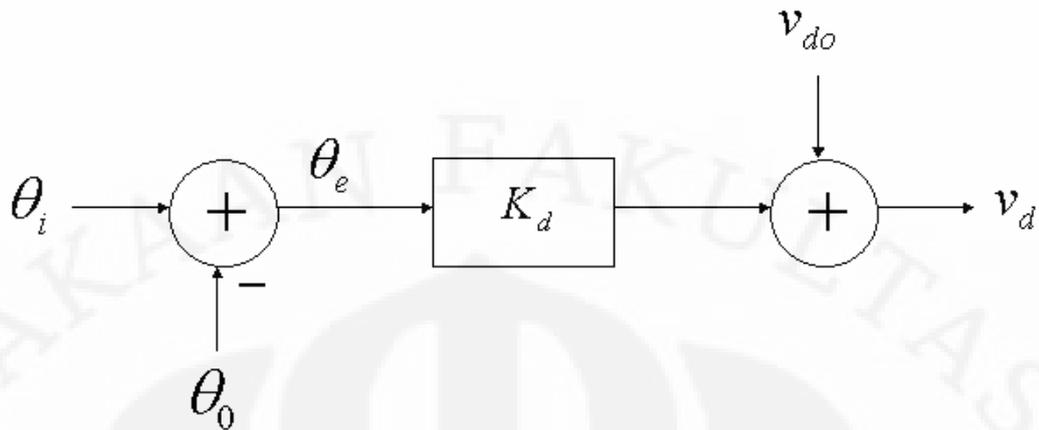
θ_o = fasa masukan dari sinyal umpan balik

v_{do} = Tegangan awal v_d

Detektor fasa sederhana dapat dimodelkan dengan persamaan berikut :

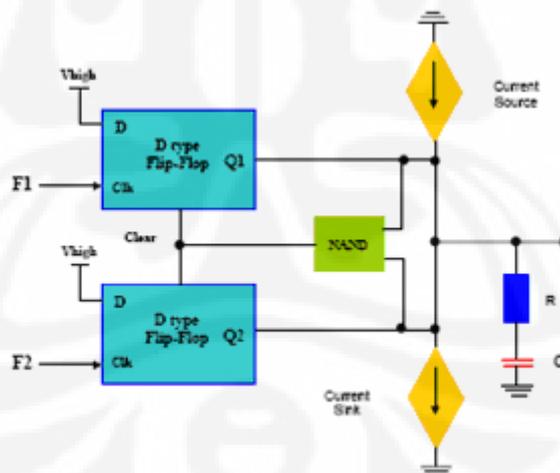
$$v_d = k_d \theta_d + v_{do} \quad (2.3)$$

Persamaan ini digambarkan pada blok diagram pada Gambar 2.5



Gambar 2.5 Model aliran sinyal dari detektor fasa [6]

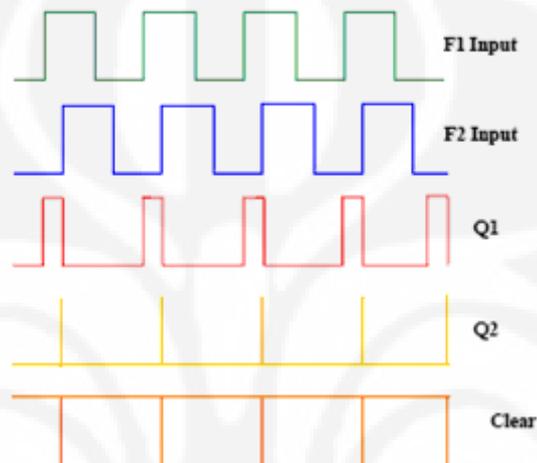
Detektor fasa dapat berupa analog yakni berupa rangkaian *mixer* atau dapat pula digital seperti *D flip-flop*. Ketika *mixer* digunakan, maka keluarannya akan terdiri dari penjumlahan serta perbedaan frekuensi. Penjumlahan frekuensi akan ditapis oleh *loop filter* dan sisa beda frekuensinya, atau yang lebih dikenal sebagai *beatnote*, akan dilewati oleh *loop filter* yang akan menghasilkan tegangan kendali DC bagi VCO. Sebagian besar rangkaian PLL dewasa ini menggunakan detektor fasa sebagaimana yang ditunjukkan oleh Gambar 2.6.



Gambar 2.6 Detektor fasa *D flip-flop* [4]

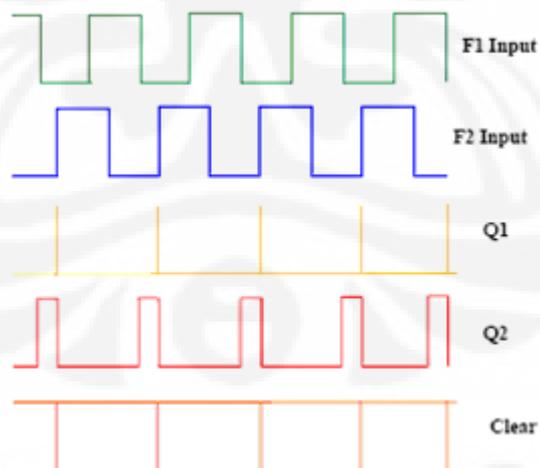
Mengacu pada Gambar 2.7, sinyal F1 datang pada *D flip-flop* 1 menyebabkan keluaran Q1 akan *high* dan akan tetap *high* hingga F1 menjadi *high* lagi. Sinyal F2 masuk pada *D flip-flop* 2 menyebabkan keluaran Q2 menjadi *high*, pada keadaan ini terdapat dua masukan satu pada gerbang NAND yang menyebabkan keluarannya akan *low* dan menyebabkan kedua *flip-flop* akan *reset*

dan keluaran Q1 dan Q2 akan *low* lagi. Sekarang Q2 hanya akan *high* ketika F2 *high* namun secara cepat akan *reset* kembali dikarenakan gerbang NAND, maka kita akan melihat pulsa pada Q2. Jeda waktu antara pulsa-pulsa tersebut akan memberikan waktu tunda antara F1 dan F2. Sinyal *clear* merupakan kebalikan dari sinyal Q2. Apabila kita tambahkan sebuah kapasitor pada keluaran, maka tegangan pulsa akan lebih halus dan akan memberikan nilai rata-rata tegangan yang akan maksimal ketika frekuensi F1 dan F2 berbeda 180 derajat.



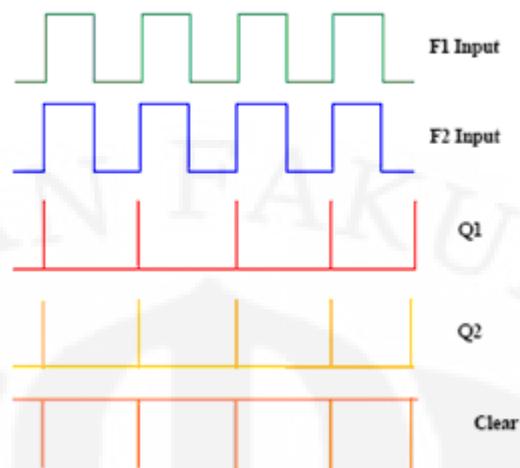
Gambar 2.7 Sinyal masukan dan keluaran detektor fasa. F1 mendahului F2 [4]

Kedua keadaan dimana F2 mendahului F1 dan keluaran Q1 dan Q2 terbalik, diperlihatkan pada Gambar 2.8.



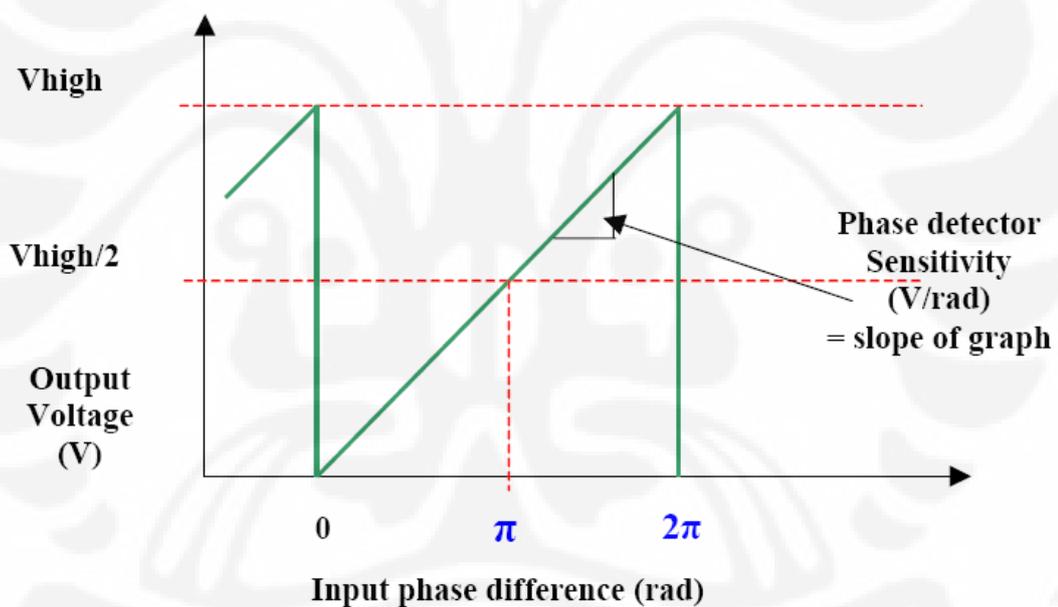
Gambar 2.8 Keluaran detektor fasa F2 mendahului F1 [4]

Kasus ketiga ialah saat kedua sinyal masukan memiliki fasa yang sama sehingga menghasilkan tegangan rata-rata yang terendah sekitar 0V baik dari Q1 maupun Q2 sebagaimana ditunjukkan pada Gambar 2.9.



Gambar 2.9 Kedua masukan F1 dan F2 memiliki fasa yang sama [4]

Respon fasa dari detektor fasa ditunjukkan pada Gambar 2.10, dimana kemiringan grafik menunjukkan tingkat sensitifitas dalam V/rad.

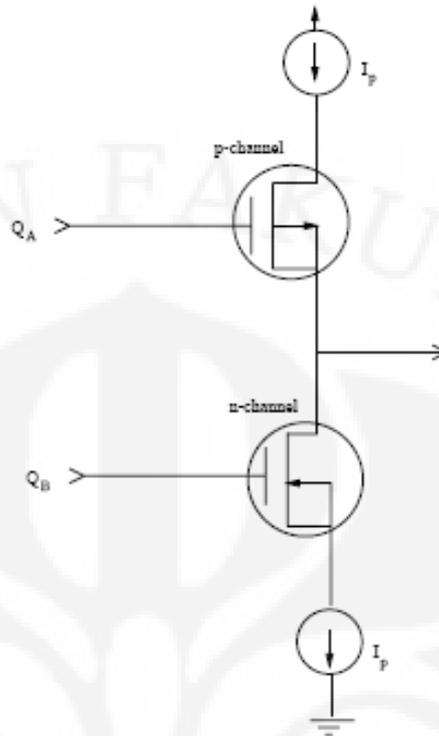


Gambar 2.10 Karakteristik keluaran detektor fasa *D flip-flop* [4]

Keluaran Q1 dan Q2 menghidupkan sumber arus, baik arus timbul maupun arus tenggelam. Hal ini akan menyebabkan tegangan menjadi melandai naik maupun melandai turun tergantung dari beda fasa antara F1 dan F2.

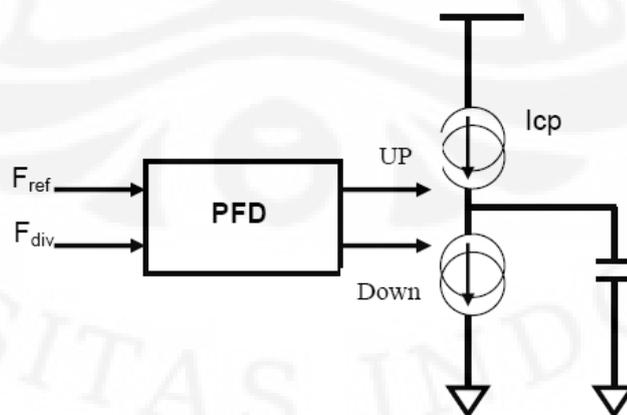
2.2.2 Charge pump

Charge pump (CP) terdiri atas dua saklar sumber arus yang men-drive kapasitor sebagaimana ditunjukkan pada Gambar 2.11 [7].



Gambar 2.11 Rangkaian *Charge Pump* [6]

Charge pump terdiri atas sumber arus *push-pull*, susunan arus *sink* yang terhubung pada kapasitor *shunt* membuat halus pulsa pewaktuan yang akan memberikan tegangan DC konstan tergantung dari siklus kerja pulsa keluaran detektor fasa. *Charge pump* biasanya diletakkan tepat setelah detektor fasa/frekuensi dan mendeteksi perbedaan tegangan pulsa antara *UP* dan *DOWN*. *Charge pump* akan bekerja menginjeksikan atau menarik arus dari *loop filter* tergantung pulsa apa yang terjadi.

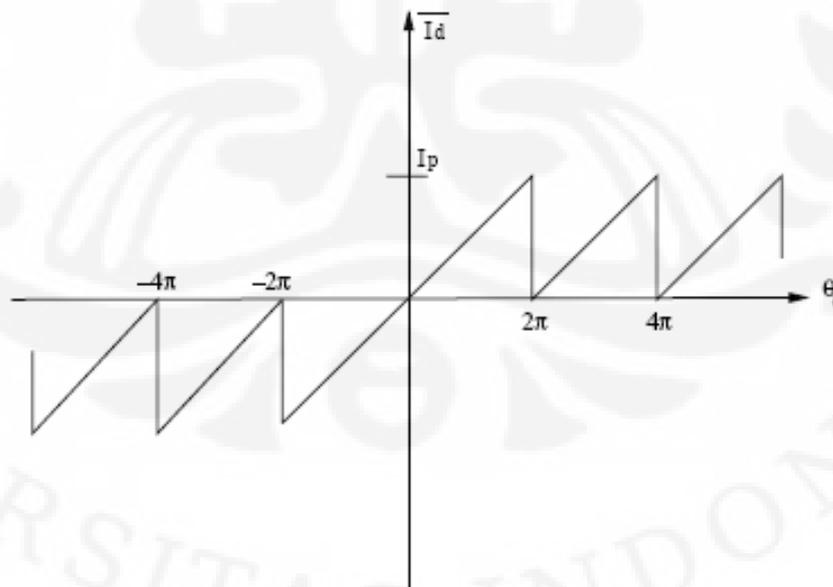


Gambar 2.12 Blok diagram dari kombinasi PFD/ CP [5]

Konsep dasar dari *charge pump* dapat ditunjukkan pada Gambar 2.12. Ketika sinyal *UP* terbentuk oleh detektor fasa/frekuensi maka simpul *charging* akan tertutup dan kemudian akan menginjeksikan arus ke dalam *loop filter*. Begitu pula apabila pulsa *DOWN* terbentuk, akan menyebabkan simpul *discharging* menutup dan akan mengeluarkan *charging* yang berasal dari *loop filter*. Ketika sinyal *UP* dan *DOWN* aktif maupun tidak aktif pada saat yang bersamaan, maka tidak ada arus yang keluar atau masuk dari keluaran *port charge pump*.

Idealnya, jika kedua saklar *charging* dan *discharging* terbuka, resistansi keluaran dari *charge pump* akan sama dengan tak hingga. Hal ini akan membuat *loop filter* bertindak sebagai *integrator*, sehingga akan terjadi penguatan DC tak hingga dari kombinasi PFD/CP/LPF. Dengan penguatan DC tak hingga, *zero phase error* akan muncul pada masukan PFD untuk menjaga tegangan *tuning VCO* tetap pada kondisi terkunci (*locked*).

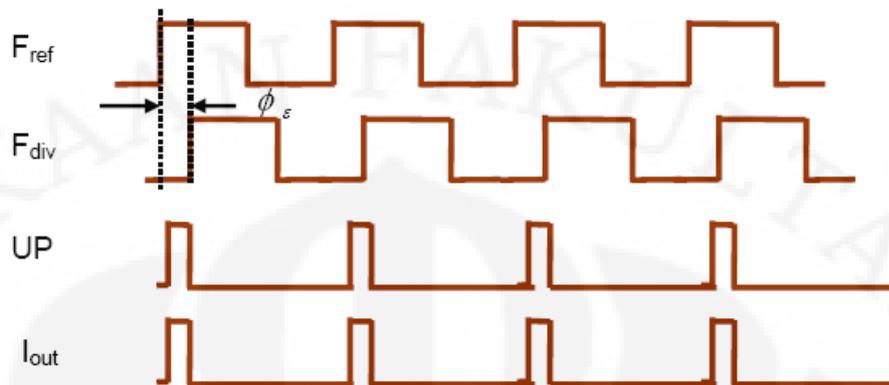
Arus keluaran dari *Charge pump*, I_d , merupakan fungsi logika dari keadaan PFD. Ketika PFD dalam keadaan 1, I_d bernilai positif, ketika PFD dalam keadaan 2, I_d bernilai negatif. Untuk keadaan 0, I_d akan bernilai nol. Jika kita gambarkan hubungan antara I_d dan *error fasa* θ_d , maka akan kita dapatkan fungsi gigi gergaji sebagaimana ditunjukkan pada Gambar 2.13.



Gambar 2.13 Grafik *error fasa* terhadap arus rata-rata [6]

Kurva berbentuk linear antara -2π dan 2π , dan kemudian berulang secara periodik selama 2π . Jika *error fasa* θ_d melebihi 2π , PFD akan bersifat

seakan-akan *error* fasa diputar kembali ke nol. Sehingga kurvanya akan periodik dengan waktu periode 2π .



Gambar 2.14 Perilaku transisi dari PFD/CP [5]

Untuk mendapatkan model linear dari kombinasi PFD/CP, kita dapat meninjau sifat peralihan dari PFD/CP sebagaimana ditunjukkan pada Gambar 2.14. Terlihat bahwa terjadi sinyal pulsa keluaran dari PFD berupa sinyal *UP*, yang besarnya setara dengan perbedaan fasa ϕ_ϵ antara kedua sinyal masukan PFD. Tegangan pulsa ini digunakan untuk menutup saklar pada *charge pump* dan kemudian menjadi sumber arus bagi *loop filter*. Sehingga besar arus rata-rata yang dihasilkan dari *charge pump* sesuai dengan perbedaan fasa masukan dapat dihitung dengan [5] :

$$\overline{I_{out}} = \frac{I_{CP} \times \phi_\epsilon}{2\pi} \quad (2.4)$$

I_{CP} adalah arus yang bersumber dari *charge pump*. Penguatan PFD/CP, didefinisikan sebagai K_{PD} yang menunjukkan hubungan antara perbedaan fasa masukan dengan keluaran rata-rata arus, yang dapat didefinisikan sebagai [5] :

$$K_{PD} = \frac{\overline{I_{out}}}{\phi_\epsilon} = \frac{I_{CP}}{2\pi} \quad (2.5)$$

Dari persamaan (2.5), kita dapat melihat bahwa arus keluaran meningkat dengan meningkatnya perbedaan fasa antara masukan PFD dengan kemiringan sesuai dengan K_{PD} .

2.2.3 Loop filter

Loop filter merupakan komponen yang sangat penting dalam PLL karena menentukan kestabilan *loop*, *settling time*, kinerja derau, dan rentang frekuensi

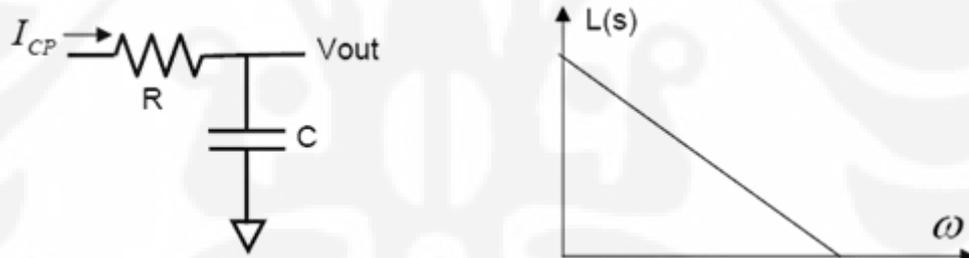
lock. Pada dasarnya, *loop filter* dibedakan menjadi dua, *loop filter* pasif dan *loop filter* aktif. Jika rentang *tuning* dari PLL sangat lebar dan tegangan *tuning* dari VCO terlalu besar untuk disediakan oleh *charge pump*, maka digunakan *loop filter* aktif. Namun, kinerja derau yang buruk dan konsumsi daya yang besar merupakan kelemahan dari *loop filter* aktif.

Loop filter menghasilkan *pole* pada fungsi alih PLL, yang nantinya akan menentukan lebar pita dari PLL. Semakin tinggi orde dari *loop filter*, semakin baik dalam hal mengurangi derau, namun semakin tinggi orde dari *loop filter* maka *loop* akan menjadi tidak stabil, oleh karena itu pada banyak rangkaian PLL *loop filter* dibatasi pada orde pertama dan kedua.

2.2.3.1 Loop filter pasif

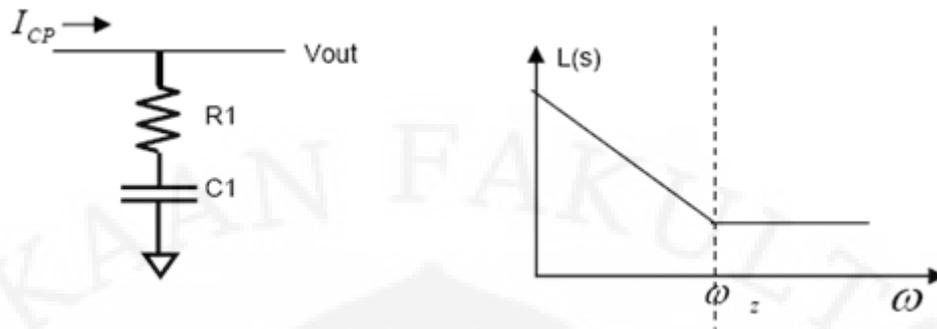
Asumsikan impedansi keluaran dari *charge pump* tak terhingga, maka fungsi alih dari *loop filter* orde pertama dinyatakan dengan [5] :

$$V_{out} = I_{CP} \times \frac{1}{sC} \Rightarrow \frac{V_{out}}{I_{CP}} = \frac{1}{sC} \quad (2.6)$$



Gambar 2.15 Low pass filter orde pertama [5]

Respon frekuensi dari *loop filter* orde pertama ditunjukkan pada Gambar 2.15. Dikarenakan *pole* yang telah ada pada *loop* yang diakibatkan oleh VCO, penambahan *pole* kedua pada *loop* yang disebabkan oleh *low pass filter* orde pertama akan membuat PLL menjadi tidak stabil. Dengan menempatkan resistor secara seri, sebuah *zero* akan dibangkitkan dan menjaga *loop* dari ketidakstabilan. Respon frekuensinya ditunjukkan pada Gambar 2.16.



Gambar 2.16 *Low pass filter* orde pertama dengan resistor seri [5]

Selain masalah kestabilan sistem, kinerja derau dari PLL merupakan masalah penting. Variasi tegangan *tuning* dari VCO akan berdampak serius pada spektrum keluaran VCO. *Reference feed-through* yang dihasilkan dari ketidaksepadanan arus pada *charge pump* akan berakibat pada *spur* pada spektrum keluaran VCO. Untuk mengurangi tegangan riak pada *tuning*, sebuah kapasitor diletakkan secara *shunt* untuk membuat *low pass filter* orde kedua. Fungsi alih dari *low pass filter* orde kedua diturunkan sebagai berikut [5] :

$$V_{out} = I_{CP} \times (R_1 + \frac{1}{sC_1}) // \frac{1}{sC_2} = I_{CP} \times \frac{1 + sC_1R_1}{(sC_1R_1 + 1)sC_2 + sC_1} \quad (2.7)$$

$$L(s) = \frac{V_{out}}{I_{CP}} = \frac{1}{(C_1 + C_2)} \frac{1 + sC_1R_1}{(1 + s \frac{C_1C_2}{C_1 + C_2} R_1)}$$

Persamaan 2.8 memberikan informasi mengenai kebutuhan *loop filter* yang meliputi *lock time* t_s , faktor redaman ζ , faktor pembagi N , K_{VCO} (MHz/V) and K_d (arus *charge pump* mA/rad).

$$N = \frac{\text{Frekuensi VCO maksimum}}{\text{Frekuensi detektor fasa}}$$

Dengan *settling time* diberikan oleh [4] :

$$\text{Settling time } t_s \text{ (s)} = \frac{-\text{Ln}(\frac{f_a}{f_{step}})}{2\pi \cdot \xi \cdot f_n} \quad (2.8)$$

Dimana,

f_a = Frekuensi *settling* relatif terhadap frekuensi akhir yang dibutuhkan dalam satuan waktu.

t_s = *Settling time* yang diinginkan.

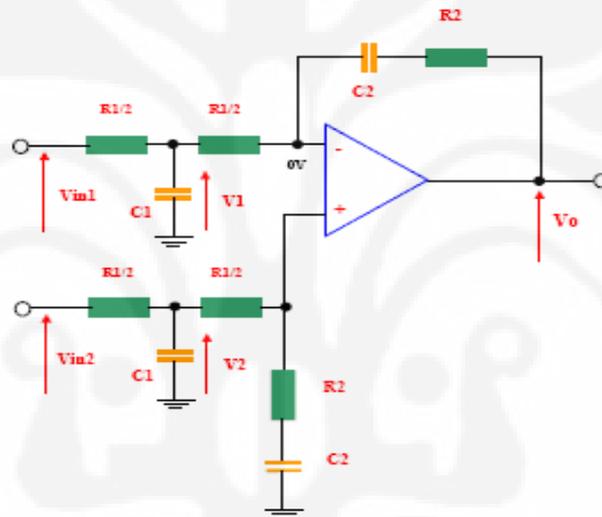
ξ = Faktor redaman.

Fstep = Perubahan frekuensi

F_n = Frekuensi *cut-off loop*

2.2.3.2 Loop filter Aktif

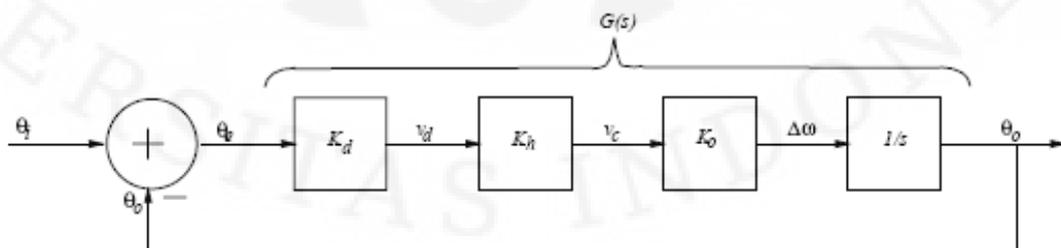
Beberapa sistem VCO memiliki rentang tegangan kendali yang besar, maka dari itu pada situasi seperti ini dibutuhkan *loop filter* aktif yang menggunakan sebuah *op-amp*. Rangkaian *differential* tipe II *op-amp loop filter* ditunjukkan pada Gambar 2.17. Rangkaian ini menggunakan keluaran Q1 dan Q2 dari detektor fasa secara langsung dan memiliki keuntungan dalam hal lebih dapat mereduksi derau.



Gambar 2.17 *Loop filter* aktif *differensial* orde 2 [4]

2.2.4 Lebar pita PLL

Lebar pita PLL menentukan seberapa cepat keluaran PLL akan menyamai frekuensi masukan. Parameter ini ditentukan oleh karakteristik dari PD, VCO dan *loop filter*. Dikarenakan lebar pita biasanya dihubungkan dengan model AC, maka kita anggap model AC dari PLL seperti ditunjukkan oleh Gambar 2.18.



Gambar 2.18 Model linear dari PLL [7]

VCO dapat digambarkan sebagai integrator yang memiliki fungsi alih $1/s$, dan s menyatakan frekuensi kompleks, Fungsi alih *loop* tertutup $H(s)$ adalah

$$H(s) = \frac{\theta_r(s)}{\theta_0(s)} = \frac{G(s)}{1 + G(s)} \quad (2.9)$$

Dimana

$$G(s) = \frac{K_d K_h K_0}{s} \quad (2.10)$$

dengan

1. Penguatan PD, K_d
2. Penguatan frekuensi tinggi dari *loop filter*, K_h
3. Penguatan VCO, K_0

Lebar pita ω_{3dB} terjadi ketika $|G(j\omega) = 1|$. Dari persamaan diatas, hal ini terjadi ketika [6] :

$$\omega_{3dB} = K = K_d K_h K_0 \quad (2.11)$$

Desain dari PD dan VCO biasanya kurang fleksibel. Sedangkan desain dari *loop filter* merupakan komponen dasar dalam menentukan lebar pita dari PLL. Pemilihan lebar pita dari *loop* menghasilkan *trade-off* pada kecepatan melacak frekuensi. Dikarenakan kecepatan PLL dipengaruhi oleh fungsi dari lebar pita *loop*, maka cara termudah untuk meningkatkan waktu kunci (*lock time*) adalah dengan memperlebar lebar pita *loop*. Lebar pita *loop* yang lebih besar memperbaiki waktu kunci namun pada saat yang bersamaan akan menurunkan karakteristik *noise* dari *loop*. Maka lebar pita optimum harus disesuaikan dengan kebutuhan.

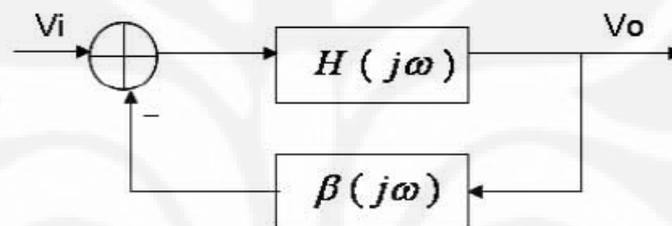
2.2.5 Voltage Controlled Oscillator (VCO)

Osilator merupakan rangkaian listrik yang membangkitkan sinyal periodik pada frekuensi tertentu. Pada dasarnya, osilator dapat dibedakan menjadi dua jenis : *waveform-based oscillators* dan *resonator-based oscillators*. Kedua osilator tersebut harus memenuhi kriteria Barkhausen :

$$\begin{aligned} |H(j\omega_0)\beta(j\omega_0)| &= 1 \\ \angle H(j\omega_0)\beta(j\omega_0) &= 180^\circ \end{aligned} \quad (2.12)$$

Untuk membuat osilator beroperasi pada frekuensi yang berbeda, mekanisme *tuning* yang dikendalikan oleh tegangan atau arus selalu digunakan

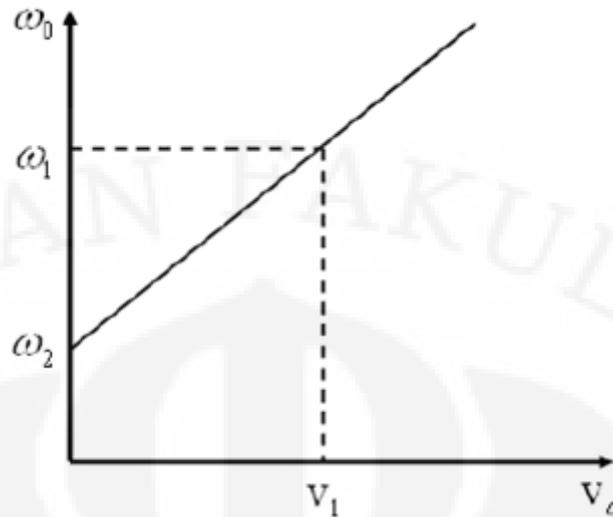
untuk membuat sistem umpan balik memenuhi kriteria Barkhausen pada frekuensi yang berbeda. Kedua osilator ini dibuat menggunakan sistem umpan balik sebagaimana ditunjukkan oleh gambar 2.19. *Ring oscillator*, *waveform-based oscillator*, *LC-tank oscillators* dan *resonator-based oscillator* merupakan osilator yang sering digunakan untuk *Voltage Control Oscillator (VCO)*. *LC-tank oscillator* memiliki keuntungan dalam hal derau fasa yang bagus, sehingga merupakan pilihan yang baik untuk pensintesa frekuensi. Namun, area besar yang terduduki oleh induktor membuat osilator jenis ini sangat sulit untuk diintegrasikan pada *chip* monolitik. Rentang *tuning* yang kecil juga membuat osilator ini tidak bisa dipakai pada aplikasi *wide bandwidth*.



Gambar 2.19 Sistem umpan balik [5]

Sebaliknya, tanpa adanya induktor pada rangkaian, osilator jenis *ring* sangat cocok untuk integrasi *chip* monolitik. Rentang frekuensi *tuning* yang besar membuat osilator *ring* memenuhi kebutuhan pada standar komunikasi *wide bandwidth*. Namun kerugian dari osilator *ring* adalah kinerja derasu fasa yang lebih buruk dibandingkan dengan osilator *LC-tank*. Untuk mendapatkan kinerja derasu fasa yang sama dengan osilator *LC-tank*, diperlukan konsumsi daya yang besar. Maka tergantung dari aplikasi nirkabel yang diinginkan, perancang dapat menggunakan osilator *ring* atau *LC-tank* osilator untuk digunakan pada VCO di PLL.

Karakteristik umum dari sebuah VCO diperlihatkan pada Gambar 2.20.



Gambar 2.20 Karakteristik VCO [6]

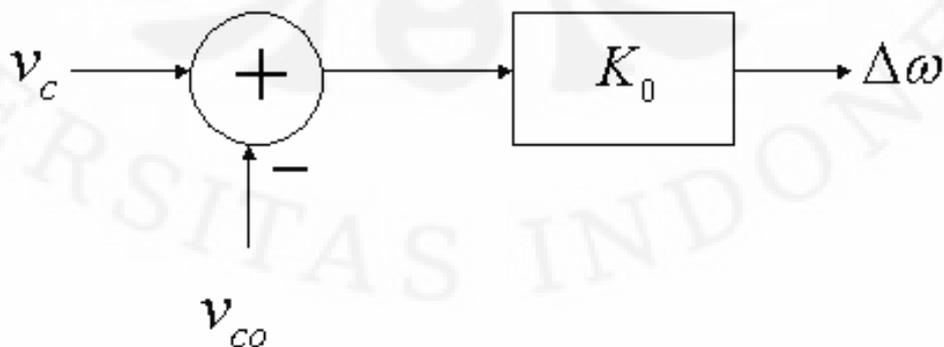
Idealnya, kemiringan kurva karakteristik VCO adalah konstan. Seiring dengan perubahan tegangan kendali dari 0 hingga tegangan V_1 , maka frekuensi keluaran akan bervariasi pula mulai dari ω_2 hingga ω_1 . Diluar dari jarak ini, kemiringan bisa jadi tidak linear dan kinerja dari VCO pun menjadi tidak linear. Tergantung dari kebutuhan dari rangkaian, range tersebut dapat diatur sehingga rangkaian selalu dalam jangkauan linear. Kemiringan kurva tersebut menyatakan penguatan VCO, K_0 , dan dinyatakan dengan :

$$K_0 = \frac{d\Delta\omega_0}{dv_c} \quad (2.13)$$

VCO sederhana dapat dimodelkan dengan persamaan berikut :

$$\Delta\omega = k_0(v_c - v_{co}) \quad (2.14)$$

Persamaan ini digambarkan dengan blok diagram pada Gambar 2.21.



Gambar 2.21 Model aliran sinyal dari VCO[6]

Struktur sederhana dari osilator *ring* ditunjukkan pada Gambar 2.22. Terdapat dua analisis yang dapat digunakan untuk memperkirakan frekuensi osilasi dari osilator *ring*. Pertama, digunakan sinyal besar untuk melakukan analisis. Untuk sistem umpan balik negatif, sel *delay* pada osilator *ring* menghasilkan pergeseran fasa 180° untuk memenuhi kriteria Barkhausen. Kita asumsikan osilator *ring* memiliki N tingkatan, pergeseran fasa yang terjadi pada tiap tingkatan akan bernilai $180^{\circ} / N$. Sehingga waktu tunda, τ , dari tiap tingkatan setara dengan :

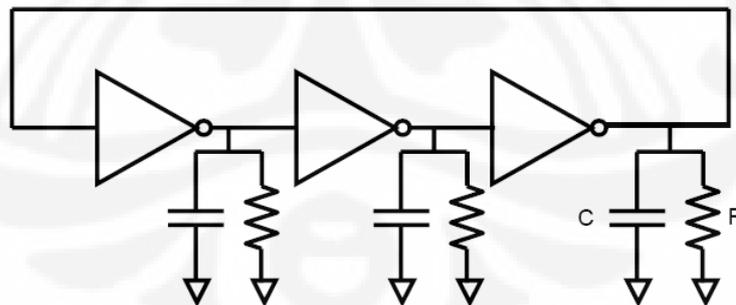
$$\tau = \frac{180^{\circ}}{N} \times \frac{T}{360^{\circ}} \quad (2.15)$$

Maka, frekuensi osilasi dapat dihitung dengan [5] :

$$f_{osc} = \frac{1}{2N\tau} \quad (2.16)$$

Waktu tunda, τ , dapat diperkirakan dengan menghitung waktu yang dibutuhkan oleh arus bias untuk men-charge kapasitor beban menjadi setengah dari tegangan keluaran. Maka frekuensi osilasi dapat ditentukan sebagai :

$$f_{osc} = \frac{1}{2N} \times \left(\frac{1}{C} \times \frac{2}{V_{swing}} \right) = \frac{1}{NCV_{swing}} \quad (2.17)$$



Gambar 2.22 Osilator *ring* [5]

Analisis *small signal* dapat pula digunakan untuk memperkirakan frekuensi osilasi. Fungsi alih *small signal* dari tiap sel *delay* dapat dinyatakan dengan [5] :

$$G(s) = \frac{A}{s + \omega_p} \quad (2.18)$$

A, merupakan penguatan frekuensi rendah dari sel *delay*, dan *pole* ω_p , berbanding terbalik dengan RC. Jika kita menggunakan tiga tingkat osilator *ring* sebagai contoh, maka penguatan *loop* terbuka secara keseluruhan dinyatakan dengan :

$$H(s) = G^3(s) = \left(\frac{A}{s + \omega_p} \right)^3 \quad (2.19)$$

Untuk memenuhi kriteria Barkhausen, tambahan pergeseran fasa 180° harus dipenuhi oleh *loop*. Maka, setiap sel harus memberikan pergeseran fasa 60° , maka frekuensi osilasi dapat diperkirakan sebagai [5] :

$$\phi = 60^\circ = \tan^{-1} \left(\frac{\omega_0}{\omega_p} \right) = \tan^{-1}(\omega_0 RC) \quad (2.20)$$

$$\omega_0 = \frac{\sqrt{3}}{RC}$$

Untuk mendapatkan osilasi yang tunak, penguatan *loop* pada frekuensi osilasi harus sama atau lebih besar dari satu. Maka [5],

$$|H(j\omega_0)| = \left(\frac{A}{\sqrt{\omega_0^2 + \omega_p^2}} \right)^3 \geq 1 \quad (2.21)$$

$$A \geq 2\omega_p = \frac{2}{RC}$$

Sehingga apabila penguatan dari sel *delay* lebih besar dari $2/RC$, osilator *ring* akan beresilasi pada $3/RC$. Untuk VCO, hubungan antara frekuensi osilasi dan tegangan masukan *tuning* adalah [5] :

$$\omega_0 = \omega_{FR} + K_{VCO} \times V_{tune} \quad (2.22)$$

Dimana K_{VCO} merupakan penguatan dari VCO, didefinisikan sebagai sensitifitas VCO terhadap variasi dari tegangan *tuning*, dan ω_{FR} merupakan frekuensi *free-run*. Kendali dari PLL tergantung pada perbandingan antara fasa acuan masukan dan fasa umpan balik. Fungsi alih antara tegangan *tuning* dan fasa keluaran dapat dinyatakan sebagai [5] :

$$\phi_0(t) = \int_0^t \Delta\omega(t) dt = \int_0^t K_{VCO} \times V_{tune} dt \quad (2.23)$$

Dengan menggunakan transformasi Laplace didapatkan :

$$\frac{\phi_0(s)}{V_{tune}} = \frac{K_{VCO}}{s} \quad (2.24)$$

Maka, VCO bertindak seperti integrator untuk fasa keluaran, dan menghasilkan sebuah *pole* pada fungsi alih PLL secara keseluruhan.

Disebabkan karakteristik non-linear dari PFD/CP/LPF dan derau masukan, sebuah sinyal derau akan timbul pada tegangan kendali dari VCO. Hal ini akan menyebabkan terjadinya variasi pada tegangan *tuning*. Kemudian variasi ini akan dikuatkan dengan K_{VCO} . Akibatnya, akan terdapat derau yang telah dikuatkan pada sinyal keluaran VCO. Maka dari itu untuk membuat PLL menjadi kurang sensitif terhadap derau, K_{VCO} harus didesain sekecil mungkin. Dari persamaan (2.22), untuk mendapatkan rentang frekuensi *tuning* yang lebar pada VCO, dibutuhkan K_{VCO} yang besar. Maka ada *trade-off* antara rentang frekuensi *tuning* dan kinerja *noise* pada desain VCO.

Trade-off pada tegangan keluaran, tegangan sumber, dan konsumsi daya harus dianalisis secara mendalam pada desain VCO [7]. Tanpa kecuali, tegangan keluaran yang besar dibutuhkan untuk meningkatkan SNR dan menurunkan *noise figure*. Namun, hal ini akan memberikan batasan yang sangat rendah pada tegangan sumber. Arus *drive* yang besar dibutuhkan untuk tegangan *swing* yang besar, menyebabkan konsumsi daya yang besar pula. Maka dari itu, bergantung pada aplikasi yang berbeda, *trade-off* yang diterapkan harus sebisa mungkin mengoptimalkan kinerja dari VCO

2.2.6 Frekuensi Divider

Hampir pada seluruh desain, VCO bekerja pada frekuensi yang jauh lebih tinggi dibandingkan batasan frekuensi maksimum dari detektor fasa. Frekuensi *divider* diletakkan pada jalur umpan balik PLL dan bertanggung jawab terhadap penskalaan frekuensi. Dengan mengatur rasio pembagi frekuensi, frekuensi *locked* dari PLL dapat diubah diantara beberapa kanal. Dikarenakan mekanisme kendali dari PLL bergantung pada perbandingan dari fasa pada masukan PFD, maka model linear dari pembagi frekuensi dinyatakan sebagai hubungan fasa antara sinyal keluaran VCO dan sinyal keluaran pembagi frekuensi. Kita asumsikan input fasa dalam domain waktu setara dengan

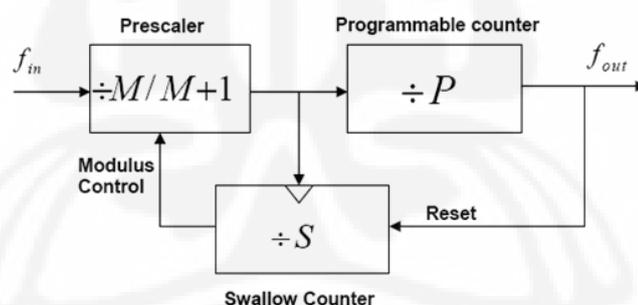
$$\theta_{in}(t) = 2\pi f_{in} t \quad (2.25)[5]$$

f_{in} adalah frekuensi masukan dari pembagi frekuensi. Setelah penskalaan frekuensi, frekuensi keluaran f_{out} dapat dihitung sebagai $\frac{f_{in}}{N}$. Fasa keluaran dapat diturunkan dan dinyatakan dengan

$$\theta_{out}(t) = 2\pi f_{out} t = 2\pi \frac{f_{in}}{N} t = \frac{\theta_{in}}{N} \quad (2.26)$$

Maka, fungsi alih keluaran terhadap fasa masukan dari frekuensi *divider* akan setara dengan $1/N$.

Perbedaan antara pensintesa frekuensi *Integer-N* dan pensintesa frekuensi *fractional-N* terletak pada struktur dari pembagi frekuensi. Pembagi pulsa-*swallow* yang ditunjukkan pada Gambar 2.23 merupakan struktur yang paling umum untuk pensintesa frekuensi *Integer-N*. Dengan menambahkan akumulator pada pembagi pulsa-*swallow*, rasio pembagi pecahan akan didapatkan untuk pensintesa frekuensi *fractional-N*. Pembagi pulsa-*swallow* terdiri atas *dual-modulus prescaler*, *programmable counter* dan *swallow counter*. Masukan dari *dual modulus prescaler* terhubung pada keluaran VCO.



Gambar 2.23 Frekuensi *divider pulse-swallow* [5]

Programmable counter dapat diprogram dengan mudah untuk menentukan rasio pembagi tertentu untuk berbagai masukan frekuensi acuan. Jumlah pulsa yang diterima oleh *swallow counter* dinyatakan dengan *input* biner dari *swallow counter*. Cara kerja dari *pulse-swallow counter* dijelaskan sebagai berikut. Pada mulanya, *swallow counter* akan *reset* sehingga mengeluarkan sinyal *low* kepada *prescaler*, menyebabkan *prescaler* memulai dengan rasio pembagi $M+1$. Setelah *swallow counter* menghitung pulsa S , sinyal *high* akan dikirim menuju *prescaler*. Maka rasio pembagi *prescaler* akan menjadi M . Pada saat itu, pulsa S dengan

pewaktuan *divide-by-M+1* dihitung oleh *programmable counter*. Setelah itu, *programmable counter* akan menyelesaikan hitungannya, $P-S$, dengan pewaktuan *divide-by-M*. Maka rasio pembagi dapat dinyatakan sebagai [5] :

$$N = S \times (M + 1) + (P - S) \times M = PM + S \quad (2.27)$$

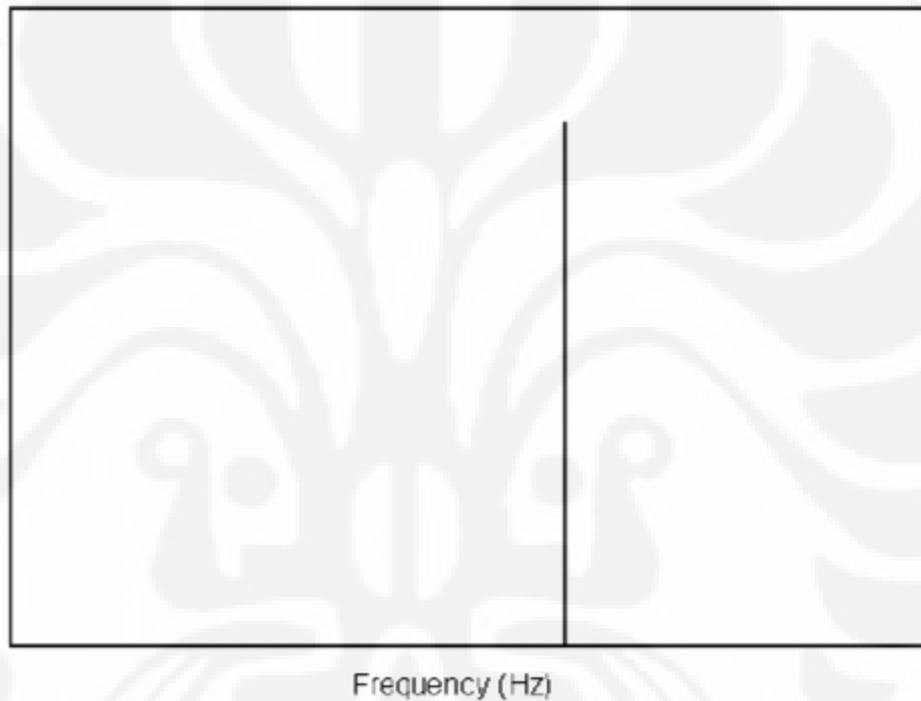
Ketika *programmable counter* telah diprogram, rasio pembagi P tidak dapat diubah lagi. Maka dari itu, rasio pembagi frekuensi *divider* hanya dapat diubah melalui nilai dari *swallow counter*.

BAB 3

PERANCANGAN PENSINTESA FREKUENSI MOBILE WIMAX

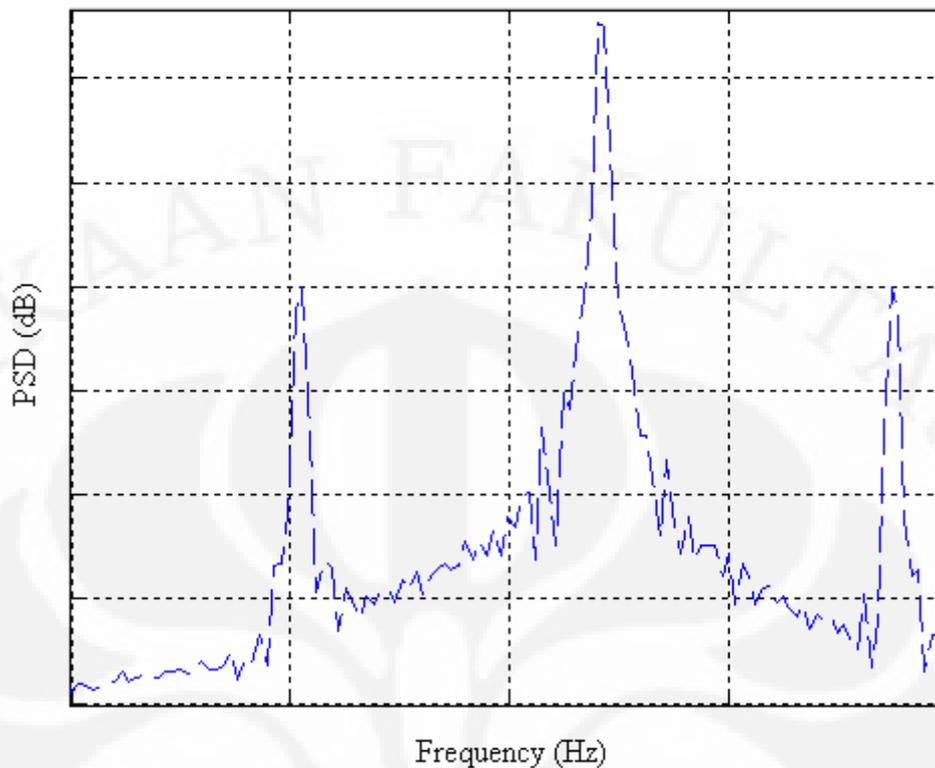
3.1 Model Linear PLL [8]

Dalam mendesain pensintesa frekuensi, diinginkan sinyal keluaran yang bagus dengan kestabilan frekuensi yang tinggi dan tidak adanya *jitter* fasa. Secara ideal, spektrum sinyal keluaran harus hanya terdiri atas satu sinyal keluaran pada frekuensi yang diinginkan sebagaimana diilustrasikan pada Gambar 3.1.



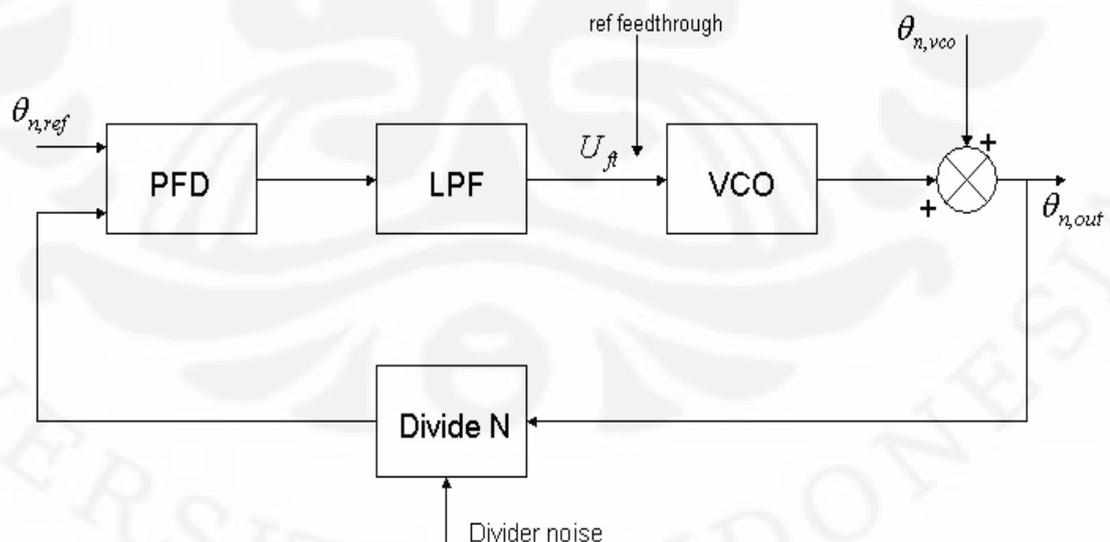
Gambar 3.1 Spektrum frekuensi ideal rangkaian pensintesa frekuensi [6]

Namun ketika mengukur spektrum sinyal keluaran, kita akan mendapatkan jentikan fasa dan *spur* yang berada disekitar frekuensi tengah yang diinginkan sebagaimana diilustrasikan pada Gambar 3.2.



Gambar 3.2 Hasil pengukuran spektrum frekuensi dari pensintesa frekuensi [6]

Tiap modul pada rangkaian pensintesa frekuensi dapat berkontribusi pada derau fasa keluaran. Pada dasarnya, ada empat buah sumber jentikan fasa dan *jitter* sebagaimana ditunjukkan pada Gambar 3.3 [9].



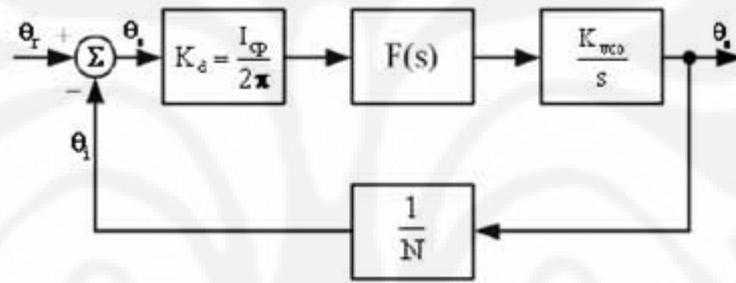
Gambar 3.3 Sumber derau fasa pada rangkaian pensintesa frekuensi [6]

Keempat sumber *jitter* fasa pada Gambar 3.3 tersebut dibangkitkan oleh osilator acuan (θ_{ref}), VCO (θ_{VCO}), riak sinyal pada masukan VCO (*reference*

feedthrough) dan derau *divider*. Sumber-sumber derau ini dapat dibagi menjadi dua tipe:

1. Derau yang ditapis oleh pentapis lewat bawah (derau frekuensi rendah). Derau yang disebabkan oleh osilator acuan dan *divider* masuk dalam kategori ini.
2. Derau yang ditapis oleh pentapis lewat atas (derau frekuensi tinggi). Derau fasa yang disebabkan oleh VCO masuk dalam kategori ini.

Gambar 3.4 memberikan ilustrasi model sistem kendali linear dari umpan balik fasa PLL dalam keadaan terkunci yang meliputi penguatan detector fasa/*charge pump* (K_d), penguatan VCO (K_{vco}/s), dan penguatan *loop filter* ($F(s)$) serta penguatan umpan balik *divider* (N).



Gambar 3.4 Model linear PLL [10]

Persamaan fungsi alih model linear PLL ditunjukkan dengan [10]:

$$\text{Penguatan forward loop : } G(s) = \frac{\theta_0}{\theta_e} = \frac{K_d \cdot F(s) \cdot K_{vco}}{s} \quad (3.1)$$

$$\text{Penguatan reverse loop : } H(s) = \frac{\theta_i}{\theta_o} = \frac{1}{N} \quad (3.2)$$

$$\text{Penguatan loop terbuka : } G(s) \cdot H(s) = \frac{\theta_i}{\theta_e} = \frac{K_d \cdot F(s) \cdot K_{vco}}{s \cdot N} \quad (3.3)$$

$$\text{Penguatan loop tertutup : } \frac{\theta_0}{\theta_r} = \frac{G(s)}{1 + H(s) \cdot G(s)} \quad (3.4)$$

Fokus desain PLL dalam skripsi ini ialah membangkitkan keluaran PLL yang stabil dan bebas dari *spur* menggunakan *delta-sigma modulator fractional-N PLL*. *Fractional-N PLL* digunakan untuk mensintesa frekuensi *mobile WIMAX* dengan rentang pita frekuensi 2.3 GHz - 2.7 GHz. PLL nantinya akan digunakan sebagai masukan lokal osilator untuk *mixer*. Meskipun memiliki performa yang

baik, *fractional-N* PLL memiliki kelemahan dalam hal sinyal *spur* yang terjadi di sekitar frekuensi tengah. *Delta sigma modulator* digunakan untuk mengkuantisasi nilai *fractional* dN sehingga didapatkan spektrum keluaran yang bebas *spur*. Berikut ini merupakan parameter yang akan didesain untuk tipe-2 orde 4 *fractional-N* PLL :

1. Arus *charge pump* (I_{cp}),
2. Komponen *loop filter* orde tiga $C1, C2, C3, R2, R3$,
3. Lebar pita *loop* (F_p),
4. *Phase margin* (PM),
5. Penguatan VCO (K_{vco}),
6. Rentang frekuensi VCO,
7. Rentang nilai *divider*,
8. *Delta-sigma Modulator* orde dua,
9. Frekuensi acuan PLL (F_{ref}),
10. *Settling time*,

Pada bab ini, akan dijelaskan prosedur perancangan dari blok-blok pada PLL yang meliputi PFD, VCO, *loop filter*, *charge pump*, *divider* dan *delta-sigma modulator*.

3.2 Perancangan Blok Penyusun PLL

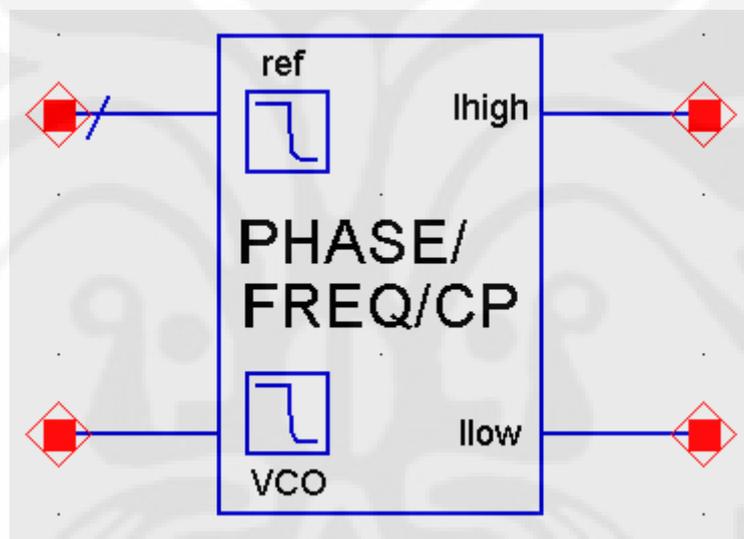
3.2.1 Desain detektor frekuensi / fasa dengan *charge pump*

Terdapat berbagai macam tipe arsitektur PFD, beberapa diantaranya dapat menerima masukan sinusoidal seperti PFD tipe *analog multiplier*, sedangkan tipe PFD yang lainnya dapat menerima sinyal digital. Masing-masing tipe PFD memiliki karakteristik serta keuntungan dan kerugian masing-masing. Pada desain pensintesa frekuensi pada skripsi ini masukannya adalah digital, maka PFD tipe digital yang digunakan. Diantara semua tipe PFD, *Phase Frequency Detector* (PFD) merupakan yang terbaik [9]. *Phase Frequency Detector* menyediakan rentang *pull-in* yang tidak terbatas sehingga menjamin PLL *acquisition* bahkan dalam kondisi kerja yang buruk.

Keluaran PFD yang merepresentasikan *error* fasa antara kedua sinyal masukan dapat diubah menjadi keluaran DC dengan beberapa cara yang berbeda. Pada banyak aplikasi digital PLL, kombinasi PFD dan pasif filter merupakan

susunan yang lebih disukai dikarenakan muatan pada kapasitor *loop filter* tetap tidak berubah ketika keluaran dari PFD berada pada kondisi impedansi tinggi. Namun rangkaian ini memiliki karakteristik yang dapat mengganggu yakni penguatan PFD yang tidak konstan akan tetapi bervariasi sesuai titik operasi kerja dari *loop*. Yakni rata-rata sinyal keluaran dari *loop filter* yang akan digunakan untuk membangkitkan frekuensi VCO sesuai kebutuhan.

Salah satu cara untuk menghindari masalah tersebut ialah dengan membuat PFD memiliki keluaran arus alih-alih keluaran tegangan. *Phase detector* biasanya di-*cascade* dengan *charge pump*. ADS 2008 update 1 menyediakan blok komponen *Threestate Phase Frequency Detector* sebagaimana yang ditunjukkan pada Gambar 3.5.



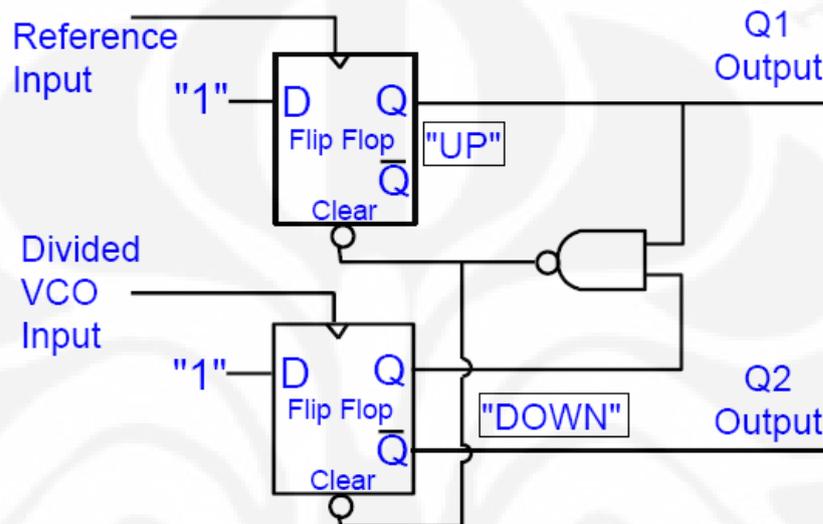
Gambar 3.5 *Threestate* PFD

Parameter yang harus dipenuhi pada rangkaian PFD dengan *charge pump* pada Gambar 3.5 adalah frekuensi acuan serta frekuensi VCO yang telah dibagi oleh *divider*. PFD dengan *charge pump* ini memiliki dua keluaran yakni arus atas *I_High*, serta arus bawah *I_Low* yang merupakan dua sumber arus yang akan memompa muatan dari dan ke *loop filter* berdasarkan logika masukan *UP* dan *DOWN* yang berasal dari PFD.

Pemilihan *Threestate Phase Frequency Detector* dengan *charge pump* dimaksudkan untuk menghindari penggunaan filter aktif pada desain *loop filter*. *Loop filter* pasif lebih menguntungkan karena konsumsi daya yang rendah dan

kinerja derau yang baik meskipun memiliki karakteristik linear yang tidak sebaik *loop filter* aktif.

Sinyal keluaran dari *Phase Frequency Detector* (PFD) bergantung tidak hanya kepada *error* fasa tetapi juga kepada *error* frekuensi. *Phase Frequency Detector* (PFD) dibentuk atas dua buah *D-flip-flop* yang keluaran keduanya dinotasikan dengan *UP* dan *DOWN* sebagaimana ditunjukkan pada Gambar 3.6.



Gambar 3.6 Phase Frequency Detector (PFD) [11]

PFD dapat berada pada salah satu dari empat kondisi berikut :

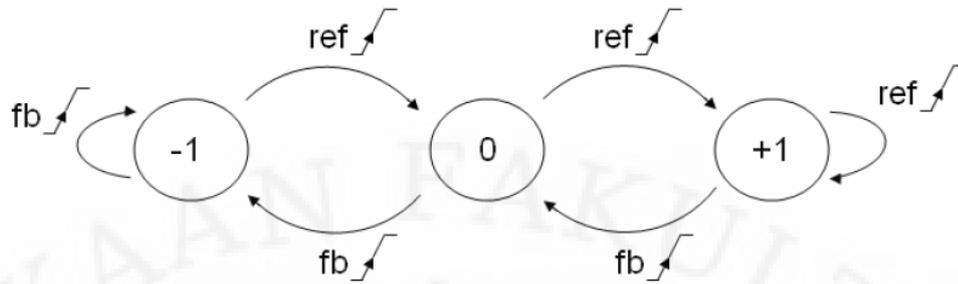
1. $UP = 0, DN = 0$
2. $UP = 0, DN = 1$
3. $UP = 1, DN = 0$
4. $UP = 1, DN = 1$

Ketika kedua *flip-flop* berada pada kondisi 1, maka keluaran gerbang AND akan mereset kedua *flip-flop* sehingga PFD bertindak sebagai divais *tri-stable*.

Kita gunakan simbol -1, 0 and 1 untuk ketiga kondisi sebagaimana berikut ini :

1. $UP = 0, DN = 1, \text{state} = -1$
2. $UP = 0, DN = 0, \text{state} = 0$
3. $UP = 1, DN = 0, \text{state} = 1$

Kondisi actual dari PFD ditentukan dengan transien positif dari sinyal acuan (ref) dan sinyal umpan balik (fb) sebagaimana dijelaskan pada diagram kondisi pada Gambar 3.7.



Gambar 3.7 Diagram kondisi dari PFD [6]

Sebagaimana diilustrasikan pada Gambar 3.7, transien positif *ref* akan membuat PFD beralih menuju kondisi yang lebih tinggi dari sebelumnya, kecuali apabila PFD telah berada pada kondisi 1. Sebaliknya, transien positif *fb* akan membuat PFD beralih menuju kondisi yang lebih rendah dari sebelumnya, kecuali apabila PFD telah berada pada kondisi -1. Ketika *ref* dan *fb* berada pada kondisi *high*, PFD akan menuju kondisi 0.

3.2.2 Desain *loop filter*

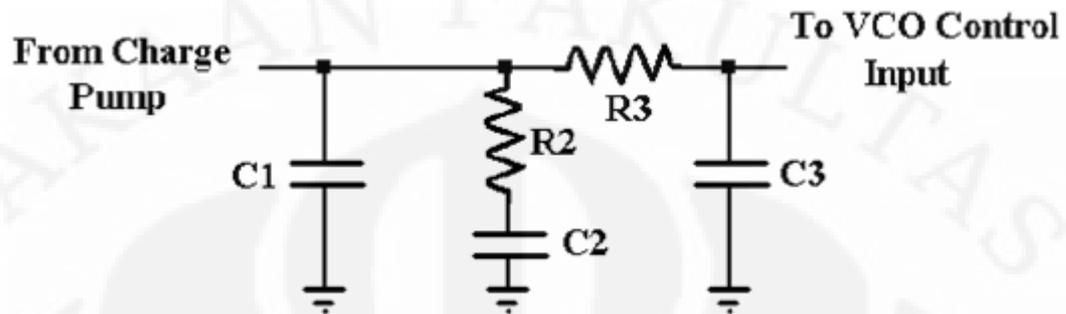
Loop filter merupakan komponen paling penting pada PLL. Desain dari *loop filter* merupakan perangkat dasar dalam menentukan lebar pita PLL, kestabilan *loop*, *settling time*, kinerja derau, dan rentang frekuensi *lock*. *Loop filter* orde tinggi memberikan pembatalan derau yang baik, oleh karena itu *loop filter* orde tiga dipilih dalam desain PLL ini [6].

3.2.2.1 *Loop filter* orde tiga

Terkadang penekanan *spur* yang diberikan oleh *loop filter* orde dua tidak mencukupi, sehingga dibutuhkan *pole* tambahan untuk penekanan *spur* yang lebih besar. Namun akibat penambahan *pole* pada fungsi alih tersebut adalah desain yang lebih kompleks serta penambahan komponen pada *loop filter*. Maka dari itu, tidak ada rumus yang secara eksplisit dapat mendekati kebutuhan desain pada *loop filter* orde tiga atau yang lebih tinggi sehingga dilakukan metode pendekatan. Namun untuk hampir seluruh kasus, pendekatan ini memberikan hasil desain yang memuaskan dibantu penyetelannya dengan bantuan simulator.

Untuk *loop filter* orde tiga dan yang lebih tinggi, penambahan *pole* membutuhkan satu resistor dan satu kapasitor tambahan sebagaimana ditunjukkan pada Gambar 3.8 untuk *loop filter* orde 3. Resistor memiliki derau, dan semakin tinggi peningkatan orde *loop filter* maka *noise* yang dihasilkan oleh resistor akan melebihi penekanan derau yang disediakan dengan penambahan orde tersebut.

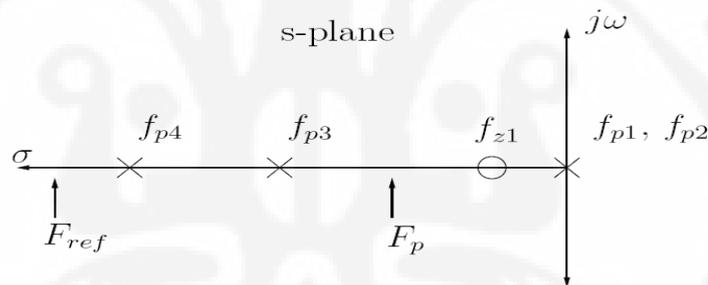
Walaupun pada kenyataannya *loop filter* orde 4 dan yang lebih tinggi jarang sekali digunakan. *Loop filter* orde tiga memberikan pengoptimalan pada penekanan derau, area yang dibutuhkan komponen dan derau yang dihasilkan oleh resistor.



Gambar 3.8 *Loop filter* pasif orde tiga [12]

3.2.2.2 Perancangan *loop filter*

Gambar 3.8 menunjukkan *loop filter* orde 3 yang digunakan pada desain. Sedangkan Gambar 3.9 menunjukkan lokasi *pole* (f_p) dan *zero* (f_z) yang diinginkan oleh *loop filter* tersebut.



Gambar 3.9 Lokasi *pole* dan *zero* pada pasif *loop filter* orde 3 [13]

$$f_{z1} \approx \frac{1}{2\pi R_2 C_2} \text{ (Hz)} \quad (3.5)$$

$$f_{p3} \approx \frac{1}{2\pi R_2 \frac{C_1 C_2}{C_1 + C_2 + C_3}} \approx f_{p3} \approx \frac{1}{2\pi R_2 C_1} \text{ (untuk } C_1 \leq C_2 \text{) (Hz)} \quad (3.6)$$

$$f_{p4} \approx \frac{1}{2\pi R_3 C_3} \text{ (Hz)} \quad (3.7)$$

Untuk mendesain *loop filter* dan menentukan lokasi optimal dari f_{p3} dan f_{p4} , simulasi ADS update 1 2008 digunakan dengan menggunakan parameter desain *loop filter* sebagai berikut :

1. Frekuensi lebar pita PLL $F_c = 15 \text{ kHz}$.

2. Frekuensi acuan $F_{ref} = 20 \text{ MHz}$.
3. *Phase margin* $\phi_m = 50^\circ$.
4. Arus *charge pump* $I_{cp} = 3.6 \text{ mA}$.
5. Penguatan PFD / CP $K_{cp} = I_{cp}/2\pi$.
6. Rentang frekuensi keluaran $F_{out} = 2.3 \text{ GHz} - 2.7 \text{ GHz}$.
7. Penguatan VCO $K_{vco} = 200 \text{ MHz / Volt}$.

Asumsi berikut ini digunakan untuk menurunkan persamaan *loop filter* orde tiga :

1. Frekuensi *zero* lebih kecil dibandingkan frekuensi *pole* yang lebih tinggi.
2. Kapasitor $C_2 \gg C_1$ dan C_3 .
3. Konstanta waktu *zero* $T_2 \gg$ konstanta waktu *pole* T_1 dan T_3 .

Fungsi alih sistem *loop filter* orde tiga diberikan sebagai berikut [12] :

$$\frac{V(s)}{I(s)} = \frac{1 + sR_2C_2}{C_1C_2C_3R_2R_3s^3 + (C_1C_2R_2 + C_1C_3R_3 + C_2C_3R_3 + C_2C_3R_2)s^2 + (C_1 + C_2 + C_3)s} \quad (3.8)$$

Setelah penyederhanaan dan memasukkan nilai-nilai asumsi diatas, kita peroleh persamaan :

$$\frac{V(s)}{I(s)} = \frac{1 + sR_2C_2}{C_1C_2C_3R_2R_3s^3 + (C_1C_2R_2 + C_2C_3R_3)s^2 + (C_1 + C_2 + C_3)s} \quad (3.9)$$

Atau dapat kita tuliskan sebagai :

$$\frac{V(s)}{I(s)} = \frac{1 + sT_2}{C_{total}s(1 + sT_1)(1 + sT_3)} \quad (3.10)$$

Dimana,

$$T_1 = \frac{R_2C_2C_1}{C_{total}} = \frac{T_2C_1}{C_{total}} \quad (3.11)$$

$$T_2 = R_2C_2 \quad (3.12)$$

$$T_3 = R_3C_3 \quad (3.13)$$

Maka terdapat lima komponen yang terdiri atas 3 kapasitor dan dua resistor yang harus ditentukan nilainya. Jika lebar pita PLL adalah ω_c dan *phase margin* adalah ϕ maka *phase margin* dirumuskan dengan [12] :

$$\phi = 180^\circ + \arctan(\omega_c T_2) - \arctan(\omega_c T_1) - \arctan(\omega_c T_3) \quad (3.14)$$

Sistem yang telah teroptimasi akan memiliki *zero* pada *maxima* pada *phase margin* ini. Dengan menurunkan persamaan diatas didapatkan :

$$\frac{d\phi}{d\omega} = 0 + \frac{d \arctan(\omega_c T_2)}{d\omega} - \frac{d \arctan(\omega_c T_1)}{d\omega} - \frac{d \arctan(\omega_c T_3)}{d\omega} = 0 \quad (3.15)$$

Setelah penyederhanaan dan memasukkan asumsi yang telah dibuat, kita dapatkan pendekatan untuk persamaan T1+T3 sebagai berikut:

$$T_1 + T_3 = \frac{1}{2\omega_c \tan \phi} \quad (3.16)$$

Ada parameter desain lain untuk *loop filter* orde ketiga selain lebar pita *loop* dan *phase margin*, yakni perbandingan dari dua *pole* frekuensi tinggi. Dalam desain ini dinotasikan sebagai T31, yang merupakan perbandingan dari T3 dan T1. Untuk kecepatan respon yang baik, semua *pole* frekuensi tinggi harus berada pada frekuensi yang sama. Namun karena kapasitor VCO diparalel dengan C3, pengaruh ini harus pula diperhitungkan. Permasalahannya ialah kapasitansi VCO tidaklah konstan, melainkan bervariasi terhadap frekuensi. Maka dari itu *pole* ketiga dijaga untuk selalu memiliki frekuensi yang lebih tinggi dibandingkan *pole* pertama. Perbandingan T31 dapat bernilai antara 0 dan 1. Namun nilai optimum yang biasa dipilih untuk T31 ialah antara rentang 0.7 hingga 0.8.

Konstanta waktu *zero* dirumuskan sebagai [12] :

$$T_2 = \frac{1}{\omega_c^2 (T_1 + T_3)} \quad (3.17)$$

Setelah menentukan tiga konstanta waktu, langkah berikutnya adalah menentukan nilai Ctotal dengan persamaan berikut [12] :

$$C_{total} = \frac{K_{cp} \cdot K_{VCO}}{\omega_c \cdot \omega_z \cdot N} \quad (3.18)$$

Kcp merupakan arus *charge pump* (Ampere), Kvc0 merupakan penguatan VCO (Hz/Volt), dan N merupakan rasio pembagi pada jalur umpan balik.

Setelah menentukan parameter desain fungsi alih, langkah berikutnya adalah menentukan nilai komponen yang memberikan parameter tersebut. Pemilihan nilai C3 dapat dilakukan dengan bebas. Nilai C3 yang besar menyediakan penekanan derau yang baik namun menurunkan kestabilan pada saat yang bersamaan. C3 harus dibuat sebesar mungkin namun tanpa menurunkan kestabilan sistem, biasanya rasio yang dipakai ialah nilai C3 1/5 nilai C2. Penentuan komponen lain ditentukan dengan rumus berikut [12]:

$$C_1 = \frac{T_1}{T_2} \cdot C_{total} \quad (3.19)$$

$$C_3 = \frac{C_1}{5} \quad (3.20)$$

$$C_2 = C_{total} - C_1 - C_3 \quad (3.21)$$

$$R_2 = \frac{T_2}{C_2} \quad (3.22)$$

$$R_3 = \frac{T_3}{C_3} \quad (3.23)$$

Walaupun nilai resistor dapat ditentukan bebas dalam prosedur desain, nilai resistor haruslah tidak terlampaui besar. Nilai resistor yang besar berpengaruh terhadap penambahan derau pada *loop* dan menyebabkan sulitnya mendapatkan spesifikasi derau yang diinginkan. Jika nilai resistor terlalu besar maka prosedur desain harus diulangi dengan parameter lain seperti penguatan VCO atau arus *charge pump* yang berbeda. Kondisi berikut ini jika dipenuhi biasanya memastikan kestabilan *loop* [12]:

$$\Rightarrow T_3 + T_1 \leq T_2 \quad (3.24)$$

Hal lain yang perlu diperhatikan dalam prosedur desain *loop filter* adalah meskipun persamaan yang telah diturunkan tidak selalu tepat untuk memenuhi spesifikasi desain PLL yang diinginkan, maka dari itu simulasi harus dilakukan untuk mendapatkan nilai komponen yang sesuai dengan spesifikasi desain PLL.

3.2.2.3 Perhitungan nilai komponen *loop filter*

Spesifikasi desain PLL yang akan didesain terlihat pada Tabel 3.1 berikut:

Tabel 3.1 Spesifikasi Desain PLL

| Simbol | Deskripsi | Nilai | Satuan |
|--------|------------------------|-------|---------|
| Fref | Frekuensi acuan | 20 | MHz |
| Fvco | Frekuensi keluaran | 2.3 | GHz |
| PM | <i>Phase margin</i> | 50 | derajat |
| Kvco | Penguatan VCO | 200 | MHz/V |
| Kd | Penguatan PFD/CP | 3.6 | mA |
| Fc | Lebar pita <i>loop</i> | 150 | kHz |

Pertama kali yang dilakukan adalah menentukan nilai pembagi, N, dan nilai lebar pita *loop*, ω_c .

$$N = \frac{F_{VCO}}{F_{ref}} = \frac{2.2GHz}{20MHz} = 110$$

$$\omega_c = 2 \cdot 3.14 \cdot F_c = 2 \cdot 3.14 \cdot 150kHz = 942 \times 10^3 \text{ rad/s}$$

Setelah itu menentukan konstanta waktu T1, T3, dan T2 dengan spesifikasi *phase margin* yang diinginkan 50° dan lebar pita *loop* 942×10^3 rad/s serta dengan

mengasumsi perbandingan *pole* $\frac{T_3}{T_1} = 0.8$, maka didapatkan :

$$T_1 = \frac{1}{2 \cdot 1.8 \cdot \omega_c \tan \phi} = 0.2475 \cdot 10^{-6} \text{ detik}$$

$$T_3 = \frac{1}{2 \omega_c \tan \phi} - T_1 = 0.198 \cdot 10^{-6} \text{ detik}$$

$$T_2 = \frac{1}{\omega_c^2 T_1} = 4.553 \cdot 10^{-6} \text{ detik}$$

Setelah mendapatkan nilai-nilai konstanta waktu T1, T2, dan T3 kemudian menghitung nilai C_{total} dengan rumus [14]:

$$C_{total} = C_1 + C_2 + C_3 = \frac{K_d \cdot K_{VCO}}{\omega_c^2 \cdot N} \sqrt{\frac{1 + (\omega_c \cdot T_2)^2}{(1 + (\omega_c \cdot T_1)^2) \cdot (1 + (\omega_c \cdot T_3)^2)}} = 22.45nF$$

Nilai-nilai komponen C1, C2, C3, R2, dan R3 didapatkan sebagai berikut:

$$C_1 = \frac{T_1}{T_2} \cdot C_{total} = 1.22nF$$

$$C_3 = \frac{C_1}{5} = 244pF$$

$$C_2 = C_{total} - C_1 - C_3 = 20.98nF$$

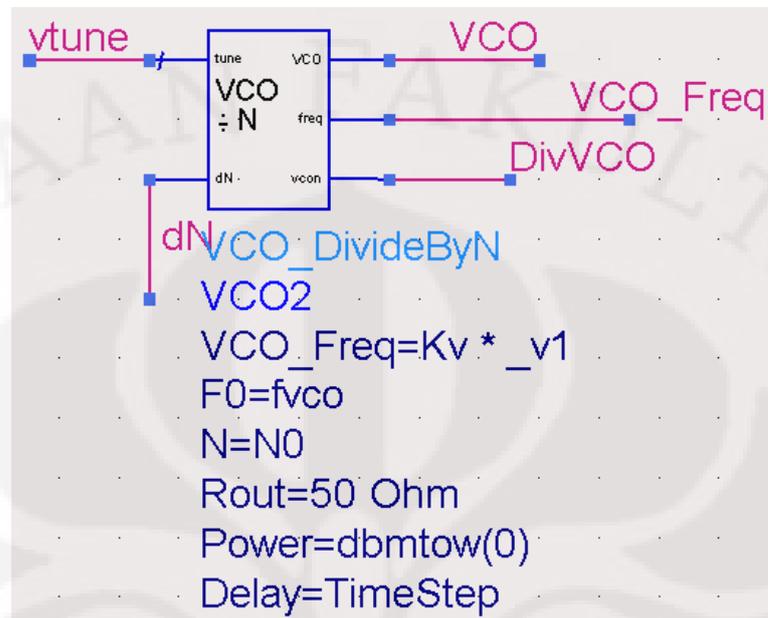
$$R_2 = \frac{T_2}{C_2} = 217\Omega$$

$$R_3 = \frac{T_3}{C_3} = 811.5\Omega$$

3.2.3 Voltage controlled oscillator

Voltage controlled oscillator (VCO) membangkitkan frekuensi setara dengan tegangan kendali masukan yang berasal dari *loop filter*. Dalam desain PLL

ini digunakan blok rangkaian VCO *divide-by-N* sebagaimana ditunjukkan pada Gambar 3.10.



Gambar 3.10 Blok komponen rangkaian VCO *divide-by-N*

Dimana,

V_{tune} : tegangan penyetelan yang berasal dari *loop filter*.

dN : rasio faktorial yang merupakan keluaran dari pulsa *fractional-N* PLL maupun *delta sigma modulator*.

VCO : keluaran dari VCO dalam domain waktu.

VCO_Freq : port keluaran frekuensi yang besarnya $F_0 + VCO_Freq$

DivVCO : frekuensi keluaran VCO yang besarnya $\frac{F_0 + VCO_Freq}{N_0 + dN}$

Beberapa parameter VCO yang harus ditentukan dalam desain adalah :

1. Rentang frekuensi kerja VCO.
2. Rentang tegangan untuk frekuensi kerja VCO.
3. Penguatan VCO (K_{vco}).
4. Rasio *fractional*.
5. Besar bilangan multiplikasi integer N,

3.2.3.1 Penguatan VCO

Persamaan 3.24 mengindikasikan bahwa total kapasitansi *loop filter* (C_{total}) setara dengan penguatan VCO (K_{vco}). Maka semakin rendah penguatan VCO, semakin rendah pula nilai C_{total} [13].

$$C_{total} \propto \frac{K_{VCO} \cdot K_{PFD}}{N \cdot f_c^2} \quad (3.25)$$

Penguatan VCO yang lebih kecil akan memudahkan kapasitor *loop filter* dalam implementasi *chip*. Pada PLL Fractional-N, frekuensi modulasi (Δf) dicapai dengan memodulasi tegangan kendali VCO (V_c). Besar swing sinyal pada tegangan kendali VCO dirumuskan sebagai berikut [13] :

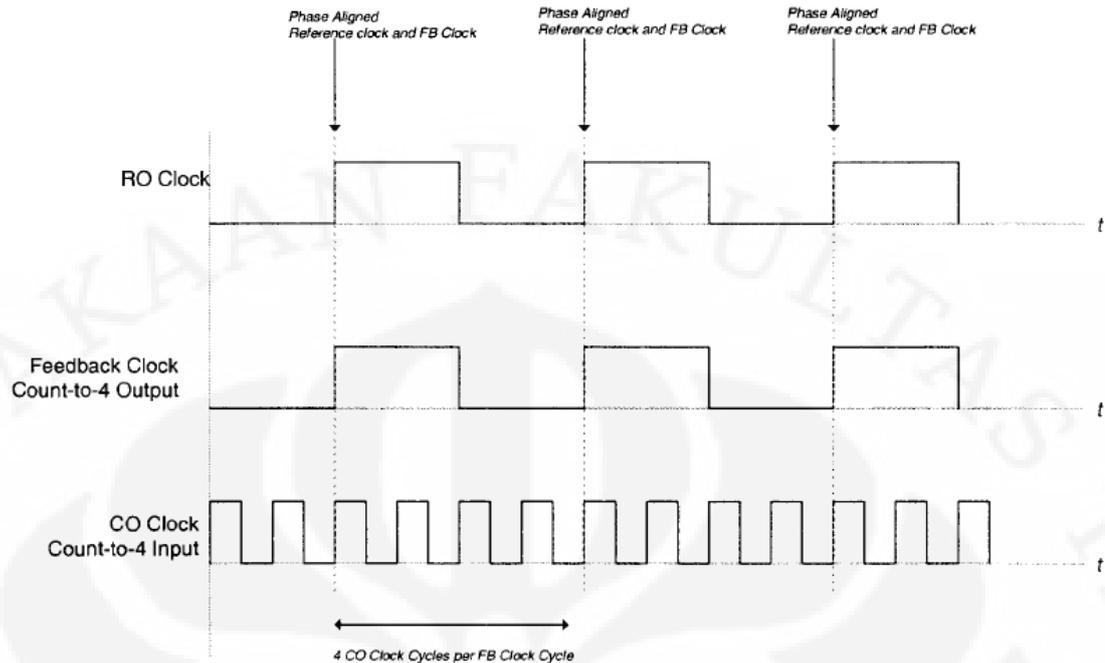
$$\Delta V_c = \frac{\Delta f}{K_{VCO}} \quad (3.26)$$

Sinyal swing pada tegangan kendali VCO akan bernilai tinggi pada penguatan VCO yang rendah. Sehingga penurunan penguatan VCO akan meningkatkan rasio sinyal terhadap derau (SNR) dari sinyal yang termodulasi oleh tegangan kendali dari VCO. Hal ini akan meningkatkan kinerja derau fasa dari VCO [15]. Namun apabila menurunkan penguatan VCO terlalu besar akan menyebabkan penyempitan rentang *tuning* VCO yang dapat menyebabkan VCO beroperasi di luar frekuensi yang diinginkan [16]. Maka $K_{vco} = 200$ MHz/Volt dipilih untuk membangkitkan target desain dengan rentang frekuensi 2.3 GHz – 2.7 GHz.

3.2.4 Multiplikasi Frekuensi PLL Integer-N dan Fractional-N

3.2.4.1 Multiplikasi Frekuensi Integer

Operasi transien dari PLL dengan *fix Count-to-N* digital *counter* pada jalur umpan balik dapat memberikan penjelasan dasar bagaimana PLL bertindak sebagai pengali frekuensi. Ketika PLL dalam keadaan terkunci (*locked*), fasa sinyal pada jalur umpan balik akan sama dengan fasa pada sinyal acuan, sehingga periode dari kedua sinyal ini haruslah sama. Dikarenakan keluaran rangkaian *count-to-N* pada jalur umpan balik memiliki periode N kali periode sinyal VCO (CO), maka periode osilasi sinyal acuan (RO) harus N kali lebih besar dibandingkan periode osilasi CO (CO) saat PLL dalam keadaan terkunci. Diagram pewaktuan ditunjukkan pada Gambar 3.11 yang menunjukkan clock keluaran CO, clock sinyal acuan, dan clock jalur umpan balik untuk PLL yang berada dalam keadaan terkunci dengan rangkaian *count-to-N* pada jalur umpan balik.



Gambar 3.11 Sifat transien clock keluaran, clock umpan balik, dan clock acuan pada PLL yang menggunakan *counter* count-to-4 dalam keadaan terkunci. [17]

Konsep pengalihan N kali frekuensi juga terlihat pada model linear PLL.

Ketika PLL dalam keadaan terkunci maka $\theta_{ref}(t) = \theta_{feedback}(t) = \frac{1}{N}\theta_{out}(t)$, hubungan antara frekuensi angular osilasi sinyal acuan dan frekuensi angular osilasi sinyal keluaran CO dapat dirumuskan sebagai berikut [17] :

$$\theta_{ref}(t) = \frac{1}{N}\theta_{out}(t) \Rightarrow N \frac{d\theta_{ref}(t)}{dt} = \frac{d\theta_{out}(t)}{dt} = N\omega_{ref}(t) = \omega_{out}(t) \quad (3.27)$$

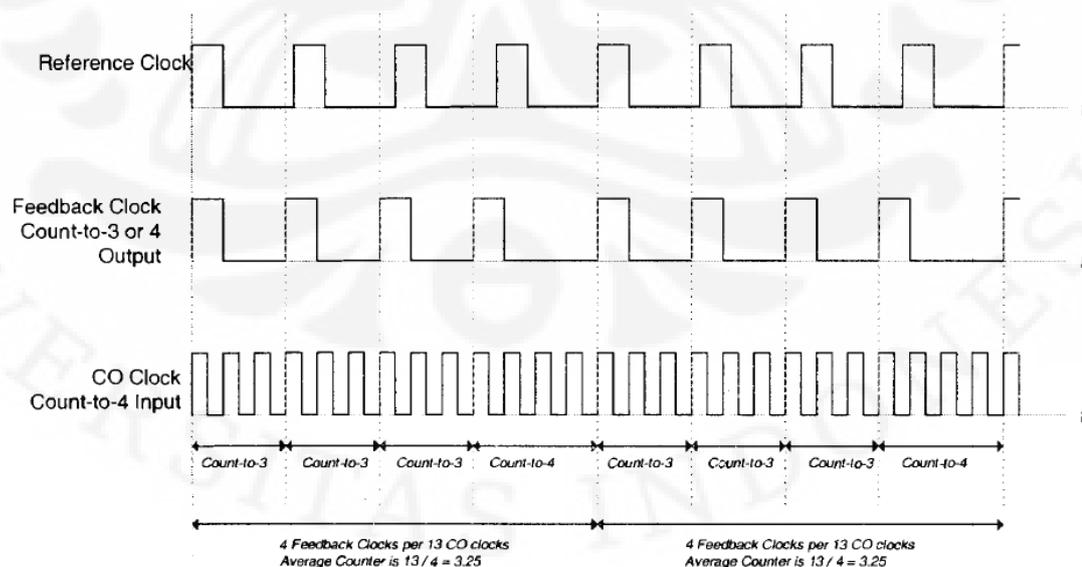
PLL yang menggunakan pengalihan frekuensi dengan *fixed-to-N* digital *counter* ini disebut pula pensintesa frekuensi integer- N . Pada arsitektur ini, resolusi frekuensi yang dihasilkan setara dengan multiplikasi frekuensi acuan dengan bilangan integer. Arsitektur Integer- N sederhana, membutuhkan daya yang kecil, dan menempati ruang yang lebih kecil. Kekurangan arsitektur ini ialah *settling time* memiliki batasan yang ditentukan oleh resolusi frekuensi yang dibutuhkan.

3.2.4.2 Konsep multiplikasi frekuensi *fractional-N*

Kemampuan pengalihan frekuensi dengan sebuah bilangan integer merupakan karakteristik yang penting dalam PLL, sebab hal ini memungkinkan PLL untuk membangkitkan frekuensi tinggi dari frekuensi sinyal osilasi yang jauh

lebih rendah. Namun, rangkaian *fixed Count-to-N* pada jalur umpan balik hanya memungkinkan PLL untuk membangkitkan sinyal keluaran yang memiliki frekuensi kelipatan integer dari frekuensi acuan. Sedangkan untuk membangkitkan frekuensi dengan kelipatan perkalian non-integer dari frekuensi acuan, rangkaian *fixed Count-to-N* tidak dapat digunakan pada jalur umpan balik. Jika dapat dibuat rangkaian yang membangkitkan sinyal pulsa pewaktuan tiap $N + f$ (N merupakan bilangan integer positif, $0 < f < 1$) siklus pewaktuan masukan, maka PLL yang menggunakan rangkaian tersebut pada jalur umpan baliknya akan dapat membangkitkan frekuensi osilasi dengan skala kelipatan $N+f$ frekuensi acuan saat PLL dalam keadaan terkunci

Namun sangatlah mustahil membuat *digital state machine* yang membangkitkan pewaktuan dengan *single binary clock* dan menghitung *non-integer* siklus pewaktuan masukan. Akan tetapi, hal ini dapat dilakukan dengan membuat *digital state machine* sederhana yang bertindak sebagai digital *counter* yang secara dinamis mengganti digital *counter* tersebut antara konfigurasi untuk operasi *count-to-N* dan *count-to-(N+1)*, maka digital *counter* tersebut akan menghasilkan rata-rata pulsa pewaktuan tiap $N+f$ siklus pewaktuan masukan. Untuk lebih memahami konsep ini, Gambar 3.12 menunjukkan sifat transien dari sebuah *counter* yang menghitung ke 3 atau 4, sehingga rata-rata periode sinyal keluaran akan bernilai 3,25 kali periode pewaktuan masukan.



Gambar 3.12 Sifat transien sistem dengan count-to-3 atau 4 dengan rata-rata nilai count 3.25 [17]

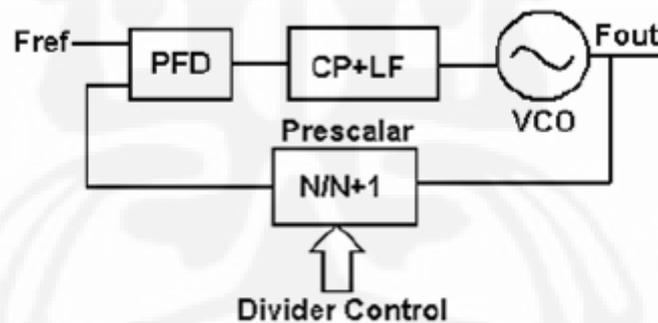
Jika tipe *counter* seperti ini diletakkan pada jalur umpan balik PLL, maka PLL akan menghasilkan rata-rata sinyal osilasi keluaran yang bernilai kelipatan $N+f$ frekuensi sinyal acuan. Tipe PLL semacam ini disebut dengan pensintesa frekuensi Fractional-N PLL.

3.2.4.3 Pensintesa Frekuensi Fractional N

Arsitektur ini mengatasi masalah *slow settling time* pada arsitektur integer-N. Pada arsitektur ini, step frekuensi dapat merupakan pecahan dari frekuensi acuan, sehingga kita dapat menggunakan frekuensi acuan dengan nilai frekuensi yang lebih besar. *Divider* yang digunakan pada topologi ini adalah *dual modulus prescaler* sebagaimana ditunjukkan pada Gambar 3.13. jika *divider* membagi dengan nilai N untuk x siklus dan dengan nilai $N+1$ untuk y siklus, maka rata-rata frekuensi keluarannya akan menjadi [12] :

$$N_{average} = \frac{Na + (N+1)b}{a+b} = N \frac{b}{a+b} \quad (3.28)$$

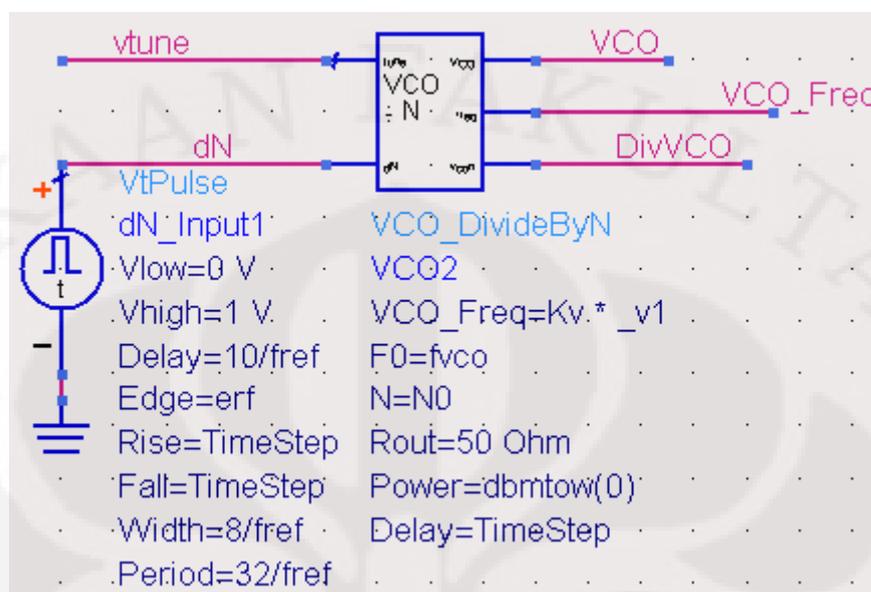
Kekurangan dari arsitektur ini ialah *spur* keluaran yang terdapat pada frekuensi kanal dan harmonik-harmoniknya, serta membutuhkan daya dan area yang lebih besar dibandingkan dengan arsitektur Integer-N.



Gambar 3.13 Pensintesa frekuensi *Fractional-N* [12]

Pada desain ini, digunakan komponen sumber tegangan pulsa V_t pada ADS 2008 update 1 sebagai pembangkit sekuensial pembagi pada Fractional-N PLL. Pada desain digunakan nilai lebar pulsa = $8/f_{ref}$ dan periode pulsa = $32/f_{ref}$, maka pulsa keluaran akan membangkitkan pulsa dengan nilai fraksional $8/32$.

Gambar 3.14 menunjukkan blok rangkaian VCO untuk konfigurasi *fractional-N PLL*.



Gambar 3.14 Divider Fractional-N PLL

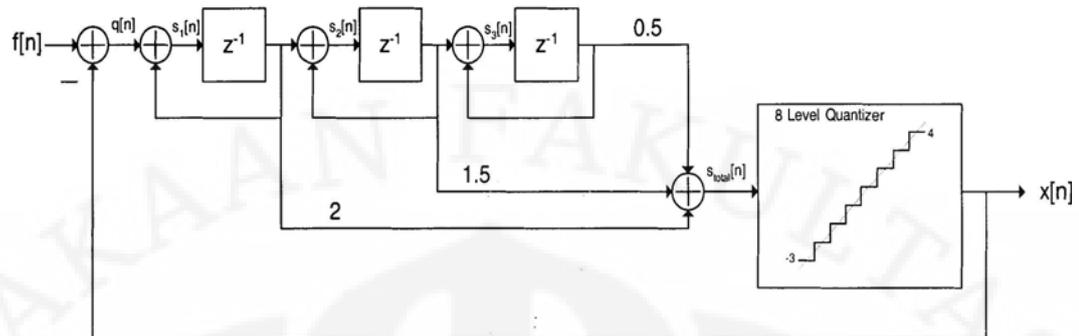
3.2.5 Pensintesa frekuensi Fractional-N dengan menggunakan Delta Sigma Modulator

Fractional-N PLL membutuhkan sebuah *digital state machine* untuk membangkitkan sekuensial $x[n]$ yang memenuhi $E(x[n]) = f \cdot x[n]$, hal ini biasanya dilakukan dengan menggunakan *Delta Sigma Modulator* (DSM). Rangkaian DSM merupakan sebuah konverter analog ke digital yang digunakan pada *highly over-sampled* konversi analog ke digital. DSM merupakan bagian penting karena menghasilkan derau kuantisasi *power spectral density* pada keluaran DSM yang memiliki kandungan frekuensi rendah, hal ini dicapai dengan pembuangan derau kuantisasi pada frekuensi yang lebih tinggi. Konsep penggunaan DSM sebagai pembangkit sekuensial $x[n]$ untuk Fractional-N PLL pertama kali diperkenalkan pada tahun 1993 [18].

3.2.5.1 Struktur Delta Sigma Modulator

Berbagai macam struktur DSM telah diterapkan untuk mengendalikan *counter* umpan balik PLL fractional-N. Dua karakteristik utama yang bervariasi antara arsitektur DSM yang berbeda adalah bentuk spektrum dari derau kuantisasi dan kemampuan untuk sifat pengulangan pada keluaran DSM untuk masukan fraksional tertentu yang akan menghasilkan konsentrasi *spur* derau kuantisasi.

Struktur DSM ditunjukkan pada Gambar 3.15 berikut :

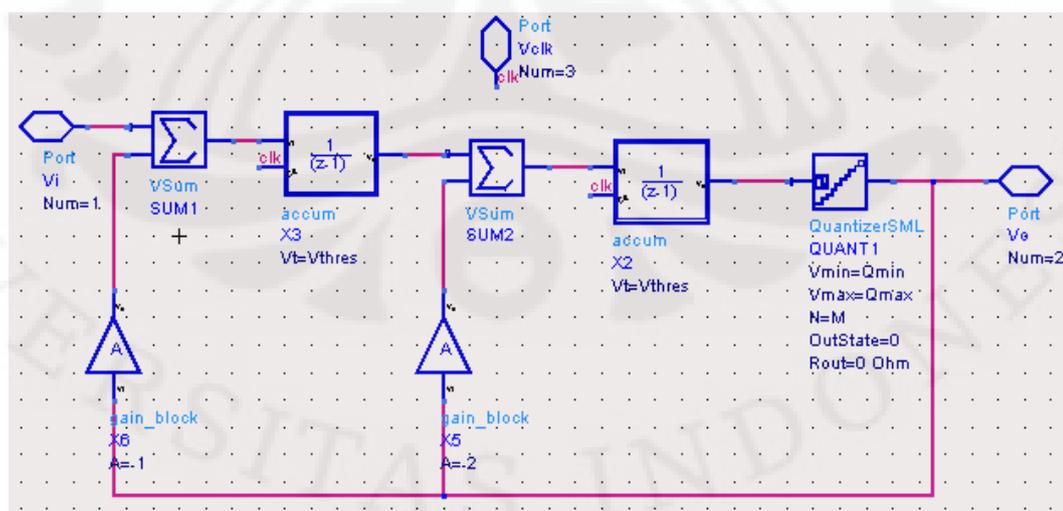


Gambar 3.15 Struktur DSM orde tiga [17]

DSM pada Gambar 3.15 digunakan untuk membangkitkan sekuensial $x[n]$ untuk nilai $f[n] = f$, dengan $0 < f < 1$. DSM orde dua dan yang lebih tinggi akan mendorong derau dari frekuensi rendah menuju frekuensi yang lebih tinggi. Derau frekuensi tinggi akan ditekan oleh *loop filter* pada PLL. Arsitektur DSM ini dapat mengatasi masalah *spur* keluaran pada topologi fractional-N namun tetap memberikan resolusi frekuensi yang baik.

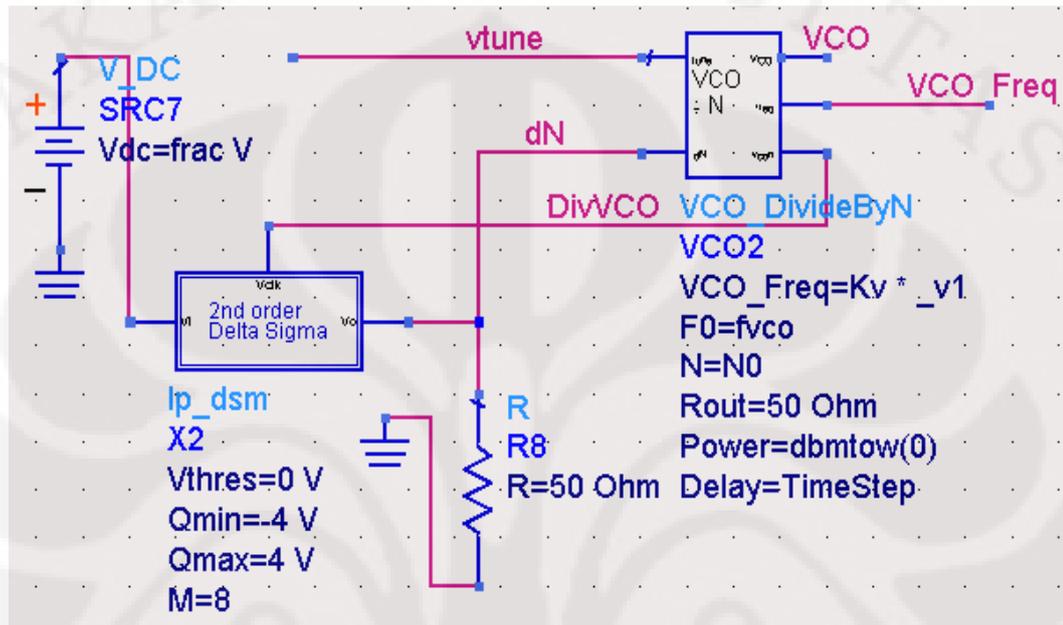
Topologi ini membutuhkan *loop filter* dengan orde tinggi untuk menghindari tiap derau frekuensi tinggi. Orde *loop filter* setidaknya harus satu tingkat lebih tinggi dibandingkan dengan orde DSM.

Pada desain ini digunakan *loop filter* orde tiga, maka dari itu arsitektur DSM yang dipilih ialah DSM orde dua. Gambar 3.16 merupakan struktur DSM orde dua yang digunakan pada desain di ADS 2008 update 1.



Gambar 3.16 Struktur orde dua *delta-sigma modulator*

Sedangkan untuk blok komponen pada desain ini, ditunjukkan oleh Gambar 3.17. Dalam desain kali ini digunakan DSM dengan tingkat kuantisasi 8 dan masukan dengan fractional $8/32$ Volt. Penggunaan DSM membutuhkan area yang luas serta mengkonsumsi daya yang lebih besar dibandingkan dengan dua arsitektur sebelumnya.



Gambar 3.17 Blok komponen DSM orde dua

3.3 Spesifikasi Desain

Sebagai rangkuman, desain pemilihan arsitektur blok pembangun PLL pensintesa frekuensi untuk aplikasi mobile WiMAX diperlihatkan pada Tabel 3.2 berikut :

Tabel 3.2 Pemilihan Blok Arsitektur PLL

| Blok | Tipe |
|--------------------------------------|---|
| Detektor fasa | <i>Phase Frequency detector</i> dengan <i>Charge pump</i> |
| <i>Loop filter</i> | <i>Loop filter</i> orde 3 |
| <i>Voltage Controlled Oscillator</i> | <i>VCO divide-by-N</i> |
| <i>Divider</i> | <i>Fractional-N divider</i> |
| <i>Delta Sigma Modulator</i> | <i>Delta Sigma Modulator</i> orde 2 |

Sedangkan untuk spesifikasi dan parameter desain yang akan dicapai dapat dirangkum dalam Tabel 3.3 berikut:

Tabel 3.3 Spesifikasi Dan Parameter Desain

| Simbol | Deskripsi | Nilai | Satuan |
|--------|------------------------|-------|---------|
| Fref | Frekuensi acuan | 20 | MHz |
| Fvco | Frekuensi keluaran | 2.2 | GHz |
| PM | <i>Phase margin</i> | 50 | derajat |
| Kvco | Penguatan VCO | 200 | MHz/V |
| Kd | Penguatan PFD/CP | 3.6 | mA |
| Fc | Lebar pita <i>loop</i> | 15 | kHz |
| N | Nilai pembagi | 110 | |

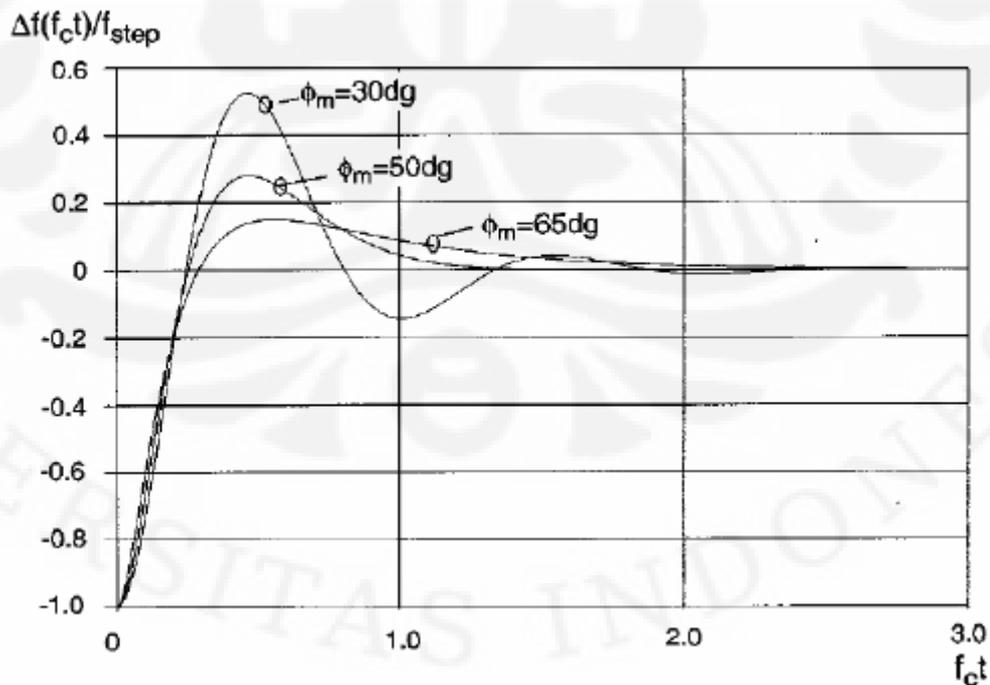
BAB 4

HASIL DAN PEMBAHASAN

Bab ini menyajikan simulasi serta analisis hasil simulasi desain PLL pensintesa frekuensi untuk teknologi *Mobile WiMAX*. Simulasi PLL dilakukan dengan software *Advance Design System (ADS)* 2008 update 1 dengan mensimulasikan respon transien, respon *loop* frekuensi dan simulasi derau fasa pada frekuensi keluaran VCO. Kemudian ketiga simulasi tersebut dilakukan untuk membandingkan antara desain PLL *fractional-N* dengan desain PLL *fractional-N* dengan *delta sigma modulator*. Frekuensi masukan dalam simulasi ini adalah 20 MHz sedangkan hasil frekuensi keluaran diharapkan setara frekuensi masukan *local oscillator mixer Mobile WiMax* 2,2 GHz. Simulasi dilakukan dengan memenuhi spesifikasi desain *loop filter* yang telah dijabarkan pada bab 3 serta parameter desain yang telah dilakukan setelah melalui proses optimisasi.

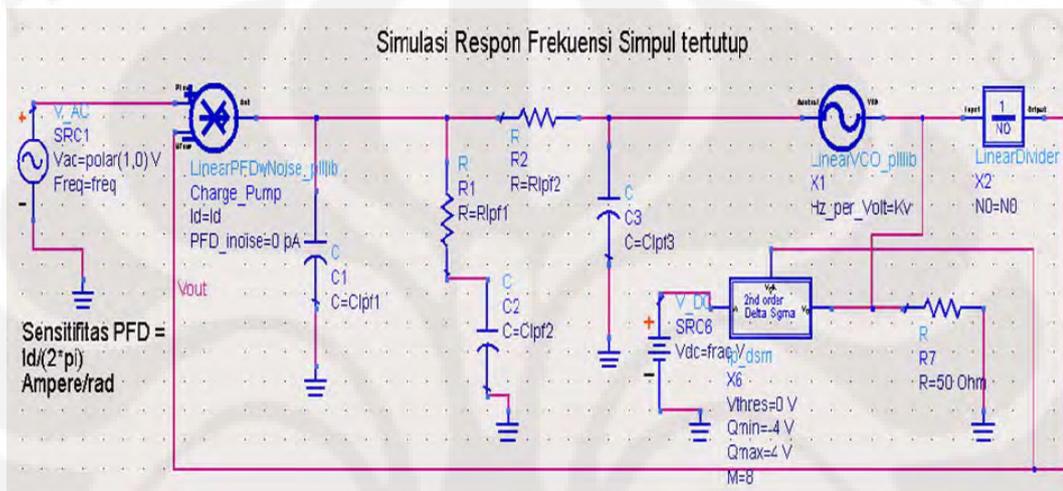
4.1 Simulasi Respon *Loop* Frekuensi

Gambar 4.1 menunjukkan grafik respon frekuensi step $\Delta f(f_c)/f_{step}$ terhadap waktu ($f_c t$). f_c merupakan frekuensi *crossover*, sedangkan ϕ_m adalah *phase margin*.

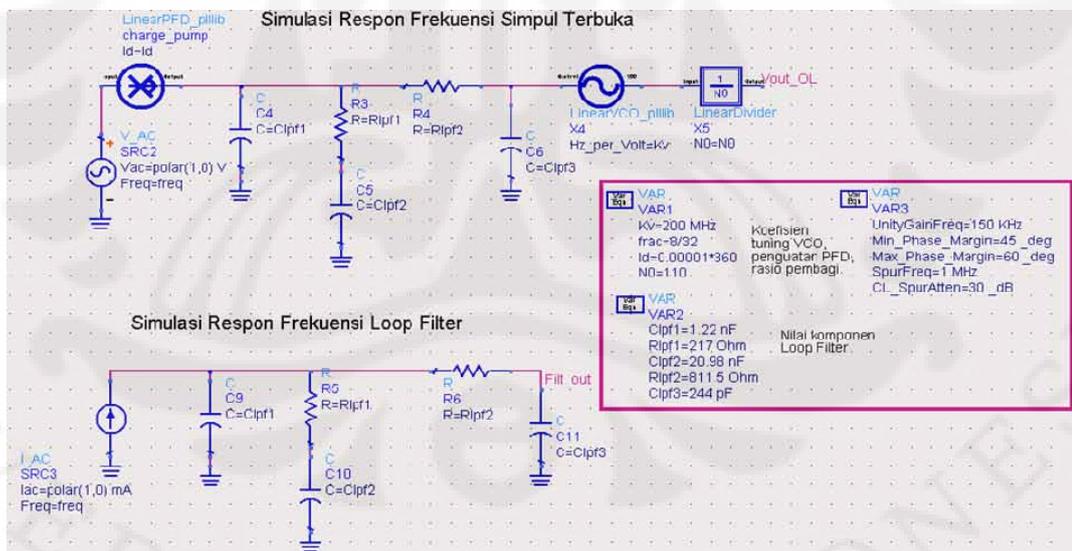


Gambar 4.1 Respon *loop* PLL [19]

Respon *loop* PLL sangat tergantung pada desain *loop filter*. Untuk mendapatkan kestabilan sistem, dibutuhkan *phase margin* yang besar. Namun *settling time* yang cepat dan optimal didapatkan saat *phase margin* setara dengan 50 derajat. Gambar 4.2 dan 4.3 merupakan skematik dari simulasi respon *loop* frekuensi. Parameter yang harus dimasukkan diantaranya adalah penguatan VCO (K_{vco}), rasio pembagi (N), karakteristik PD, serta nilai hasil perhitungan komponen *loop filter*.

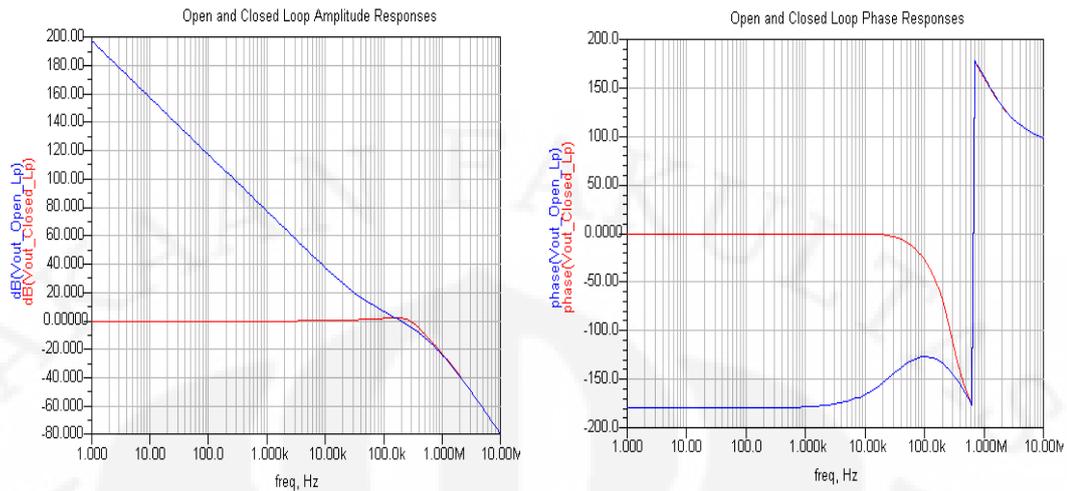


Gambar 4.2 Simulasi respon frekuensi simpul tertutup



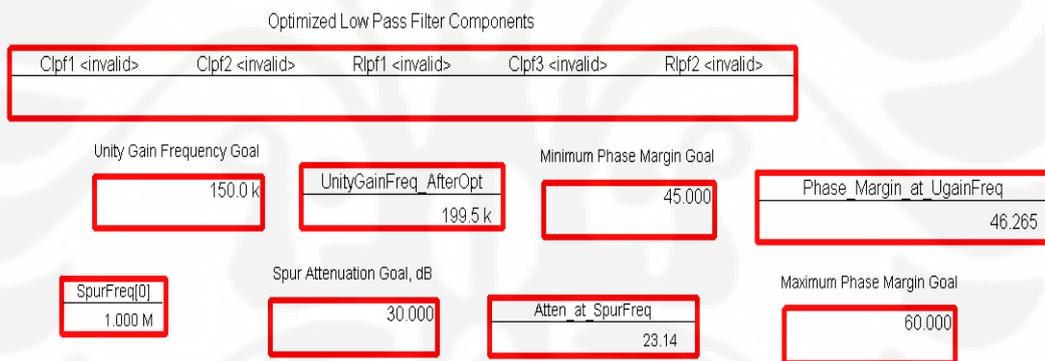
Gambar 4.3 Simulasi respon frekuensi simpul terbuka dan *loop filter*

Simulasi dilakukan dengan memasukkan parameter komponen *loop filter* yang telah dihitung pada bab 3. Gambar 4.4 berikut ini adalah respon frekuensi lup terbuka dan lup tertutup dengan nilai parameter komponen *loop filter* sesuai dengan hasil perhitungan bab 3.



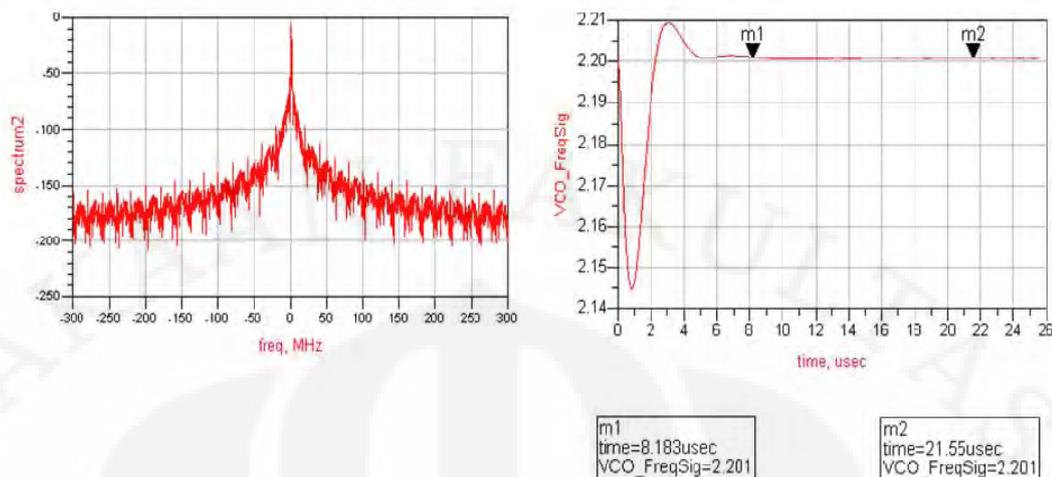
Gambar 4.4 Hasil simulasi respon frekuensi simpul terbuka dan tertutup

Gambar 4.4 merupakan hasil respon *bode plot* pada simulasi respon frekuensi simpul terbuka dan simpul tertutup. Hasil simulasi ditunjukkan pada Gambar 4.5 beserta *goal* dari tiap optimisasi.



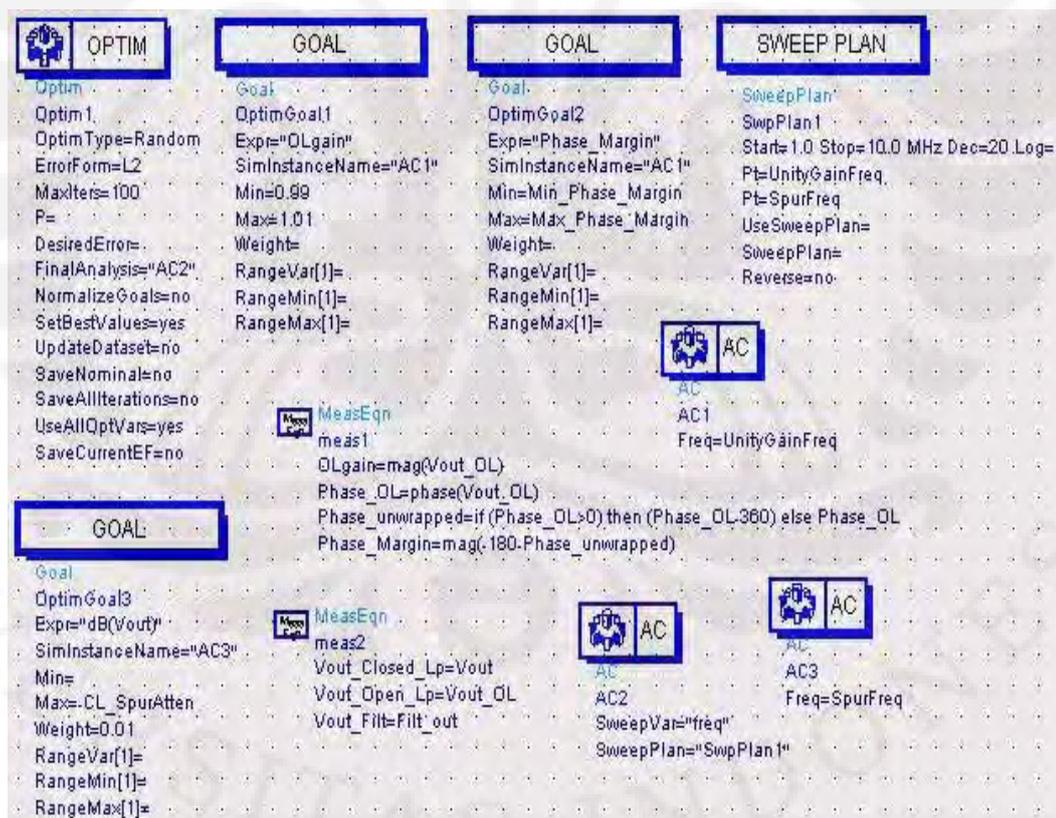
Gambar 4.5 Hasil simulasi parameter respon frekuensi

Hasil simulasi dengan nilai parameter *loop filter* seperti pada perhitungan pada bab 3 terlihat baik. *Phase margin* bernilai 46,265, atenuasi *spur* bernilai 23,14, serta frekuensi *crossover* bernilai 199,5k. Jika hasil ini dimasukkan pada simulasi respon transien, meskipun frekuensi keluaran PLL pada Gambar 4.6 memiliki respon transien dengan *settling time* yang baik namun terdapat *spike* pada grafik spektrum dan hasil ini tentunya tidaklah diinginkan.



Gambar 4.6 Respon transien PLL dengan parameter awal

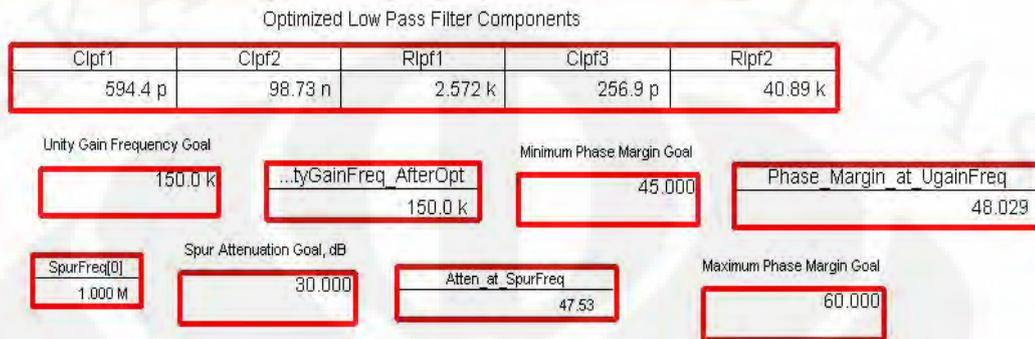
Jika hasil simulasi desain tidak menemui sasaran, kita dapat merubah komponen *loop filter* dengan mengatur nilai tuning pada blok optimisasi, kemudian menjalankan ulang simulasi. Optimisasi dilakukan dengan menggunakan blok *optimization* sebagaimana diperlihatkan pada Gambar 4.7 berikut:



Gambar 4.7 Parameter blok optimisasi

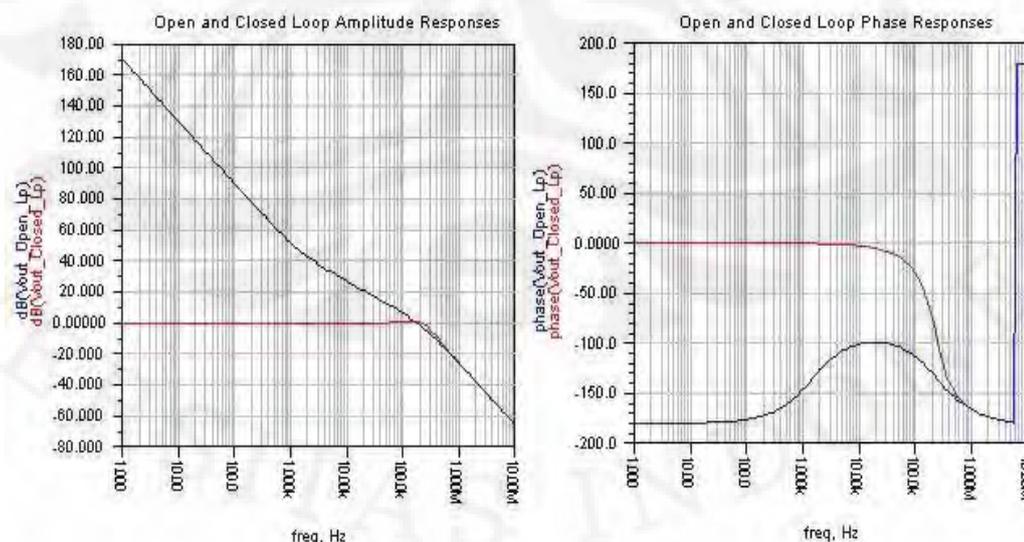
Blok optimisasi digunakan untuk mendapatkan *phase margin*, *unity gain* frekuensi, serta atenuasi *spur* yang diinginkan. Ketika menggunakan blok

optimisasi, kita harus menentukan frekuensi *crossover*, *phase margin*, serta atenuasi *spur* yang diinginkan. Blok optimisasi tidak membangkitkan nilai optimisasi yang unik, melainkan bervariasi. Semakin dekat nilai komponen awal dengan tujuan yang diinginkan, semakin baik optimisasi yang dihasilkan. Optimisasi terus dilakukan hingga didapatkan nilai-nilai parameter yang optimal.



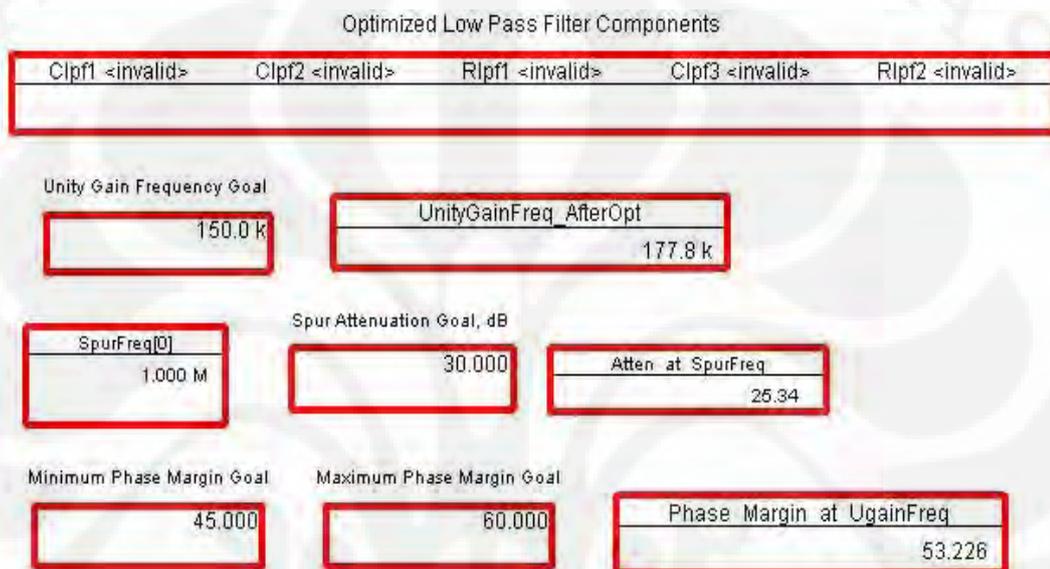
Gambar 4.8 Hasil simulasi respon frekuensi saat dilakukan optimisasi

Gambar 4.8 menunjukkan nilai *phase margin* sistem 48,029 derajat, sehingga sistem dapat dikategorikan stabil. Namun untuk mendapatkan nilai *phase margin* yang optimal serta hasil respon transien yang baik, hal yang harus dilakukan adalah dengan meningkatkan nilai kapasitor dan resistor seri, R1 dan C1 pada *loop filter* orde 3. Namun dikarenakan meningkatkan resistor R1 akan meningkatkan pula derau fasa pada keluaran VCO. Maka dari itu yang dipilih adalah meningkatkan nilai kapasitor seri C1 dan menurunkan nilai resistor R1.



Gambar 4.9 Hasil simulasi respon frekuensi simpul terbuka dan tertutup setelah optimisasi

Gambar 4.9 menunjukkan respon *bode plot* setelah optimasi dilakukan, sedangkan Gambar 4.10 memperlihatkan respon *loop* frekuensi dengan *phase margin* PLL yang telah diperbaiki yang setara dengan 53.226 derajat. Untuk mengevaluasi nilai komponen, blok optimisasi dinonaktifkan dahulu, sehingga *bode plot* yang dihasilkan merupakan hasil refleksi pemilihan desain kita. Ketika blok optimisasi dinonaktifkan, komponen *loop filter* tidak diperlihatkan, akan tetapi nilai *phase margin*, frekuensi *cross-over* serta atenuasi *spur* diperlihatkan.

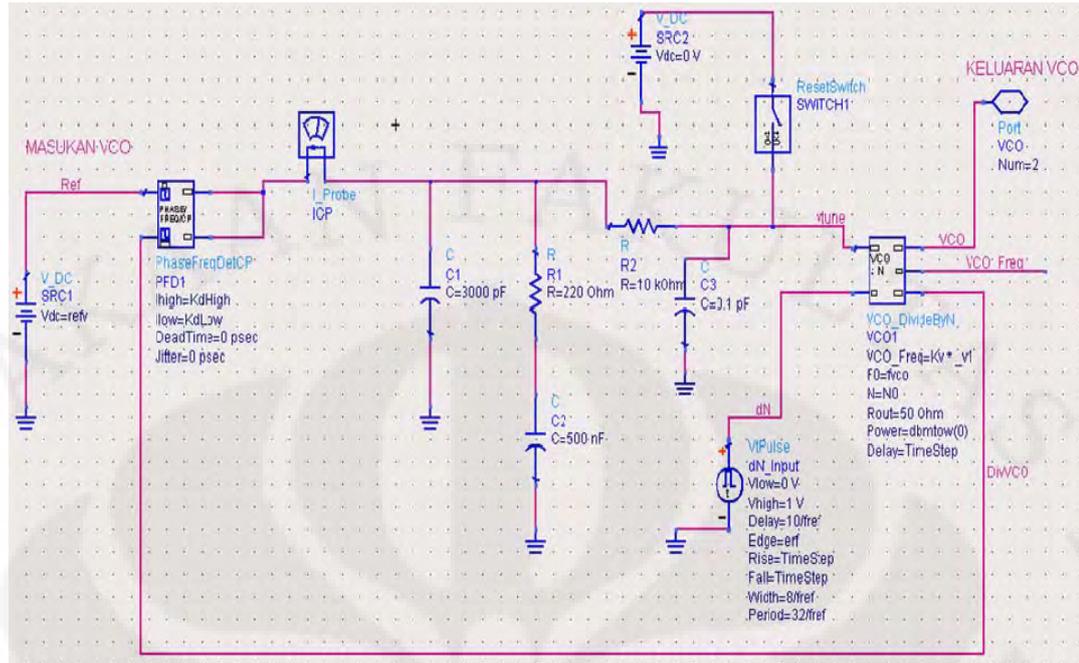


Gambar 4.10 Hasil simulasi respon frekuensi setelah optimisasi

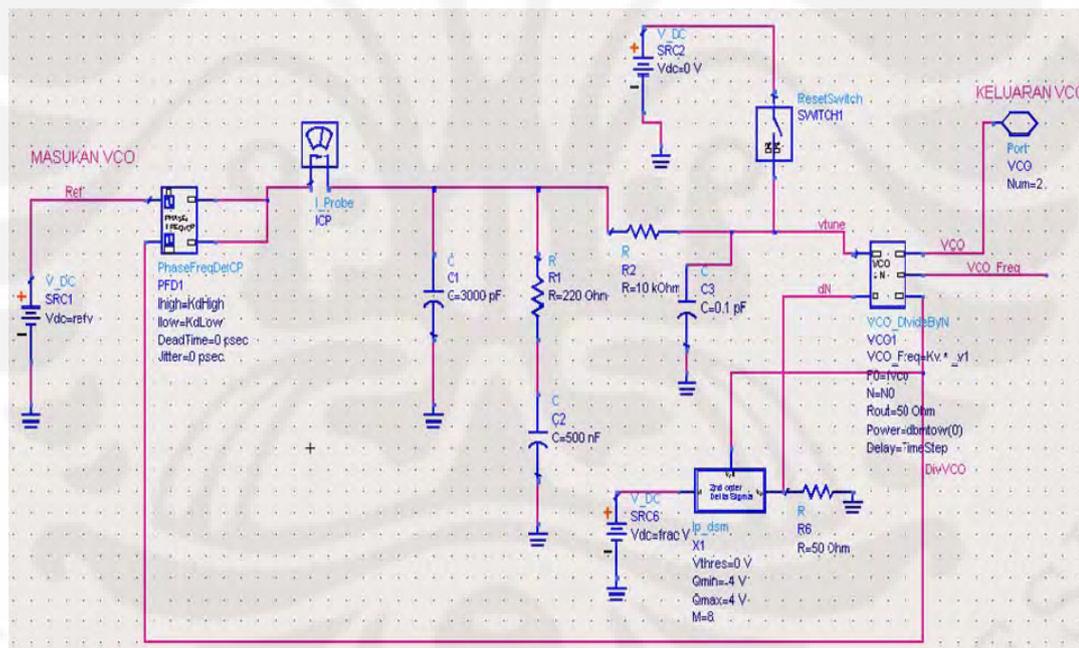
4.2 Simulasi Respon Transien

Respon transien *loop* PLL digunakan untuk melihat *time settling* dari rancangan serta memperlihatkan spektrum frekuensi keluaran VCO yang dihasilkan. Spektrum frekuensi keluaran VCO yang dihasilkan digunakan untuk melihat adanya *spur* yang dihasilkan disekitar frekuensi tengah spektrum.

Gambar 4.11 dan 4.12 merupakan gambar skematik dari simulasi respon transien PLL *fractional-N* dan PLL *fractional-N delta-sigma modulator*. Parameter *loop filter* yang dihasilkan dari respon *loop* frekuensi dimasukkan pada simulasi ini begitu pula dengan penguatan VCO dan konstanta *phase detector*. Respon transien memerlukan parameter tambahan yang mesti dimasukkan diantaranya frekuensi acuan, waktu stop, waktu langkah, dan juga rasio pembagi.



Gambar 4.11 Rangkaian PLL pensintesa frekuensi *fractional-N*



Gambar 4.12 Rangkaian PLL pensintesa frekuensi *fractional-N delta-sigma modulator*

Dalam simulasi respon transien ini, kita akan membandingkan desain PLL *fractional-N* dengan desain PLL *fractional-N delta-sigma modulator*. Keduanya memiliki nilai parameter yang sama sesuai dengan Gambar 4.13. MeasEqn menyatakan persamaan yang digunakan pada simulasi ini yang nantinya

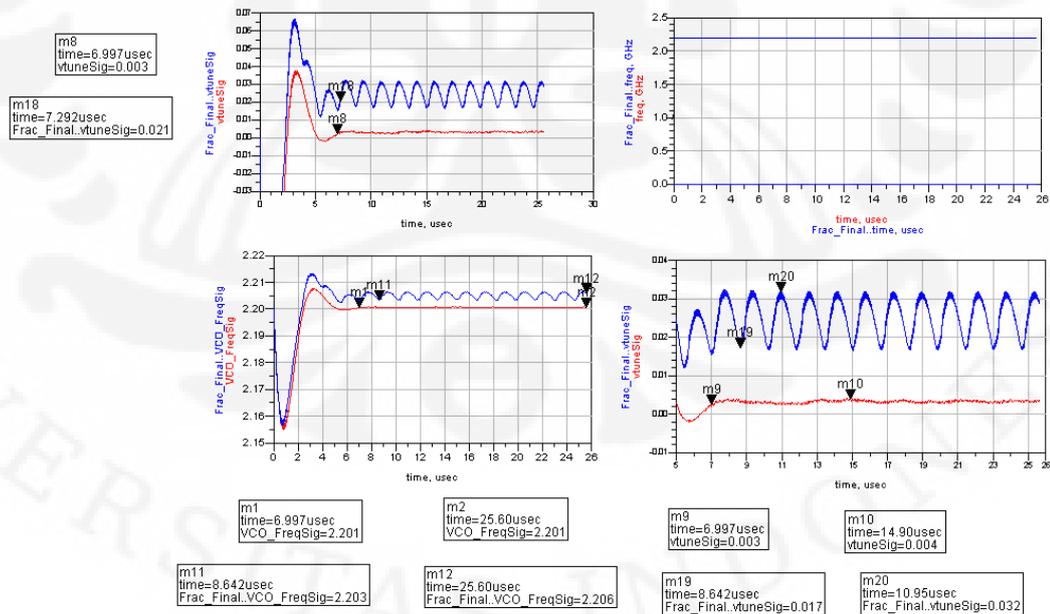
merupakan keluaran yang dapat ditampilkan pada hasil simulasi. VAR menunjukkan variabel yang digunakan pada simulasi.

The screenshot displays a simulation parameter window with the following sections:

- Meas Eqn:**
 - meas1
 - RefPhase=real(Ref[0])
 - spectrum2=spectrum_analyzer(VCO[1])
 - Fcenter=0
 - Fsp=600 MHz
 - spectrum=dB(fs/(VCO_Sig,Fcenter-Fsp/2,Fcenter+Fsp/2,4*1024,,"Hanning ",,6.5 us,24 us))
 - DivVCO_Phase=real(DivVCO[0])
 - VCO_Sig=VCO[1]
 - vtuneSig=real(vtune[0])
 - dN_Sig=real(dN[0])
 - VCO_FreqSig=real(VCO_Freq[0])
 - I_ChargePump=real(ICP.i[0])
- Var Eqn:**
 - VAR5
 - Kv=200 MHz
 - KdHigh=10e-6*360
 - KdLow=10e-6*360
 - VAR3
 - fref =20 MHz
 - StopTime=512/fref
 - TimeStep=1/(SamplesPerCycle*fref)
 - VAR4
 - SamplesPerCycle=32
 - N0=110
 - fvco=N0*fref
 - VAR6
 - refv=phaserad(exp(j*(2*pi*fref*time+pi/2)))
 - frac=1/32
- ENVELOPE:**
 - Env1
 - Freq[1]=fvco
 - Order[1]=1
 - Stop=StopTime+0/fref
 - Step=TimeStep

Gambar 4.13 Parameter simulasi respon transien

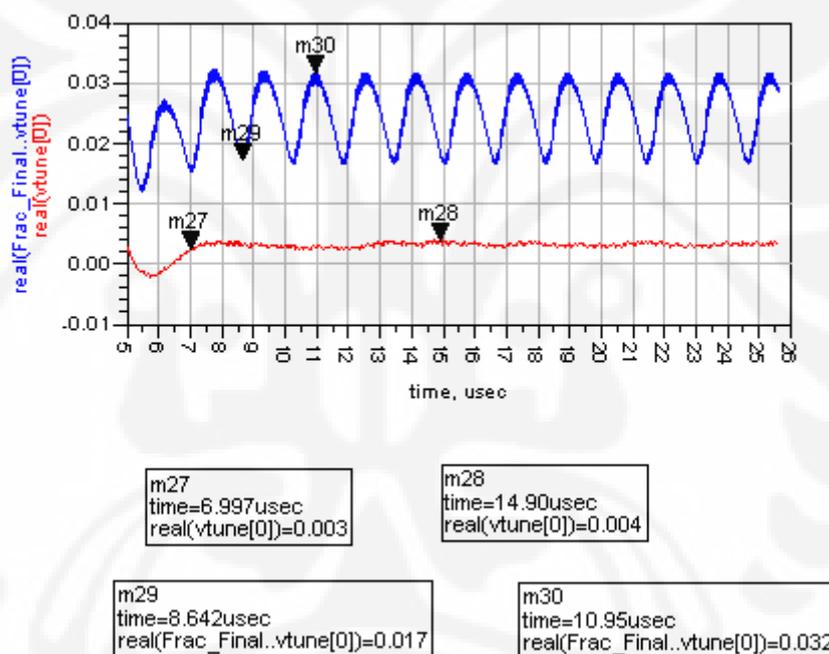
Hasil simulasi respon transien dari *fractional-N PLL* dan *PLL fractional-N delta-sigma modulator* diperlihatkan pada Gambar 4.14 berikut.



Gambar 4.14 Hasil simulasi respon transien PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah)

Hasil simulasi pada Gambar 4.14 menunjukkan respon transien dari PLL fractional-N delta sigma modulator memberikan nilai hasil *settling time* sebesar 8,642 μ s. Namun *settling time* yang lebih kecil didapatkan oleh respon transien pada disain PLL fractional-N delta sigma modulator dengan nilai *settling time* 6,997 μ s. Respon transien pada PLL *fractional-N delta sigma-modulator* menunjukkan peningkatan *settling time* sebesar 1,645 μ s.

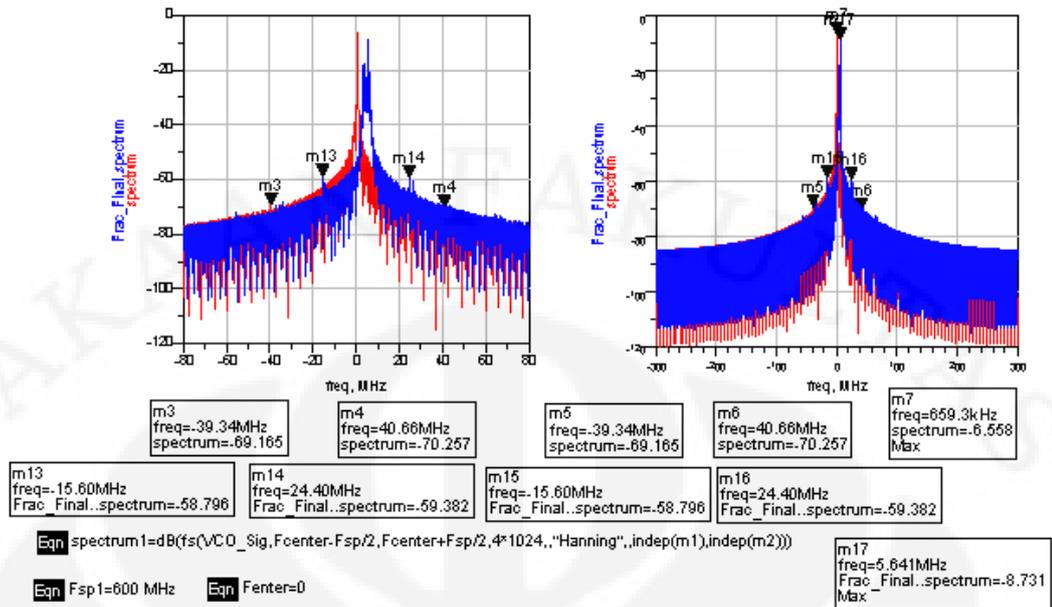
Riak pada tegangan kendali VCO saat keadaan terkunci merupakan indikasi adanya jitter pada frekuensi keluaran. Gambar 4.15 menunjukkan gambar yang diperbesar dari gambar tegangan kendali VCO pada Gambar 4.14. Riak pada tegangan kendali VCO dari PLL *fractional-N* pada Gambar 4.15 bernilai rV (tegangan riak) sebesar 15 mV.



Gambar 4.15 Riak pada tegangan kendali pada keadaan terkunci untuk PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah)

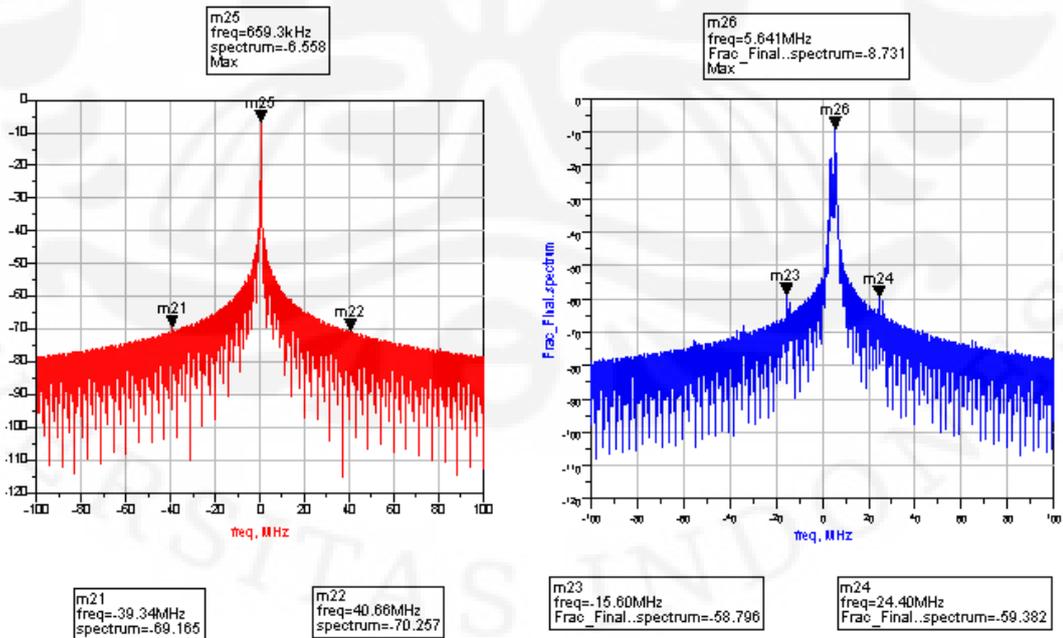
Riak pada tegangan kendali VCO dari PLL *fractional-N delta-sigma modulator* pada Gambar 4.15 bernilai rV (tegangan riak) sebesar 1 mV. Tegangan riak pada Gambar 4.15 menunjukkan penurunan tegangan riak sebesar 14 mV pada PLL *fractional-N delta sigma-modulator*.

Gambar spektrum frekuensi keluaran dari pensintesa frekuensi *fractional-N PLL* diperlihatkan dalam gambar 4.16 berikut:



Gambar 4.16 Spektrum frekuensi keluaran PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah)

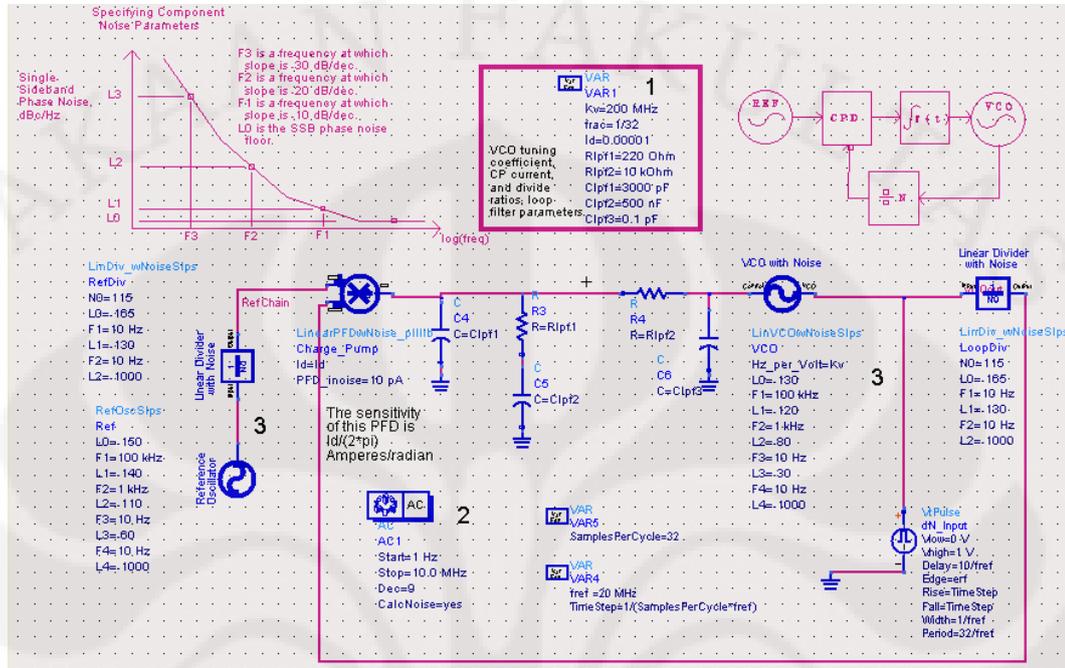
Dengan melihat lebih dekat pada daerah sekitar frekuensi tengah pada gambar spektrum sebagaimana ditunjukkan pada Gambar 4.17, kita dapat melihat adanya penurunan *spur* yang terlihat pada desain PLL *fractional-N delta sigma-modulator* sesuai dengan yang diinginkan pada spesifikasi rancangan.. *Spur* ini sangat tidak diinginkan dan dapat menyebabkan kesalahan penguncian pada PLL.



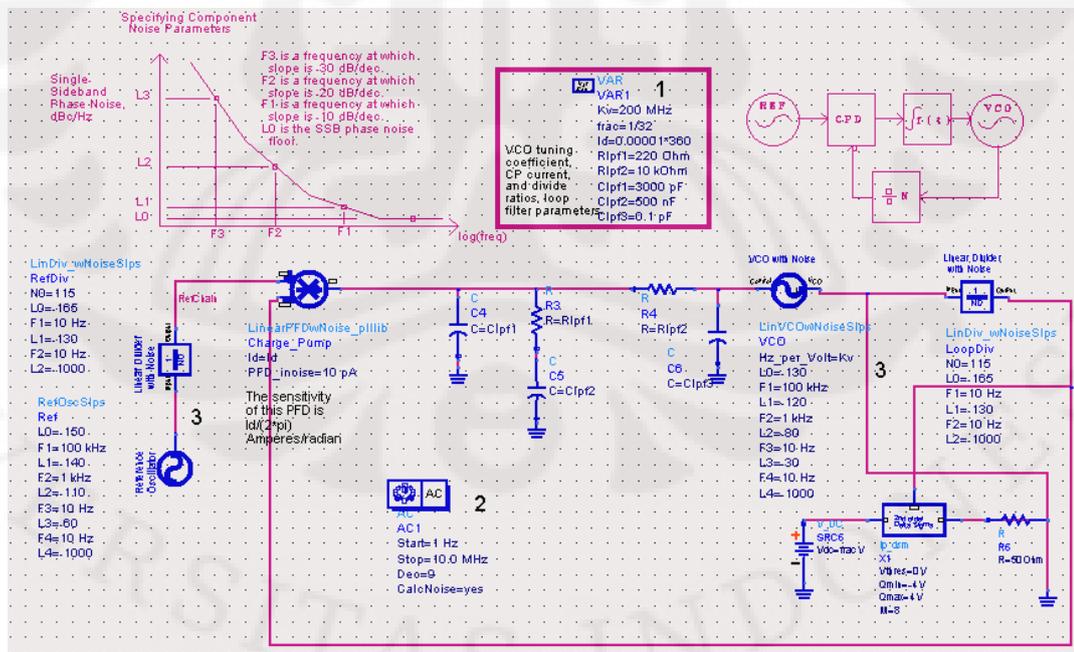
Gambar 4.17 Spektrum frekuensi keluaran PLL *fractional-N* (biru) dan *fractional-N delta-sigma modulator* (merah) yang diperbesar

4.3 Simulasi Respon Derau Fasa

Gambar 4.18 dan 4.19 merupakan gambar skematik dari simulasi respon derau fasa PLL *fractional-N* dan PLL *fractional-N delta-sigma modulator*.



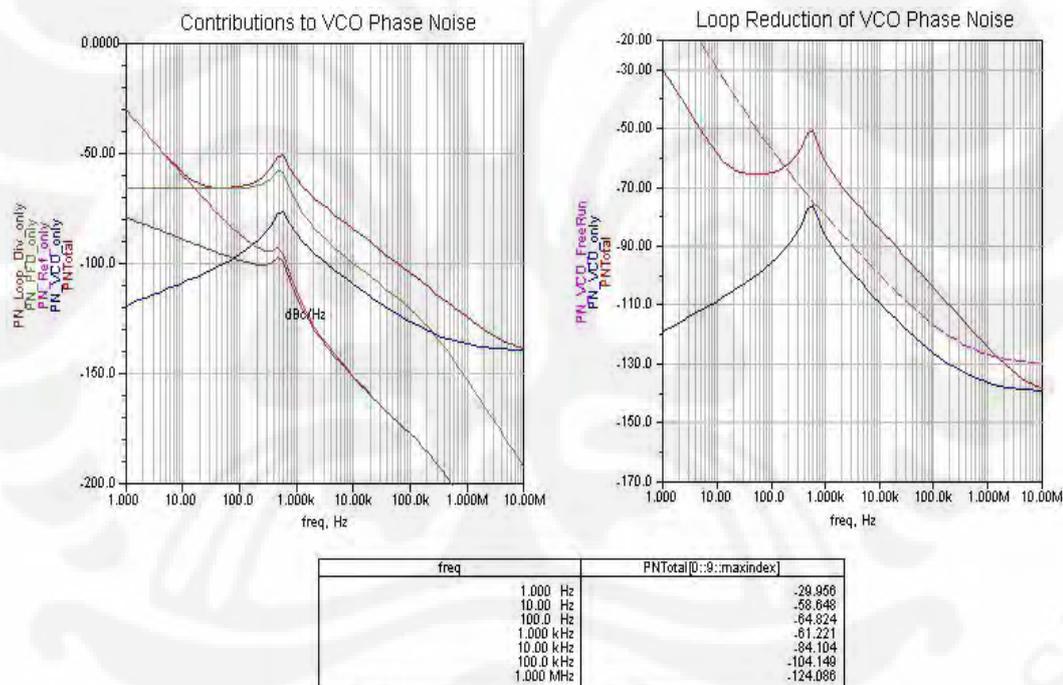
Gambar 4.18 Skematik rangkaian simulasi derau fasa PLL *fractional-N*



Gambar 4.19 Skematik rangkaian simulasi derau fasa PLL *fractional-N delta-sigma modulator*

Parameter yang dimasukkan pada simulasi kali ini adalah sensitifitas *tuning* atau penguatan VCO K_v (MHz/volt), arus *phase detector* I_d (ampere), rasio pembagi N_0 , dan rasio pembagi frekuensi acuan N_0 ref. Dalam memodelkan derau fasa dari berbagai komponen PLL, tiga frekuensi berbeda (F_3, F_2, F_1) merupakan karakteristik derau fasa pada saat kemiringan single sideband (-30,-20,-10 dBc/Hz) secara berurutan. Ketiga frekuensi tersebut memiliki nilai derau fasa sebesar (L_3, L_2, L_1). Sedangkan L_0 merupakan derau dasar broadband.

Gambar 4.20 menunjukkan *bode plot* tiap derau yang dihasilkan pada simulasi derau fasa *fractional-N* PLL. Grafik sebelah kiri menunjukkan kontribusi derau fasa berbanding waktu yang dihasilkan oleh masing-masing komponen PLL pada keadaan terkunci. Sedangkan grafik sebelah kanan menunjukkan kinerja derau fasa VCO keseluruhan.



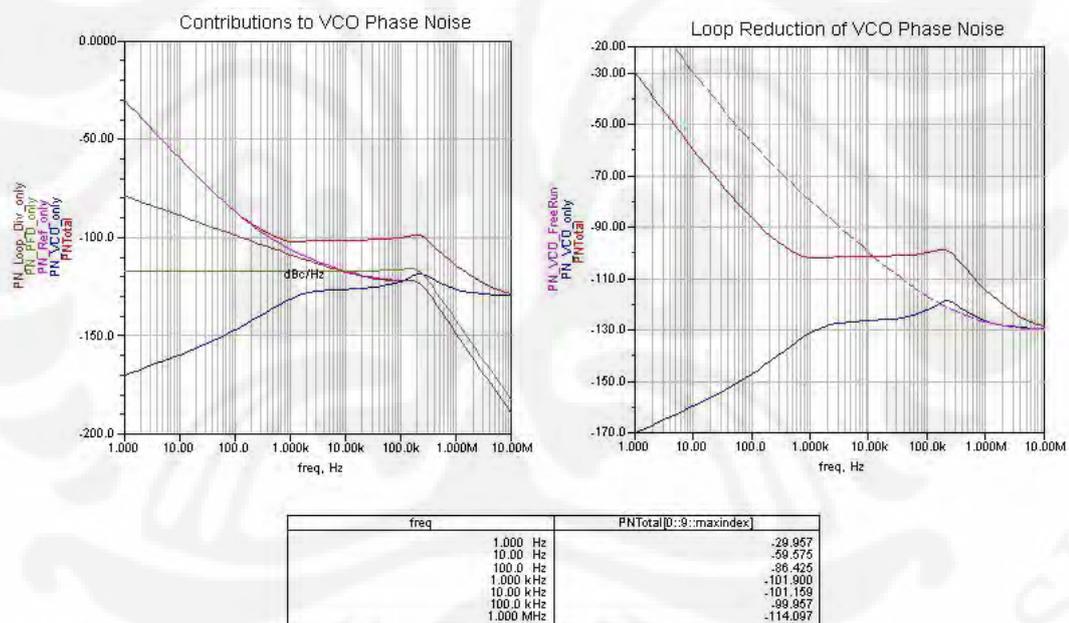
Gambar 4.20 Hasil simulasi derau fasa *fractional-N* PLL

Tabel 4.1 berikut ini menunjukkan derau fasa PLL *fractional-N* tiap dekade frekuensi pada grafik *bode plot* pada Gambar 4.20. Pengukuran dilakukan tiap dekade mulai dari frekuensi 1 Hz hingga 10 MHz.

Tabel 4.1 Derau fasa Tiap Dekade Pada *Fractional-N* PLL

| freq | PNTotal[0::9::maxindex] |
|-----------|-------------------------|
| 1.000 Hz | -29.956 |
| 10.00 Hz | -58.648 |
| 100.0 Hz | -64.824 |
| 1.000 kHz | -61.221 |
| 10.00 kHz | -84.104 |
| 100.0 kHz | -104.149 |
| 1.000 MHz | -124.086 |
| 10.00 MHz | -137.992 |

Sedangkan hasil simulasi derau fasa untuk PLL *fractional-N delta-sigma modulator* diperlihatkan pada Gambar 4.21 berikut.

Gambar 4.21 Hasil simulasi derau fasa *fractional-N PLL delta-sigma modulator*

Hasil simulasi derau fasa pada Gambar 4.20 dan 4.21 menunjukkan derau yang dihasilkan oleh *fractional-N PLL delta-sigma modulator* memiliki derau yang jauh lebih kecil dibandingkan dengan *PLL fractional-N* biasa. Hasil pengukuran derau fasa total pada Tabel 4.1 dan 4.2 menunjukkan derau fasa yang dihasilkan oleh *fractional-N PLL delta-sigma modulator* lebih kecil dibandingkan yang dihasilkan oleh *fractional-N PLL* kecuali pada frekuensi 100 kHz dan yang

lebih besar. Namun derau fasa pada frekuensi 100 kHz dan yang lebih besar telah cukup untuk memenuhi standar regulasi yang dibutuhkan untuk pensintesa frekuensi *Mobile WiMAX*.

Tabel 4.2 Derau Fasa Tiap Dekade Pada PLL *Fractional-N*
Delta-Sigma Modulator

| Freq | PNTotal[0::9::maxindex] |
|-----------|-------------------------|
| 1.000 Hz | -29.957 |
| 10.00 Hz | -59.575 |
| 100.0 Hz | -86.425 |
| 1.000 kHz | -101.9 |
| 10.00 kHz | -101.159 |
| 100.0 kHz | -99.957 |
| 1.000 MHz | -114.097 |
| 10.00 MHz | -128.445 |

4.4 Ringkasan hasil simulasi disain

Penggunaan *delta sigma-modulator pada fractional-N* PLL memiliki efek besar dalam hal mereduksi derau fasa dan *spur*. Kinerja keseluruhan dari pensintesa frekuensi menunjukkan hasil yang memuaskan. Desain pensintesa frekuensi ini akan menjadi masukan lokal osilator untuk *mixer mobile WiMAX* dengan frekuensi 2,2 GHz. Tabel 4.3 menunjukkan hasil keseluruhan dari desain PLL pensintesa frekuensi *fractional-N delta-sigma modulator*.

Tabel 4.3 Ringkasan Hasil Simulasi Desain

| Parameter | Desain | Regulasi WiMax |
|-----------------------|---|----------------------|
| Frekuensi keluaran | 2.201 GHz (sebagai masukan <i>mixer mobile WiMAX</i> 2,3 GHz) | 2,3 – 2,7 GHz |
| <i>Settling time</i> | 6,997 μ s | < 50 μ s |
| <i>Loop Bandwidth</i> | 177,8 kHz | < 100 kHz |
| Derau fasa | -101,159 dBc/Hz @ 10 kHz | -58 dBc/Hz @ 10 kHz |
| | -99,957 dBc/Hz @ 100 kHz | -71 dBc/Hz @ 100 kHz |
| | -114,097 dBc/Hz @ 1 MHz | -98 dBc/Hz @ 1 MHz |

Universitas Indonesia

| | | |
|------------------------------|-----------|---|
| Frekuensi acuan | 20 MHz | < 30 MHz |
| <i>Loop filter</i> | Orde tiga | Orde tiga |
| Arus <i>charge pump</i> | 3,6 mA | Cukup untuk menurunkan derau <i>charge pump</i> pada keluaran PLL |
| Rasio pembagi | 110 | 64-78 |
| <i>Delta-sigma modulator</i> | Orde dua | Orde tiga |

BAB 5

KESIMPULAN

Berdasarkan hasil perancangan yang telah dilakukan dapat diambil beberapa kesimpulan sebagai berikut:

1. *Delta-sigma modulator* mengatasi masalah keterbatasan *bandwidth* pada PLL *integer-N* dan kelemahan *spur* yang terdapat pada *fractional-N* namun tetap memberikan resolusi frekuensi keluaran yang lebih baik
2. Hasil perancangan dan simulasi PLL *fractional-N delta-sigma modulator* menghasilkan frekuensi keluaran sebesar 2,201 GHz dengan *settling time* berkisar pada 6,997 us serta kinerja derau fasa yang bernilai -114,097 dBc/Hz pada 1 MHz.
3. PLL *fractional-N delta-sigma modulator* memperbaiki riak tegangan saat kondisi *locked* sebesar 14 mV dan memperbaiki *settling time* sebesar 1,645 μ s dibandingkan dengan PLL *fractional-N* sederhana.

DAFTAR REFERENSI

- [1] Kirstin Ridley "Global mobile phone use to hit record 3.25 billion" Reuters, Rabu 6 Mei 2009 <http://www.reuters.com/>
- [2] SCB "Sverige i siffror 2006, SCB" Publication Services Statistics Sweden ISBN 91-618-1312-5
- [3] Mozghan Mansuri, *Low-Power Low-Jitter On-Chip Clock Generation*, Dissertation, Electrical Engineering Department, University of California, Los Angeles, 2003.
- [4] J P Silver, "PLL Theory Tutorial", RF,RFIC and Microwave Theory, Design, <http://www.rfic.co.uk>
- [5] Hsin-Che Chiang, A PLL BASED FREQUENCY SYNTHESIZER IN 0.13 μm SIGE BICMOS FOR MB-OFDM UWB SYSTEMS, Thesis, Faculty of the Graduate School of the University of Maryland, College Park, 2007.
- [6] Lalith Karsani, B.E, A Dual-Loop Frequency Synthesizer, Thesis, Electrical Engineering Department, Texas Tech University, 2006.
- [7] Behzad Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, New York, 2002.
- [8] "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's," National Semiconductor application note, July 2001.

[9] Roland E. Best, *Phase-Locked Loops – Design, Simulation and Application*, Fifth Edition, McGraw-Hill, New York, 2003.

[10] Ching-Wen Lai, *Design of Low-Jitter Adaptive Bandwidth PLL Based on Self-Biased Techniques*, Dissertation, Electrical Engineering Department, National Central University, 2005.

[11] Agilent Technologies, "EEsof/Simulating PLL's with ADS", August 25, 2006.

[12] Saurabh Kumar Singh, *Study of Fully on Chip Frequency Synthesizer and Design of PLL Based Frequency to Voltage Converter & Frequency Synthesizer for ZigBee*, Thesis, Electronics and Electrical Communication Engineering Department, Indian Institute of Technology, 2004.

[13] Himanshu Arora, *Design of 5-MB/S Fractional-N RF Transmitter in 900 MHz ISM Band Using GMSK Data Modulation Techniques*, Dissertation, Electrical and Computer Engineering Department, graduate School of Duke University, 2005.

[14] Dean Banerjee, *PLL Performance, Simulation and Design Fourth Edition*, Dog Ear Publishing, National Semiconductors, 2006.

[15] Bar-Giora Goldberg, "Oscillator phase noise revisited - a Heuristic review," www.rfdesign.com, pp. 52–58, Jan. 2002.

[16] Wenjun Sheng, Bo Xia, Emira, A.E., Chunyu Xin, Valero-Lopez, A.Y., Sung Tae Moon, Sanchez-Sinencio, E., "A 3-V, 0.35- μ m CMOS Bluetooth receiver IC" *IEEE J. Solid-State Circuits*, vol. 38, Issue 1, Jan. 2003, pp. 30-42.

[17] Mark Allen Hiebert, Phase Noise Analysis of a 0.18pm CMOS Fractional-N PLL for 802.11 a/b/g/n Application, Project Report, School of Engineering Science, Simon Fraser University, 2006.

[18] Tom A. D. Riley, "Delta-sigma Modulation in Fractional-N Frequency Synthesis", IEEE Journal of Solid State Circuits, vol. 28, Issue 5, pp553-560, May 1993.

[19] Maxim, Adrian. "Design Challenges In Multi-GHz PLL Frequency Synthesizers." Silicon Laboratories.

http://www.cerc.utexas.edu/msrf-seminar/y2005/tk050503_slides_maxim.pdf

diakses pada 25/05/09.

[20] Van Roon, Tony. "Phase Locked Loops". 2001.

<http://www.uoguelph.ca/~antoon/gadgets/pll/pll.html> diakses pada 14/04/09

[21] "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's," National Semiconductor application note, July 2001.

[22] K. Lim, C.-H. Park, D.-S. Kim, and B. Kim, "A low-noise phase-locked loop design by loop bandwidth optimization," IEEE J. Solid-State Circuits, vol. 35, pp. 807-815, Jun. 2000.

DAFTAR PUSTAKA

Malvino, Paul Albert. 1996. Prinsip-prinsip Elektronika jilid 1. Jakarta : Erlangga.

Malvino, Paul Albert. 1996. Prinsip-prinsip Elektronika jilid 2. Jakarta : Erlangga.

Venceslav F. Kroupa, Phase Lock Loops and Frequency Synthesis, John Wiley & Sons Ltd, West Sussex, 2003.

Behzad Razavi, Monolithic Phase-Locked Loops and Clock Recovery Circuits, IEEE Press, New York, 1996.

William F. Egan, Frequency Synthesis by Phase Lock, John Wiley & Sons Inc, New York, 2000.

Dean Banerjee, PLL Performance, Simulation and Design Fourth Edition, Dog Ear Publishing, National Semiconductors, 2006.

William F. Egan, Phase-Lock Basics, John Wiley & Sons Inc, New York, 1998

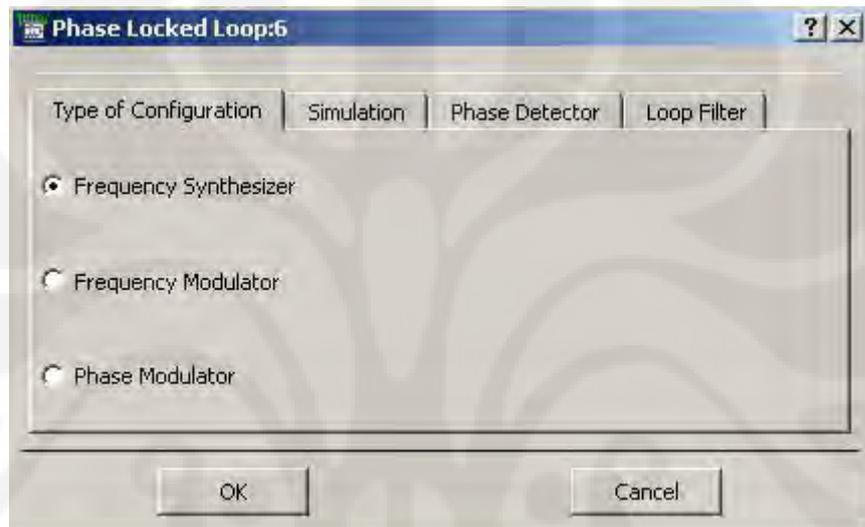
LAMPIRAN

Lampiran 1

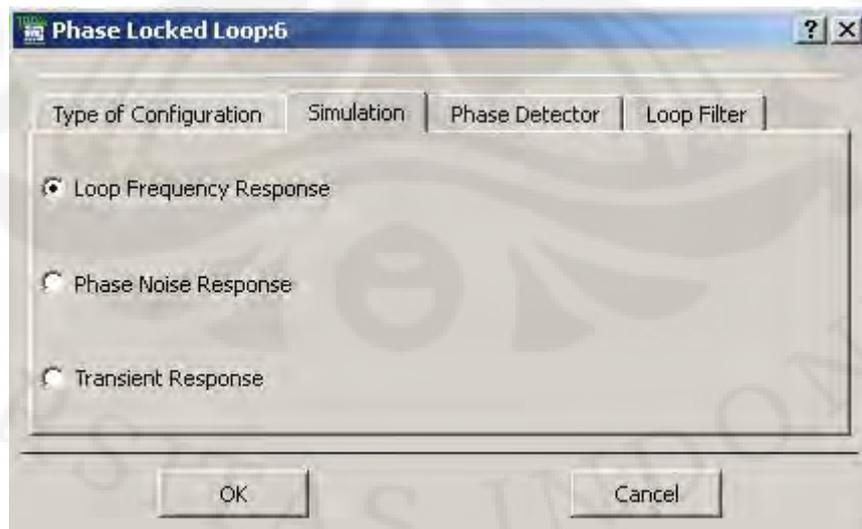
Langkah Simulasi Respon Lup Frekuensi pada ADS 2008 Update 1

Simulasi dilakukan dengan menggunakan ADS 2008 update 1 dengan memilih konfigurasi sebagai berikut :

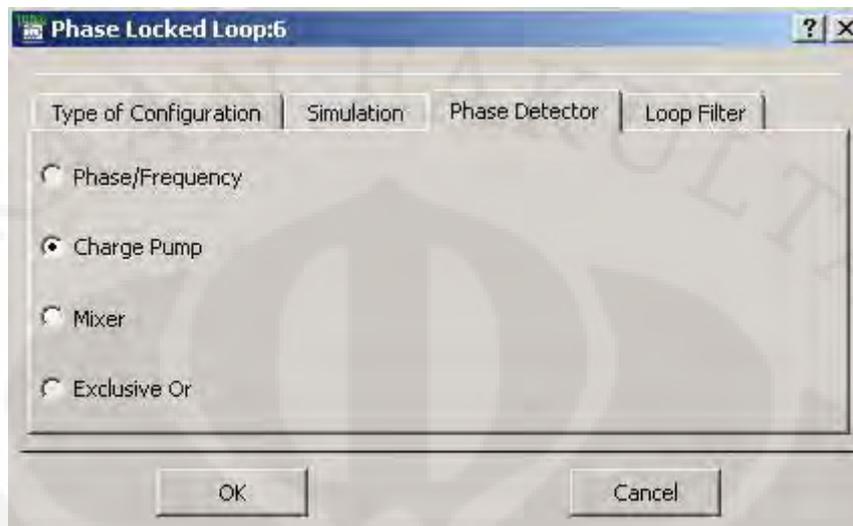
1. Memilih konfigurasi desain PLL



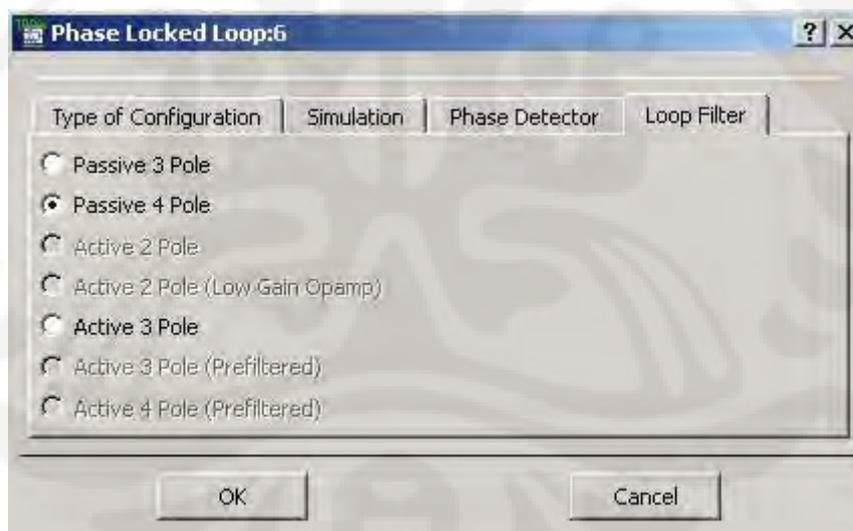
2. Memilih simulasi loop frequency respon pada kolom jenis simulasi.



3. Memilih tipe detektor yang digunakan, dalam disain ini dipilih phase detektor charge pump.



4. Selanjutnya dilakukan pemilihan orde loop filter yang akan digunakan. Dikarenakan akan menggunakan loop filter orde tiga, maka dipilih passive 4 pole loop filter.

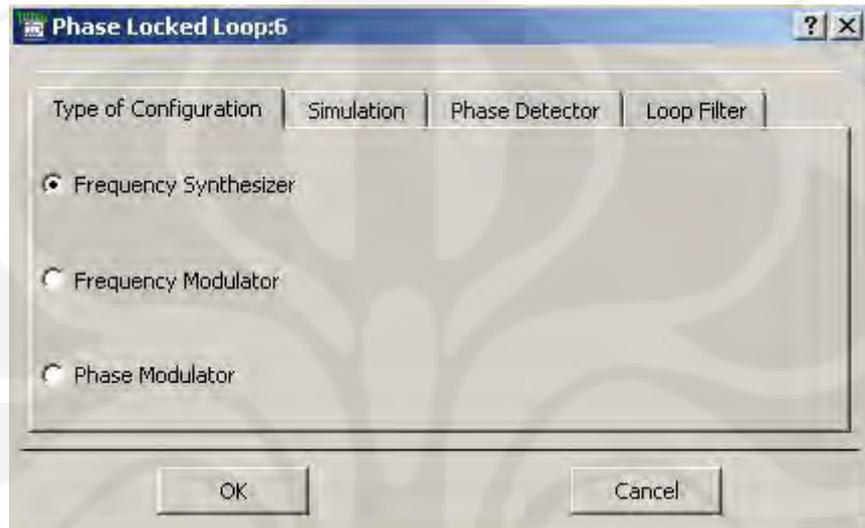


Lampiran 2

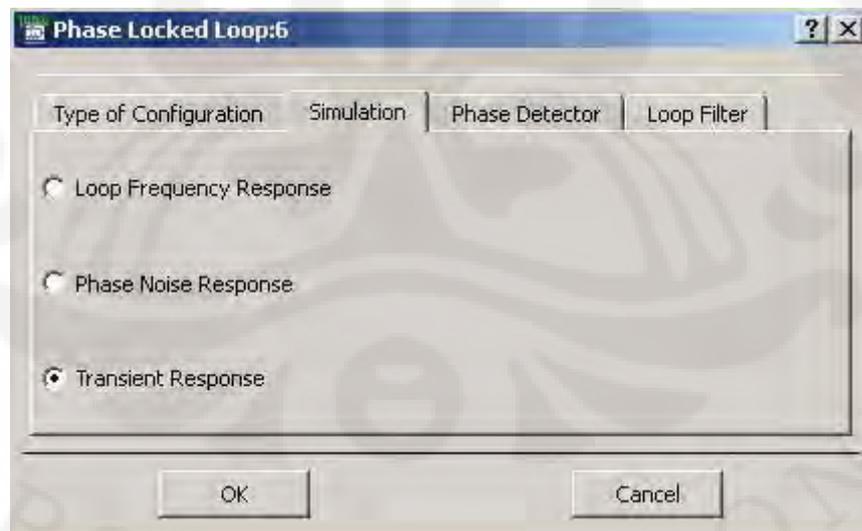
Langkah Simulasi Respon Transien pada ADS 2008 Update 1

Simulasi dilakukan dengan menggunakan ADS 2008 update 1 dengan memilih konfigurasi sebagai berikut :

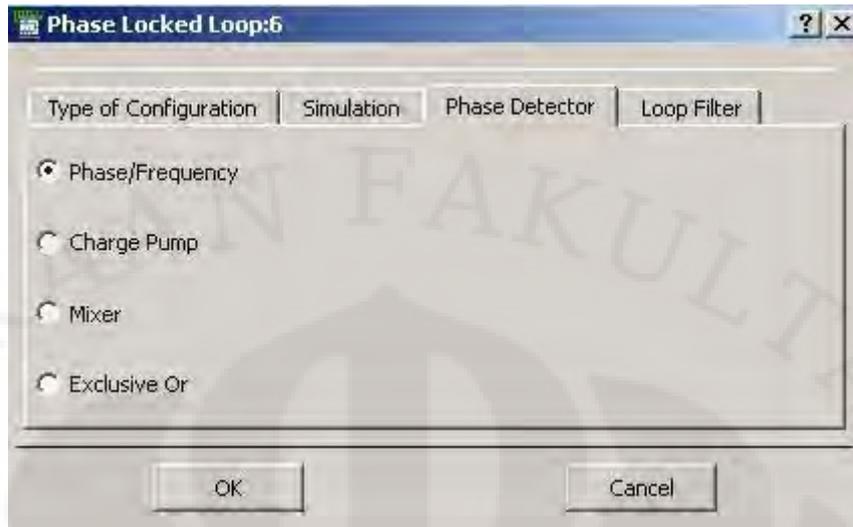
1. Memilih konfigurasi desain PLL



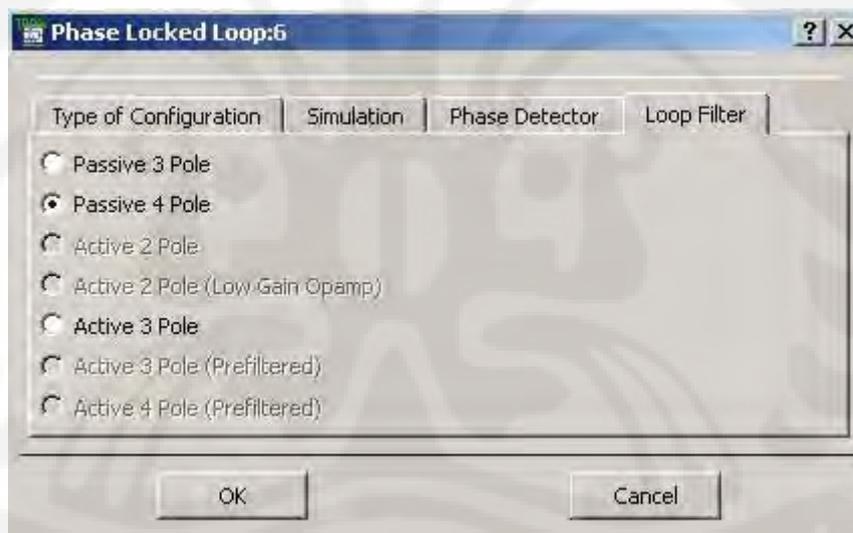
2. Memilih simulasi respon transien pada kolom jenis simulasi.



3. Memilih tipe detektor yang digunakan, dalam disain ini dipilih phase/frekuensi detektor.



4. Selanjutnya dilakukan pemilihan orde loop filter yang akan digunakan. Dikarenakan akan menggunakan loop filter orde tiga, maka dipilih passive 4 pole loop filter.

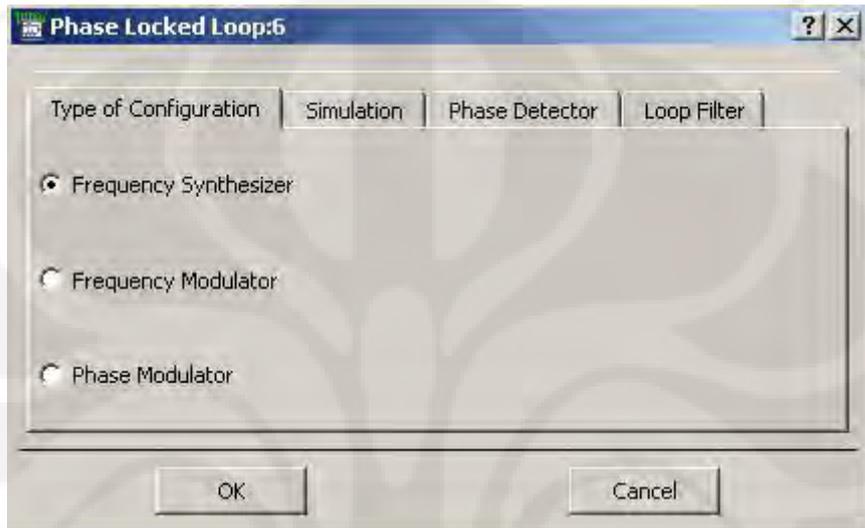


Lampiran 3

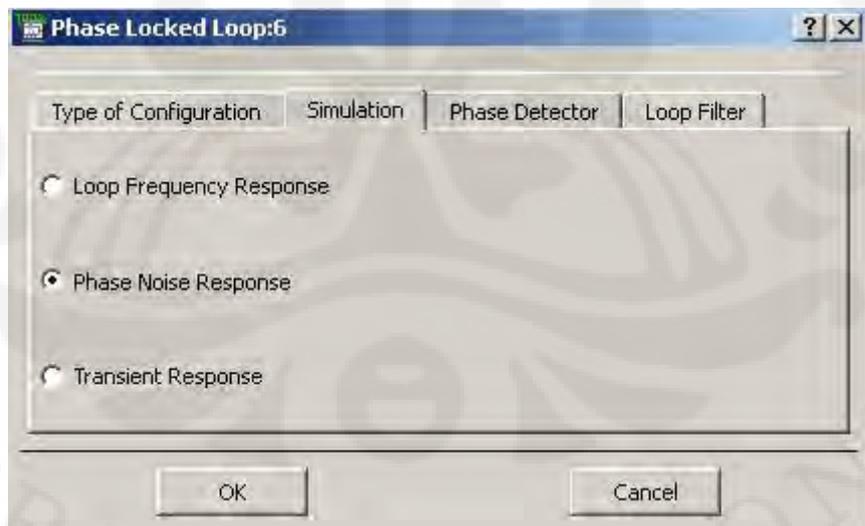
Langkah Simulasi Respon Derau Fasa pada ADS 2008 Update 1

Simulasi dilakukan dengan menggunakan ADS 2008 update 1 dengan memilih konfigurasi sebagai berikut :

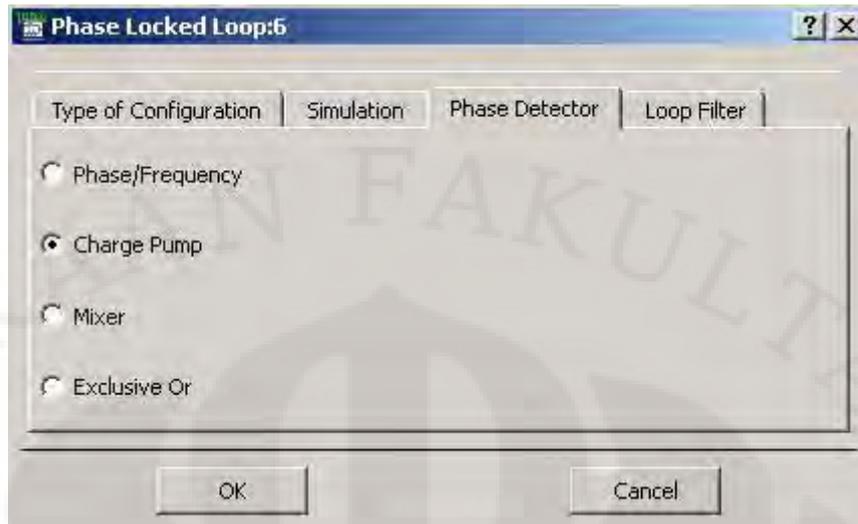
1. Memilih konfigurasi desain PLL



2. Memilih simulasi derau fasa pada kolom jenis simulasi.



3. Memilih tipe detektor yang digunakan, dalam disain ini dipilih phase/frekuensi detektor.



4. Selanjutnya dilakukan pemilihan orde loop filter yang akan digunakan. Dikarenakan akan menggunakan loop filter orde tiga, maka dipilih passive 4 pole loop filter.

