



UNIVERSITAS INDONESIA

**ANALISIS RANCANGAN *VERTICAL OVERFLOW DRAIN (VOD)* PADA
BURIED CHARGE COUPLED DEVICE (BCCD) UNTUK MENEKAN
BLOOMING DENGAN VARIASI KONSENTRASI *IMPURITY* DAN
TEBAL *P-WELL***

SKRIPSI

ASIH KURNIASARI

0606073783

FAKULTAS TEKNIK

DEPARTEMEN TEKNIK ELEKTRO

DEPOK

JUNI 2010



UNIVERSITAS INDONESIA

**ANALISIS RANCANGAN *VERTICAL OVERFLOW DRAIN (VOD)* PADA
BURIED CHARGE COUPLED DEVICE (BCCD) UNTUK MENEKAN
BLOOMING DENGAN VARIASI KONSENTRASI *IMPURITY* DAN
TEBAL *P-WELL***

SKRIPSI

Diajukan sebagai salah satu syarat untuk memperoleh gelar Sarjana Teknik

ASIH KURNIASARI

0606073783

FAKULTAS TEKNIK

DEPARTEMEN TEKNIK ELEKTRO

DEPOK

JUNI 2010

HALAMAN PERNYATAAN ORISINALITAS

Skripsi ini adalah hasil karya saya sendiri, dan semua sumber baik yang dikutip maupun yang dirujuk telah saya nyatakan dengan benar

Nama : Asih Kurniasari

NPM : 0606073783

Tanda Tangan



Tanggal : 14 Juni 2010



HALAMAN PENGESAHAN

Skripsi ini diajukan oleh

Nama : Asih Kurniasari

NPM : 0606073783

Program Studi : Teknik Elektro

Judul Skripsi : Analisis Rancangan *Vertical Overflow Drain (VOD)* Pada *Buried Charge Coupled Device (BCCD)* Untuk Menekan *Blooming* Dengan Variasi Konsentrasi *Impurity* Dan Tebal *P-Well*

Telah berhasil dipertahankan di hadapan Dewan Penguji dan diterima sebagai persyaratan yang diperlukan untuk memperoleh gelar Sarjana Teknik pada Program Studi Elektro, Fakultas Teknik, Universitas Indonesia.

DEWAN PENGUJI

Pembimbing : Prof. Dr. Ir. Djoko Hartanto, M.Sc.

Penguji : Prof. Dr. Ir. Harry Sudibyo DEA

Penguji : Ir. Purnomo Sidi Priambodo M.Sc., Ph.D.

Ditetapkan di : Kampus UI Depok

Tanggal : 29 Juni 2010

UCAPAN TERIMA KASIH

Puji syukur yang sedalam-dalamnya saya panjatkan kepada Allah SWT, karena atas segala berkat dan rahmat-Nya saya dapat menyelesaikan skripsi ini tepat waktu. Penulisan skripsi ini dilakukan dalam rangka memenuhi salah satu syarat untuk mencapai gelar Sarjana Teknik Program Studi Teknik Elektro pada Fakultas Teknik Universitas Indonesia. Saya menyadari, tanpa bantuan banyak pihak, dari masa perkuliahan sampai pada penyusunan skripsi ini, sangatlah sulit bagi saya untuk menyelesaikan skripsi ini. Oleh karena itu, saya mengucapkan terima kasih kepada :

- (1) Prof. Dr. Ir. Djoko Hartanto, M.Sc., selaku pembimbing yang telah menentukan dan menyetujui judul skripsi ini sebagai bagian dari riset pada Sensor Device Research Group (SDRG), bersedia meluangkan waktu untuk membimbing, memberi petunjuk, dan saran dalam menyelesaikan skripsi ini;
- (2) Bapak, Mama, kedua adikku, dan sepupu-sepupuku yang selalu memberikan doa serta dukungan;
- (3) Ifa dan Rise yang telah mengajari Matlab untuk simulasi yang dilakukan pada skripsi ini;
- (4) Rianti, Suha, dan Siti, yang selalu siap membantu, menghibur, dan memberikan banyak motivasi selama ini.

Saya berharap semoga Allah SWT membalas segala kebaikan semua pihak yang telah membantu. Semoga skripsi ini bisa membawa manfaat bagi pengembangan ilmu.

Depok, 14 Juni 2010

Penulis

**HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI
TUGAS AKHIR UNTUK KEPENTINGAN AKADEMIS**

Sebagai sivitas akademik Universitas Indonesia, saya yang bertanda tangan di bawah ini:

Nama : Asih Kurniasari
NPM : 0606073783
Program Studi : Elektro
Departemen : Elektro
Fakultas : Teknik
Jenis Karya : Skripsi

Demi pengembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia **Hak Bebas Royalti Noneklusif (*Non-Exclusive Royalty-Free Right*)** atas karya ilmiah saya yang berjudul:

ANALISIS RANCANGAN *VERTICAL OVERFLOW DRAIN (VOD)* PADA
BURIED CHARGE COUPLE DEVICE (BCCD) UNTUK MENEKAN
BLOOMING DENGAN VARIASI KONSENTRASI *IMPURITY* DAN TEBAL
P-WELL

Dengan Hak Bebas Royalti Noneklusif ini Universitas Indonesia berhak menyimpan, mengalihmedia/formatkan, mengelola dalam bentuk pangkalan data (*database*), merawat, dan mempublikasikan tugas akhir saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai pemilik Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di : Depok

Pada tanggal : 14 Juni 2010

Yang menyatakan



(Asih Kurniasari)

ABSTRAK

Nama : Asih Kurniasari

Program Studi : Teknik Elektro

Judul : Analisis Rancangan *Vertical Overflow Drain* (VOD) Pada *Buried Charge Coupled Device* (BCCD) Untuk Menekan *Blooming* Dengan Variasi Konsentrasi *Impurity* Dan Tebal *P-Well*

Kebutuhan akan sesuatu yang baru serta permintaan optimalisasi unjuk kerja dalam divais elektronika berkembang setiap saat. Salah satu penemuan yang sudah ada adalah divais *Buried Charge Coupled Device* (BCCD) yang dapat mengubah kuantitas analog seperti intensitas cahaya sebagai *input* menjadi sinyal listrik sebagai *output*nya dalam bentuk gambar atau informasi lain.

Salah satu permasalahan pada BCCD adalah peristiwa *blooming*. *Blooming* terjadi saat muatan, direpresentasikan sebagai *photocurrent*, yang ditampung dalam *potential well* berlebih melampaui batas tegangan *knee point* dan dapat merusak gambar output. Salah satu cara mengatasi masalah *blooming* adalah membuat *Vertical Overflow Drain* (VOD) dengan menambah lapisan substrat untuk mengalirkan muatan berlebih tersebut. Struktur divais VOD seperti transistor NPN yang bekerja pada keadaan *punch-through*. Pengaturan konsentrasi *impurity* dan tebal *p-well* menjadi faktor penting untuk menentukan faktor non-ideal yang merupakan penentu besar arus *punch-through* sebagai batas arus berlebih.

Pada skripsi ini, dilakukan perancangan VOD dengan lima pengaturan konsentrasi *impurity* dan tebal lapisan *p-well* yang berbeda untuk mengetahui pengaruhnya terhadap faktor non-ideal sebagai penentu besar arus *punch-through*. Perhitungan dan simulasi dilakukan dengan bantuan *software* Matlab dan Microsoft Office Excel 2007 serta menggunakan perhitungan yang merujuk pada beberapa jurnal dan buku referensi.

Dari hasil perhitungan dan simulasi, didapatkan bahwa semakin rendah konsentrasi *impurity* dan semakin tebal lapisan *p-well*, faktor non-ideal menjadi semakin kecil. Tegangan VOD sebagai batas tegangan *knee point* menjadi semakin kecil sehingga arus *punch-through* yang menjadi batas muatan yang akan dialirkan ke substrat tambahan sebagai muatan berlebih menjadi besar. Dengan mengetahui besar arus *punch-through*, maka VOD ini dapat digunakan sebagai salah satu cara menekan peristiwa *blooming* yang merugikan. Dari perhitungan yang dilakukan, diperoleh sesuatu yang penting yaitu besarnya arus *punch-through* akan menjadi besar jika menggunakan konsentrasi *impurity p-well* yang rendah dan tebal *p-well* yang besar.

Kata kunci: BCCD, *Blooming*, *Punch-through*, VOD

ABSTRACT

Name : Asih Kurniasari

Study Progra : Electrical Engineering

Title : Design Analysis of Vertical Overflow Drain (VOD) In Buried Charge Coupled Device (BCCD) To Suppress Blooming With Impurity Concentration And P-Well Width Variations

The need for something new and optimizing query performance in developing electronic devices at any time. One of the existing discovery is Buried Charge Coupled Cevice (CCCD) that can convert an analog quantity such as the input light intensity into an electrical signal as an output. Electrical signal is then converted into images or information.

One of the problems in BCCD is a bloom event. Blooming occurs when the load, represented as a photocurrent, which is housed in a potential well beyond the limit excessive voltage can damage the knee point and the output image. One way to overcome the problem of blooming is to create a Vertical Overflow Drain (VOD) by adding a layer of substrate to drain the excess charge. VOD device structure such as NPN transistors that work at the state of punch-through. Impurity concentration and thickness settings of p-well becomes an important factor for determining non-ideal factors, which is a big determinant of the punch-through current as flows limit overproduction.

In this paper, performed the design of VOD with five settings of different impurity concentration and thickness of layers of p-well to know the effect on non-ideal factors as major determinants of punch-through currents. Calculation and simulation performed with the aid of Matlab and Microsoft Office Excel 2007 software and use the calculation that brooded on several journals and reference books.

From the calculation and simulation, it was found that the lower the impurity concentrations and thicker layers of p-well, non-ideal factors become smaller. Voltage VOD as a knee-point voltage limits become smaller so that the punch-through which flows a limit load to be distributed to the additional substrate as excess charge to be big. By knowing the major currents, the punch through, then the VOD can be used as one way to reduce harmful bloom events. From the calculation, obtained the important thing is the level of flow punch through current, would be great if you use the impurity concentration p-well low and thick, p-well big.

Keywords: CCD, Blooming, Punch-through, VOD

DAFTAR ISI

HALAMAN JUDUL	i
HALAMAN PERNYATAAN ORISINALITAS	ii
HALAMAN PENGESAHAN	iii
UCAPAN TERIMA KASIH.....	iv
HALAMAN PERSETUJUAN PUBLIKASI TUGAS AKHIR.....	v
ABSTRAK	vi
DAFTAR ISI.....	viii
DAFTAR GAMBAR	x
DAFTAR TABEL.....	xi
DAFTAR ISTILAH	xii
DAFTAR SIMBOL	xiii
DAFTAR LAMPIRAN.....	xv
1. PENDAHULUAN.....	1
1.1 Latar Belakang	1
1.2 Tujuan Penulisan	2
1.3 Batasan Masalah.....	2
1.4 Metodologi Penelitian	3
1.5 Sistematika Penulisan.....	3
2. DASAR TEORI	4
2.1 <i>Buried Charge Coupled Devices (BCCD)</i>	4
2.1.1 Struktur Dasar Kapasitor MOS Penyusun CCD	4
2.1.2 Teori Dasar Struktur <i>Buried-CCD</i> (BCCD).....	7
2.1.3 Turunan Rumus Potensial pada Kapasitor MOS BCCD.....	9
2.1.4 Perpindahan Muatan pada BCCD	10
2.2 Teori Dasar Proses <i>Blooming</i>	11
2.3 <i>Vertical Overflow Drain (VOD)</i>	13
2.4 Faktor Non-Ideal	18
3. PERANCANGAN <i>VERTICAL OVERFLOW DRAIN (VOD)</i>	21
3.1 Pemilihan Substrat VOD BCCD	21

3.2	Struktur Divais VOD.....	21
3.3	Pengaturan Konsentrasi <i>Impuriti</i> dan Tebal <i>P-Well</i>	23
4.	ANALISIS I-V PERBANDINGAN KONSENTRASI <i>IMPURITY</i>	
	DAN TEBAL <i>P-WELL</i>.....	26
4.1	Keadaan <i>Punch-Through</i> pada Divais.....	26
4.2	Total Muatan pada <i>Junction</i> yang Terbentuk.....	28
4.3	Faktor Non-Ideal Berdasarkan Perbedaan Konsentrasi <i>Impurity</i> dan Tebal <i>P-Well</i>	29
4.4	Tegangan <i>Photodiode</i> pada Lapisan Tipe-N.....	30
4.5	Besar Arus <i>Punch-Through</i>	33
5.	KESIMPULAN.....	36
	DAFTAR REFERENSI	37
	LAMPIRAN	39

DAFTAR GAMBAR

Gambar 2.1.	Struktur MOS sebagai dasar SCCD	<u>5</u>
Gambar 2.2.	(a) Struktur MOS p-Si. (b) Energi band MOS saat <i>deep depletion</i> tanpa adanya muatan yang tersimpan. (c) Energi <i>band</i> MOS saat menyimpan muatan pada permukaan semikonduktor	<u>6</u>
Gambar 2.3.	Struktur sederhana divais BCCD	<u>7</u>
Gambar 2.4.	Penampang melintang sederhana divais BCCD	<u>10</u>
Gambar 2.5.	Respon <i>output</i> terhadap intensitas cahaya datang	11
Gambar 2.6.	Akibat <i>blooming</i> menimbulkan garis gradasi putih	<u>13</u>
Gambar 2.7.	Struktur VOD	<u>13</u>
Gambar 2.8.	Penampang melintang struktur VOD	<u>14</u>
Gambar 2.9.	Analogi VOD seperti BJT npn	<u>14</u>
Gambar 2.10.	Ilustrasi keadaan <i>punch-through</i> pada BJT	15
Gambar 2.11.	Struktur VOD yang diberi <i>reverse bias</i>	<u>16</u>
Gambar 2.12.	Ilustrasi mengalirnya elektron berlebih pada VOD	<u>19</u>
Gambar 3.1.	Penampang melintang VOD	<u>22</u>
Gambar 3.2.	Struktur VOD dengan tebal <i>p-well</i> (b) di bawah <i>photo-dioda</i> yang bervariasi	<u>25</u>
Gambar 4.1.	Perbandingan tebal deplesi terhadap konsentrasi <i>p-well</i> (basis) ...	<u>28</u>
Gambar 4.2.	Grafik antara <i>photocurrent</i> dengan tegangan <i>photodiode</i>	<u>30</u>
Gambar 4.3.	Grafik hubungan faktor non-ideal η terhadap I_{pt}	<u>35</u>

DAFTAR TABEL

Tabel 3.1.	Properti bahan Si	21
Tabel 3.2.	Variasi konsentrasi <i>impurity</i> dan tebal lapisan <i>p-well</i>	<u>24</u>
Tabel 4.1.	Besar deplesi yang terjadi pada keadaan <i>punch-through</i>	<u>27</u>
Tabel 4.2.	Tebal deplesi dan besar kapasitas yang terjadi	<u>28</u>
Tabel 4.3.	Faktor non-ideal berdasarkan perbedaan konsentrasi <i>impurity</i> dan tebal <i>p-well</i>	<u>29</u>
Tabel 4.4.	Perbandingan faktor non-ideal dengan V_{pd}	<u>33</u>
Tabel 4.5.	Arus <i>punch-through</i>	<u>34</u>



DAFTAR ISTILAH

- Konsentrasi impurity* : Banyaknya material pembentuk divais yang dicampurkan pada bahan semikonduktor.
- Blooming* : Gangguan pada hasil dari divais BCCD yang menyebabkan timbulnya garis atau bercak putih.
- Punch-through* : Keadaan dimana daerah deplesi antara basis-kolektor dan basis-emiter menempel dan lebar base menjadi hilang.
- Photogeneration* : Terbentuknya pasangan elektron dan *hole* akibat adanya cahaya datang dengan besar energi tertentu.
- Photocurrent* : Arus yang melalui divais yang peka terhadap cahaya.

DAFTAR SIMBOL

V_g	= Tegangan <i>gate</i>
V_{th}	= Tegangan <i>threshold</i>
V_{FB}	= Tegangan <i>flat band</i>
V_{ox}	= Tegangan lapisan oksida
ψ_{so}	= Tegangan permukaan
V_D	= Tegangan dioda
C_G	= Kapasitas <i>gate</i>
C_{ox}	= Kapasitas oksida
$C_{depletion}$	= Kapasitas deplesi
ϵ_0	= Permittivitas <i>free space</i>
K_{ox}	= Konstanta dielektrik lapisan oksida
K_s	= Konstanta dielektrik semikonduktor
d_{ox}	= Tebal lapisan oksida
$x_{d,max}$	= Tebal deplesi maksimum
Q_G	= Banyaknya muatan di <i>gate</i>
Q_D	= Banyaknya muatan di lapisan tipis tipe-n
N_D, n_d	= Konsentrasi <i>majority carriers</i> di lapisan tipis tipe-n (donor)
n_s	= Konsentrasi <i>majority carriers</i> di substrate tipe-n
n_a	= Konsentrasi <i>majority carriers</i> di <i>p-well</i>
q	= Muatan elektron elementer
E_{ox}	= Medan listrik di lapisan oksida
X_{PQ}	= Panjang daerah potensial maksimum
I_{PT}	= Arus <i>punch-through</i>

I_0	= Arus awal yang dipengaruhi oleh tegangan pada substrat
k	= Konstanta Boltzman
V_{PD}	= Tegangan <i>photodiode</i>
I_λ	= <i>Photocurrent</i>
T_I	= <i>Exposure time</i>
V_s	= Tegangan substrat
η	= Faktor non-ideal



DAFTAR LAMPIRAN

Lampiran 1: Tabel perhitungan η terhadap perbedaan konsentrasi <i>impurity</i> dan tebal <i>p-well</i>	39
Lampiran 2: Tabel perhitungan tebal deplesi dan kapasitansi	39
Lampiran 3: <i>List</i> program grafik V_{pd} terhadap $I_{photocurrent}$ pada Gambar 4.2	39



BAB 1

PENDAHULUAN

1.1 Latar Belakang Masalah

Pada masa sekarang, penggunaan *image sensor* dapat ditemukan di sekeliling kehidupan kita. *Charge Coupled Devices* (CCD) merupakan divais elektronika yang mendasari *image sensor*, ditemukan oleh W.S. Boyle dan G.E. Smith pada tahun 1960-an. Hampir tiga puluh tahun CCD mendominasi industri karena sensitivitasnya yang bagus.

Dasar operasi CCD adalah kapasitor MOS. Dengan menerapkan beberapa *gate* yang berada pada satu substrat dan diberikan tegangan yang dipengaruhi *clocking* sehingga menyebabkan adanya medan magnet, MOS dapat mengalirkan paket muatan yang merepresentasikan sinyal sebagai *input*. Melalui proses *photogeneration* sinyal berupa cahaya tersebut mengakibatkan terbentuknya pasangan elektron-hole pada divais dan banyaknya elektron yang mengalir melalui mekanisme MOS merupakan besarnya sinyal yang diterima dan dikirimkan ke *output*. Namun hasil yang diterima di *output* tidak pernah mencapai 100%. Penyebabnya adalah adanya jebakan elektron antara substrat dengan lapisan oksida, sehingga ditanamlah saluran terpendam di antaranya untuk mencapai *output* yang lebih baik. Pendisainan saluran terpendam pada CCD dikenal dengan *Buried-CCD* (BCCD).

Salah satu efisiensi BCCD dipengaruhi oleh peristiwa *blooming*. *Blooming* diakibatkan adanya muatan berlebih pada suatu pixel (*photodiode*) akibat pencahayaan divais BCCD dengan intensitas yang tinggi. *Blooming* menyebabkan output yang dihasilkan memiliki garis putih. Salah satu solusi untuk mengatasi *blooming* adalah dengan menggunakan anti-blooming *Vertical Overflow Drain* (VOD). VOD merupakan struktur BCCD yang menggunakan *drain* atau saluran berupa lapisan substrat tambahan untuk mengalirkan muatan berlebih sehingga muatan tersebut tidak merusak atau mengalir ke pixel di sebelahnya saat proses pengiriman terjadi.

Struktur VOD dapat dianalogikan sebagai transistor npn yang bekerja pada keadaan *punch-through*. Keadaan *punch-through* menyebabkan dapat mengalirnya muatan berlebih dari *photodiode*, tempat terjadinya *photogeneration*. Saat muatan melebihi kapasitas *photodiode* tersebut, muatan dapat mengalir ke lapisan substrat karena adanya keadaan *punch-through* yang menyebabkan lebar base menjadi nol. Dengan demikian muatan berlebih dapat langsung mengalir.

Muatan yang merupakan sinyal input direpresentasikan sebagai arus. Arus yang mengalir akibat berlebihnya muatan di *photodiode* dinamakan arus *punch-through*. Saat arus *photocurrent* sebagai *input* mencapai nilai tertentu, arus akan berubah keadaan dari linear ke saturasi dimana pada keadaan saturasi *potential well* mencapai nilai maksimum yang berarti arus tersebut berlebih dan mengalir ke substrat. Besar batas arus *punch-through* yang terjadi dipengaruhi oleh struktur divais, seperti ketebalan lapisan *p-well* dan konsentrasinya. Kedua faktor tersebut membentuk suatu koefisien yang dinamakan dengan faktor non-ideal. Faktor non-ideal inilah yang penting dalam penentuan besarnya arus *punch-through* yang nantinya menjadi batas besar arus yang akan mengalir ke substrat tambahan sebagai muatan berlebih.

1.2 Tujuan Penulisan

Tujuan penulisan skripsi ini adalah untuk mengetahui bagaimana suatu lapisan tambahan pada BCCD dengan tipe substrat tertentu dapat menekan proses *blooming* yang merugikan. Dengan mengetahui bahwa lapisan VOD seperti transistor npn maka penulis menganalisa mekanisme *blooming* dengan menggunakan parameter yang biasa dipakai pada transistor BJT npn dalam keadaan *punch-through*. Dengan melakukan perbedaan konsentrasi *impurity* dan ketebalan lapisan *p-well* penulis ingin mengetahui perbedaan arus *punch-through* yang akan dihasilkan sebagai representasi batas nilai arus yang akan mengalir ke substrat sebagai usaha pencegahan *blooming*.

1.3 Batasan Masalah

Pembahasan pada skripsi ini dibatasi pada teori dasar bekerjanya BCCD dan mekanisme VOD sebagai penekan proses *blooming*. Mekanisme VOD yang

dibahas adalah dengan melakukan suatu perbedaan pada konsentrasi *impurity* dan tebal *p-well* sehingga diketahui arus *punch-trough* yang akan menjadi batas saat muatan berlebih dapat mengalir ke substrat tambahan. Analisis yang dilakukan didasarkan pada struktur VOD sebagai transistor BJT npn dalam keadaan *punch-through*. Simulasi yang dilakukan menggunakan perangkat lunak MatLab dan Microsoft Office Excel 2007.

1.4 Metode Penulisan

Metode yang digunakan disini adalah pendekatan tinjauan pustaka dengan melakukan studi literatur dari buku referensi mengenai divais CCD dan jurnal referensi mengenai divais CCD dan VOD dari jurnal teknologi internasional yang dipublikasikan (antara lain IEEE *Transaction on Electron Device, United States Patent*, dan lainnya). Selanjutnya perhitungan dilakukan dengan menggunakan simulasi.

1.5 Sistematika Penulisan

Sistematika penulisan skripsi ini adalah sebagai berikut. Pada Bab Pertama akan dijelaskan latar belakang masalah, tujuan penulisan, batasan masalah, metode penulisan, dan sistematika penulisan. Pada Bab kedua akan dipaparkan teori dasar yang mendukung yaitu teori dasar tentang CCD terutama BCCD, proses *blooming*, teori dasar tentang VOD, dan faktor non-ideal. Pada Bab ketiga diberikan perancangan struktur divais VOD dengan pemberian lima perbedaan tebal dan konsentrasi *impurity p-well*. Bab 4 berisi hasil perhitungan simulasi dan analisisnya. Bab 5 berisi kesimpulan.

BAB 2

DASAR TEORI

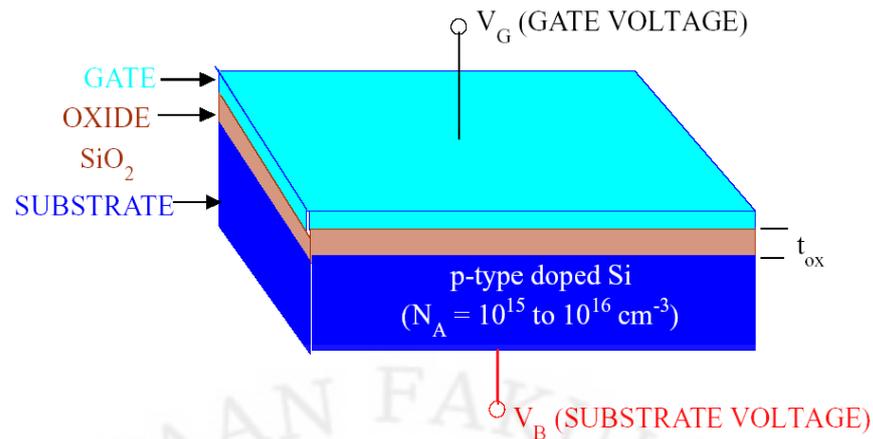
2.1 *Buried Charge Coupled Device (BCCD)*

2.1.1 Struktur Dasar Kapasitor MOS Penyusun CCD

Charge Coupled Device (CCD) adalah suatu divais elektronika yang dapat menghasilkan sebuah gambar sesuai objek yang diamati, menyimpan informasi, atau mengirim muatan listrik. *Input* CCD dapat berupa cahaya dari suatu objek yang diamati dan diubah menjadi sinyal listrik sebagai *output*. Kemudian *output* sinyal listrik tersebut diproses menjadi sebuah gambar atau informasi yang diinginkan pengguna.

CCD pertama kali diperkenalkan oleh Amelio pada tahun 1970 dimana rangkaian divais CCD yang diperkenalkan terdiri dari tiga elektroda alumunium, dengan luas $100\mu\text{m} \times 100\mu\text{m}$, jarak elektroda $3\mu\text{m}$ dan tebal oksida 1200\AA . Dengan pencatuan tegangan -200 volt didapat efisiensi perpindahan muatan sebesar 98 %. Perkembangan performansi CCD selanjutnya mengacu pada peningkatan dan perbaikan performansi CCD dalam kapasitas, sensitivitas, dan noise. Faktor peningkatan ini telah dapat dicapai dengan disain divais yang tepat dan kemajuan teknologi sekarang ini.

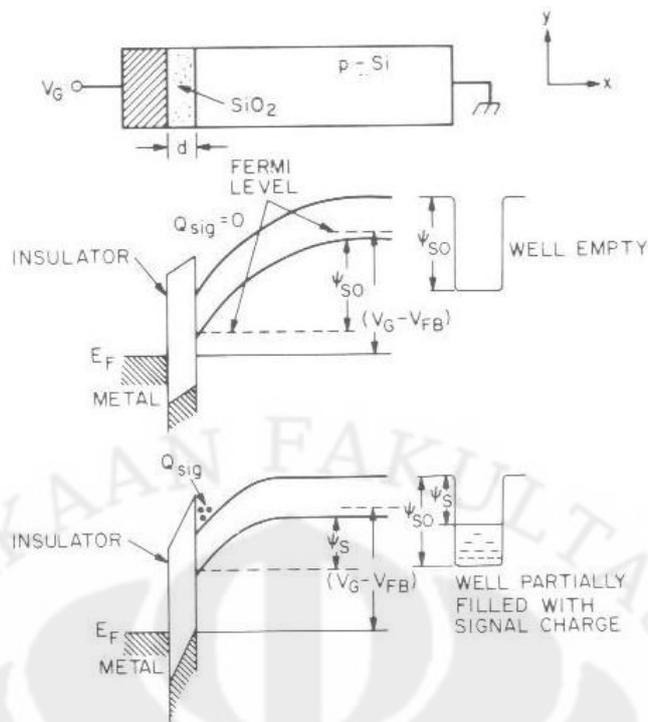
CCD terdiri atas beberap *chip* dan dasar operasi dari chip CCD adalah MOS sebagai kapasitor. CCD bekerja ketika divais MOS berada pada keadaan *deep depletion* dimana pada mode ini MOS berfungsi sebagai kapasitor. CCD tersebut dibentuk register secara linear oleh beberapa MOS yang berdekatan pada permukaan semikonduktor. Penggunaan MOS sebagai dasar pembentukan CCD adalah karena saat pengaplikasian tegangan bias pada plat MOS akan menghasilkan *potensial well* pada semikonduktor di bawah tiap plate sehingga dapat menyimpan muatan sebagai representasi sinyal *input* yang akan dikirimkan. Struktur sederhana *Surface-CCD (SCCD)* digambarkan pada Gambar 2.1[1].



Gambar 2.1. Struktur MOS sebagai dasar SCCD [1].

Saat MOS p-Si diberikan tegangan yang positif ($V_g > V_{th}$) $t=0$, hole akan menjauh dari *interface* dan terbentuk daerah deplesi. Seharusnya, saat $V_g > V_{th}$ terbentuk lapisan inversi. Namun, saat transisi terjadi, lapisan inversi belum terbentuk. Hal ini dikarenakan *generation* elektron-hole saat *thermal generation* di daerah deplesi membutuhkan waktu tertentu untuk mensuplai elektron yang dibutuhkan agar terjadi keadaan inversi. Keadaan MOS seperti ini disebut dengan *Deep Depletion*. Karena ketidakhadiran lapisan inversi pada *deep depletion*, muatan positif pada metal sebagai elektroda harus diseimbangkan dengan ion *acceptor* yang terionisasi yang hanya ada pada daerah deplesi, walaupun tegangan *gate* lebih besar daripada tegangan *threshold*. Dengan demikian kedalaman daerah deplesi lebih besar daripada lapisan inversi.

Pada Gambar 2.2[2] memperlihatkan keadaan MOS saat *deep depletion*. Q_{sig} menunjukkan banyaknya muatan yang tersimpan, ψ_{so} menunjukkan tegangan permukaan dan $(V_G - V_{FB})$ adalah tegangan efektif yang diaplikasikan pada *gate* elektroda. Saat paket muatan signal belum diberikan, *potential well* masih terlihat kosong (Gambar 2.2b). Saat muatan berada di permukaan semikonduktor akibat adanya sinar yang menyebabkan *generation*, tegangan akan berkurang menjadi ψ_s , yakni perbedaan ψ_{so} dikurangi tinggi dari muatan yang disimpan (lihat Gambar 2.2c).



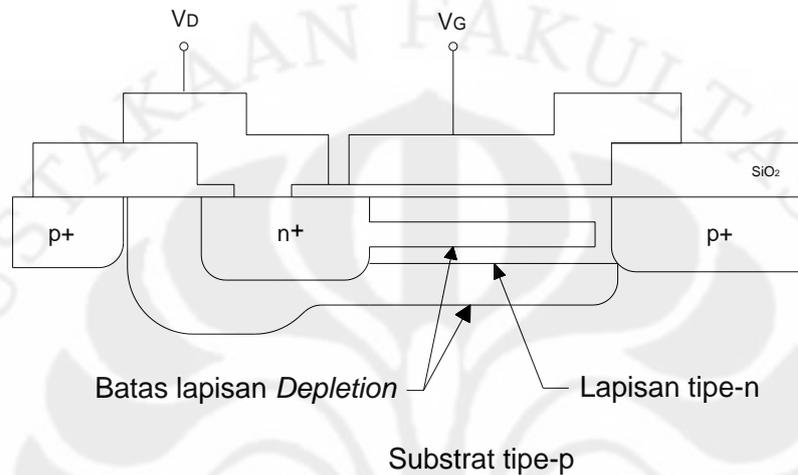
Gambar 2.2. (a) Struktur MOS p-Si. (b) Energi *band* MOS saat *deep depletion* tanpa adanya muatan yang tersimpan. (c) Energi *band* MOS saat menyimpan muatan pada permukaan semikonduktor [2].

Pada perkembangan awal, teknologi CCD yang banyak digunakan adalah *Surface-CCD* (SCCD). Namun pada pengoperasiannya, terjadi pengurangan elektron yang semakin besar ketika pengiriman berlangsung. Hal ini dikarenakan adanya jebakan elektron saat berlangsung perpindahan elektron dengan lapisan oksida. Akhirnya dengan berkurangnya jumlah elektron menyebabkan efisiensi perpindahan muatan yang kecil sehingga informasi yang diwakili elektron hasil perpindahan tidak sama dengan yang diberikan sumber.

Salah satu cara untuk mengurangi kerugian ini adalah dengan menanamkan saluran terpendam di dalam divais CCD, dan divais ini dikenal dengan *Buried-CCD* (BCCD).

2.1.2 Teori Dasar Struktur Divais *Buried-CCD* (BCCD)

BCCD adalah CCD yang diberi tambahan saluran tipis tipe-n terpendam yang tertanam di antara substrat (p-Si) dan lapisan oksida seperti yang tergambar pada Gambar 2.3[3].



Gambar 2.3. Struktur sederhana divais BCCD[3].

Saat dioda n^+ digroundkan ($V_D = 0$) dan *gate* diberikan tegangan positif ($V_G \gg 0$) yang besar, elektron akan terakumulasi di interface. Kapasitansi *gate* yang terbentuk antara *gate* dan substrat adalah tergantung pada lapisan oksida, sehingga besarnya kapasitansi *gate* pada keadaan seperti ini dapat dihitung dengan Persamaan 2.1[3].

$$C_G = \epsilon_0 K_{ox} \frac{A}{d_{ox}} \quad (2.1)$$

Saat tegangan *gate* diturunkan dan menjadi negatif, elektron akan terusir dari dari *interface* di saluran tipis tipe-n sehingga terbentuk daerah deplesi yang terbentuk di bawah lapisan oksida. Kapasitansi *gate* kemudian menjadi seri kombinasi kapasitansi oksida dengan kapasitansi deplesi sehingga total

kapasitansi yang terjadi tertulis pada Persamaan 2.2[3]. Walaupun sebenarnya ada kapasitansi deplesi lain antara lapisan tipis tipe-n dan substrat tipe-p, kapasitansi ini *dishortkan* oleh koneksi eksternal yaitu antara dioda n^+ dan substrat.

$$C_G = \left(\frac{1}{C_{ox}} + \frac{1}{C_{depletion}} \right)^{-1} = \left(\frac{1}{C_{ox}} + \frac{1}{\epsilon_0 K \frac{A}{x_{dep}}} \right)^{-1} \quad (2.2)$$

Jika tegangan *gate* diturunkan semakin kecil, lebar lapisan deplesi akan membesar akhirnya terbentuk lapisan inversi pada daerah perbatasan. *Hole* pada lapisan inversi disuplai oleh difusi *channel stop* p^+ yang mengelilingi lapisan tipis tipe-n. Apabila telah terjadi lapisan inversi pada daerah perbatasan, lebar daerah deplesi akan tetap bernilai $x_{d,max}$.

Ketika dioda dibias dengan tegangan positif ($V_D > 0$), daerah difusi n^+ dan lapisan tipis tipe-n akan memiliki tegangan positif yang sama dengan tegangan dioda. Ketika *gate* diberikan tegangan dengan tegangan catu yang lebih besar dari tegangan dioda ($V_G > V_D$), pada lapisan tipis tipe-n akan terbentuk daerah akumulasi dan kapasitansi *gate* sama dengan kapasitansi oksida.

* Lalu saat tegangan *gate* diturunkan melewati tegangan dioda ($V_G < V_D$), maka akan terbentuk daerah deplesi di bagian atas lapisan tipis tipe-n sehingga kapasitansi *gate* menjadi kapasitansi seri antara kapasitansi oksida dan kapasitansi daerah deplesi yang terletak di atas lapisan tipis tipe-n. Hal ini sama terjadi saat lapisan tipis tipe-n digroundkan. Karena *channel stop* tipe-p sebagai sumber *hole* dicatu lebih negatif daripada lapisan tipis tipe n, maka daerah deplesi yang terbentuk dapat lebih lebar daripada $x_{d,max}$, sehingga kapasitansi *gate* dapat menjadi lebih minimum.

Saat tegangan *gate* diturunkan lagi, maka lapisan inversi akan terbentuk pada tegangan *gate*-dioda yang lebih rendah sehingga kapasitansi *gate* bergantung pada daerah deplesi yang terjadi diatur dari tegangan *gate*-dioda. Jika kedalaman dari lapisan tipis tipe-n kecil, sangat dimungkinkan untuk mengosongkan seluruh lapisan sebelum lapisan inversi terbentuk pada perbatasan. Keadaan ini disebut kondisi *punch-through*.

Pada keadaan *punch-through*, daerah deplesi yang berada di bagian lapisan tipe-n akan bergabung dengan daerah deplesi yang dibentuk oleh p-n *junction* antara lapisan tipe-n dan substrat. Penggabungan ini mengakibatkan daerah deplesi semakin lebar sehingga kapasitansi *gate* turun dengan cepat ketika lapisan tipis tipe-n berada dalam keadaan *punch-through*. Jika lapisan tipis tipe-n tersebut telah seluruhnya berada pada keadaan kosong, distribusi potensial di bawah *gate* tidak bergantung lagi pada V_D , tapi hanya dikontrol oleh tegangan *gate* saja.

Apabila tegangan *gate* terus diturunkan maka akan terbentuk lapisan inversi pada perbatasan oksida dan lapisan tipis tipe-n. Lapisan inversi ini bersifat konduktif dengan *channel stop* tipe-p tempat saluran tersebut konduktif dengan substrat sehingga kapasitansi *gate* akan sama dengan kapasitansi oksida lagi.

2.1.3 Turunan Rumus Potensial pada Kapasitor MOS BCCD.

Distribusi potensial pada keadaan *punch-through* dapat diperoleh dengan analisis pendekatan deplesi untuk kasus dimana konsentrasi *impurity* adalah konstan di lapisan tipis tipe-n. Besar distribusi potensial divais dengan struktur seperti Gambar 2.2 tertulis pada Persamaan 2.3 [4].

$$V_{max} = V_G + V_{ox} + V_{D1} \quad (2.3)$$

Oleh karena tidak adanya medan listrik di atas elektroda *gate* atau pada daerah terjadinya potensial maksimum, maka didapatkan Persamaan 2.4 [4].

$$Q_G + Q_{D1} = 0 \quad (2.4)$$

Distribusi potensial pada tiap lapis bahan dituliskan pada Persamaan 2.5, Persamaan 2.6, dan Persamaan 2.7 [3].

$$\text{Potensial di lapisan oksida} \quad \frac{d^2V}{dx^2} = 0 \quad -d < x < 0 \quad (2.5)$$

$$\text{Potensial di lapisan tipis tipe-n} \quad \frac{d^2V}{dx^2} = -\frac{qN_D}{K_s\epsilon_0} \quad 0 < x < t \quad (2.6)$$

$$\text{Potensial di substrat tipe-p} \quad \frac{d^2V}{dx^2} = \frac{qN_A}{K_s\epsilon_0} \quad t < x < t + x_p \quad (2.7)$$

Dengan menggunakan kondisi batas dan diintegrasikan, Persamaan 2.5, 2.6, 2.7 secara berurutan menjadi Persamaan 2.8, Persamaan 2.9, dan Persamaan 2.10 [3].

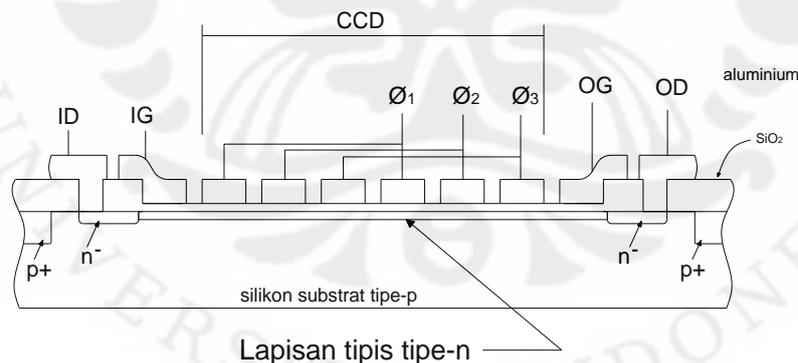
$$V = V_G - E_{ox}(x + d) \quad -d < x < 0 \quad (2.8)$$

$$V = V_{max} - \frac{qN_D}{2K_S\epsilon_0}(x - x_n)^2 \quad 0 < x < t \quad (2.9)$$

$$V = \frac{qN_A}{2K_S\epsilon_0}(x - t - x_p)^2 \quad t < x < t + x_p \quad (2.10)$$

2.1.4 Perpindahan Muatan pada BCCD

Penampang melintang divais BCCD digambarkan pada Gambar 2.4[3] seperti yang dijelaskan pada Subbab 2.4, BCCD dapat dihubungkan dengan karakteristik kerja MOS pada keadaan *punch-through*. Maka dari itu keadaan yang harus dipenuhi untuk pengoperasian BCCD dengan baik adalah dengan mengosongkan elektron di lapisan tipis tipe-n. Saat keadaan *punch-through* diperoleh, potensial maksimum akan terbentuk di lapisan tipe-n jauh dari perbatasan. Potensial ini disebut potensial saluran (*channel potential*), V_{max} .



Gambar 2.4. Penampang melintang sederhana divais BCCD[3].

Ketika sejumlah elektron diinjeksikan ke divais, elektron akan diletakkan pada potensial maksimum dari permukaan dan dikirim ke elektroda selanjutnya dengan eksternal *clocking*. Sinyal pembawa yang berada jauh dari perbatasan

tidak akan berinteraksi dengan *surface states* seperti pada SCCD sehingga akan dihasilkan efisiensi perpindahan elektron yang besar.

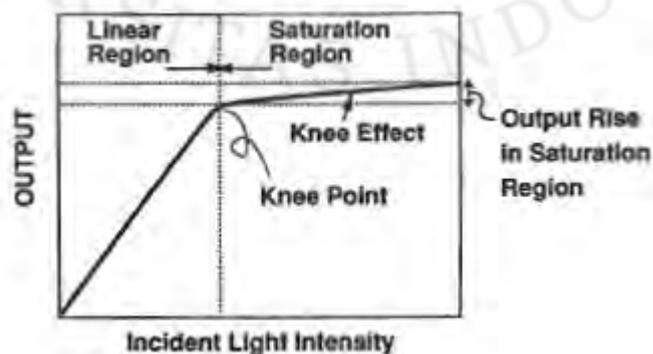
Saat terjadi injeksi elektron ke divais, elektron akan memenuhi daerah potensial maksimum. Penambahan jumlah elektron yang terinjeksi akan menyebabkan dua hal, yaitu distribusi elektron pembawa mayoritas akan mendekati ke perbatasan dan perbedaan potensial antara saluran tipis dan perbatasan akan berkurang. Harga potensial maksimumnya akan konstan sepanjang daerah yang ditempati elektron. Karakteristik BCCD tersebut menyebabkan terbatasnya muatan yang dapat ditaruh pada divais tidak sebanyak muatan yang dapat ditaruh pada SCCD. Karena harga perbedaan potensial bergantung dari perancangan divais, maka banyaknya muatan yang dapat ditaruh menjadi tergantung pula pada perancangan divais [3].

Elektron dapat tertampung pada BCCD sepanjang potensial maksimum yang konstan. Jika panjang potensial yang konstan ini disimbolkan dengan X_{PQ} , maka banyaknya muatan elektron yang tertampung di dalam saluran tipe-n dapat dirumuskan pada Persamaan 2.11[4].

$$Q_D = qN_D X_{PQ} \quad (2.11)$$

2.2 Teori Dasar Proses *Blooming*

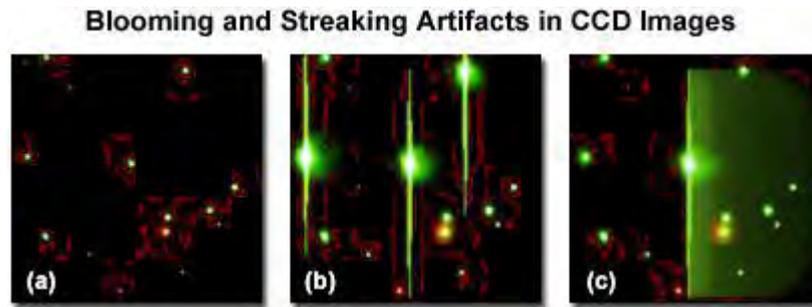
Intensitas cahaya sebagai *input* pada divais CCD akan berpengaruh pada respon *output*-nya. Gambaran tentang respon *output* terhadap intensitas cahaya digambarkan pada Gambar 2.5 [5] di bawah ini.



Gambar 2.5. Respon *output* terhadap intensitas cahaya datang[5].

Pada Gambar 2.5, daerah *range* terbagi menjadi dua, yaitu daerah linear dan daerah saturasi. Terlihat bahwa *output* akan terhubung secara linear terhadap besar intensitas cahaya sampai nilai tertentu. Hal ini berarti *input* berupa intensitas cahaya datang sampai dengan nilai tertentu akan dapat dengan sempurna dihasilkan dan dikirimkan sepanjang *gate* BCCD sampai tiba di *output*. Namun saat besar intensitas cahaya sangat besar, besar *output* yang dihasilkan tidak lagi linear. Daerah dimana keadaan linear antara intensitas cahaya datang terhadap *output* dinamakan daerah linear dan saat *output* yang dihasilkan tidak linear dinamakan daerah saturasi. Titik dimana *output* berubah dari linear menjadi daerah saturasi dinamakan *knee point*. Pada saat intensitas melewati *knee point*, harusnya besar *output* akan tidak berpengaruh lagi terhadap intensitas. Namun yang terjadi pada kenyataannya adalah *output* akan naik lagi secara gradasi. Intensitas yang semakin besar ini, dimana besarnya intensitas mempengaruhi banyaknya elektron yang tergenerate, akan menyebabkan elektron yang dihasilkan melebihi kapasitas maksimum dari pixel (*photodiode well*). Dan akibatnya, elektron akan mengalir ke pixel disebelahnya, dimana rangkaian utuh dari suatu *image sensor* terdiri dari beberapa pixel yang disusun secara berjejer, sehingga akan menyebabkan gambar *output* rusak. Keadaan seperti ini disebut *blooming*.

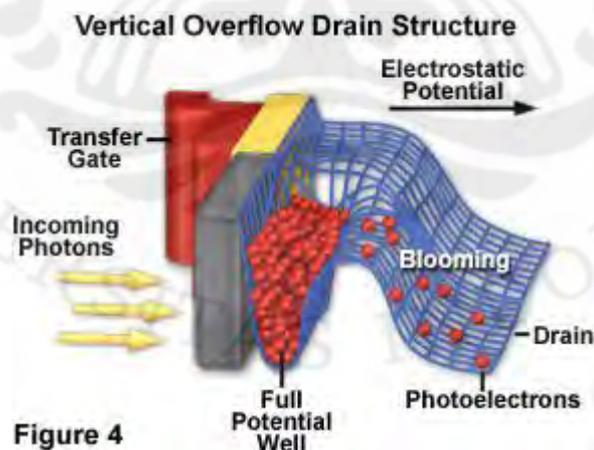
Permasalahan yang menimbulkan fenomena *blooming* terjadi saat *well* pada suatu pixel berlebihan dan melampaui *knee point* dan kondisi operasi berada pada keadaan saturasi. Keadaan saturasi di sini didefinisikan sebagai kondisi *full well capacity* yang direpresentasikan dengan jumlah atau kapasitas muatan maksimal yang terakumulasi pada tiap pixel. Saat saturasi telah terjadi pada tempat pengumpul muatan, penambahan muatan lebih akibat *photogenerated* mengakibatkan adanya *overflow* atau *blooming* elektron berlebih ke *well* yang berdekatan. *Blooming* elektron ini akan bisa dipantulkan di sensor *output*, seperti *range* garis putih pada gambar dan nilai sinyal pixel yang keliru yang menyebabkan *breakdown* pada tahap penguatan *output* dan akhirnya menghasilkan *dark image*. Contoh akibat dari *blooming* diperlihatkan pada Gambar 2.6 [6].



Gambar 2.6. Akibat *blooming* menimbulkan garis gradasi putih[6].

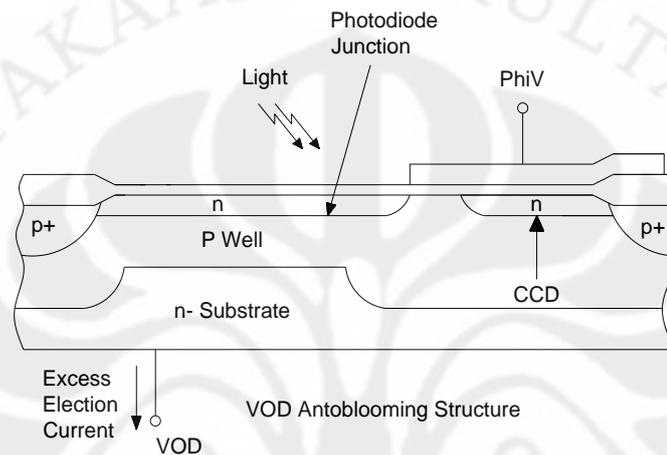
2.3 Vertical Overflow Drain (VOD)

Salah satu cara untuk mengatasi kelebihan elektron yang akan menyebabkan *blooming* adalah dengan membuat saluran tambahan pada divais sehingga elektron berlebih tersebut akan mengalir ke saluran tambahan tersebut sebelum nantinya akan ditransfer ke setiap fasa. Salah satu cara yang digunakan adalah dengan membuat VOD. VOD adalah *drain* tambahan pada CCD yang dapat digunakan untuk mengalirkan elektron berlebih. VOD diletakkan sejajar secara vertikal dengan lapisan substrat BCCD seperti yang terlihat pada Gambar 2.7[6].



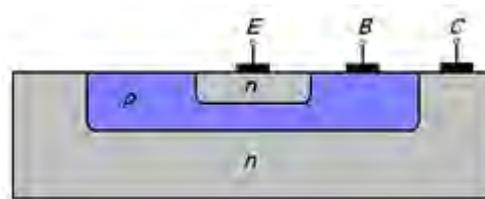
Gambar 2.7. Struktur VOD[6].

Muatan yang terbentuk akibat *photogenerated* akan terkumpul di *photodiode* lapisan tipe-n. Saat elektron yang terkumpul melebihi kapasitas penyimpanan, mereka akan mengalir melalui *p-well* menuju substrat. Terlihat pada Gambar 2.7, muatan berlebih akan mengalir ke bagian bawah substrat. Aliran ini didasarkan pada besarnya potensial listrik yang terjadi antara VOD dan *well* yang memiliki konsentrasi *impurity* yang berbeda, terlihat pada Gambar 2.8[7].



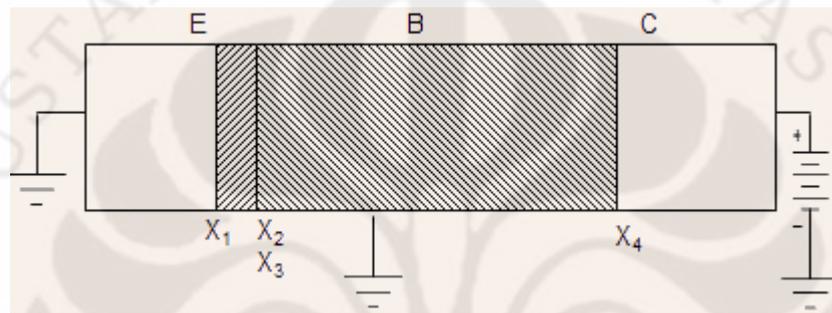
Gambar 2.8. Penampang melintang struktur VOD[7].

Lapisan yang terbentuk antara lapisan tipe-n sebagai *buried channel* (*photodiode junction*), substrat *p-well*, dan substrat tipe-n sebagai VOD tersusun sejajar. Susunan ini bisa dianalogikan sebagai *Bipolar Junction Transistor* (BJT) npn dengan *buried channel* tipe-p sebagai emiter, lapisan *p-well* sebagai basis, dan substrat tipe-n VOD sebagai kolektor seperti yang terlihat pada Gambar 2.9 [8].



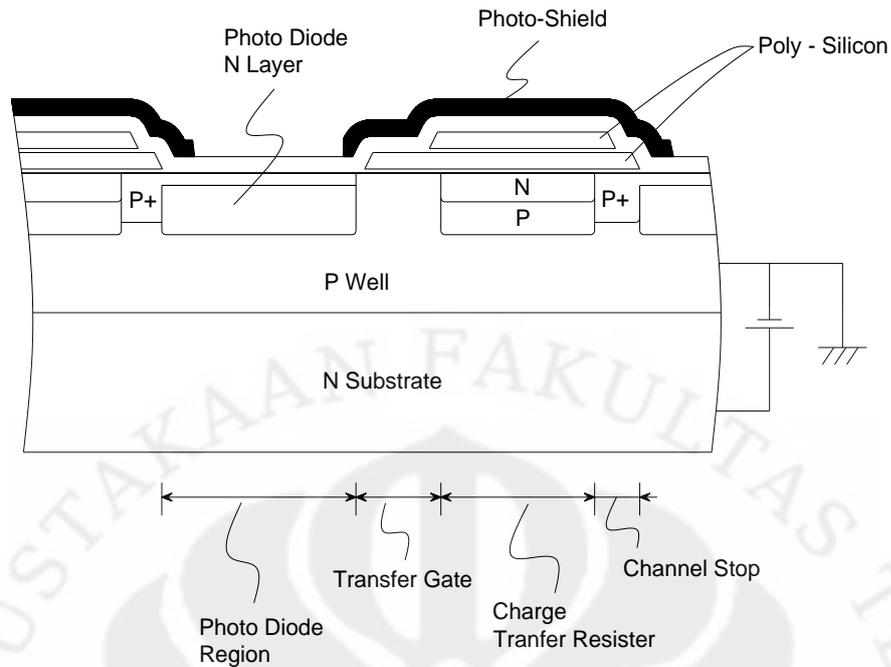
Gambar 2.9. Analogi VOD seperti BJT npn[8].

Muatan yang berlebih dapat mengalir dari lapisan tipe-n ke substrat seperti keadaan *punch-through* dan respon cahaya pada keadaan saturasi seperti yang dijelaskan sebelumnya dapat dianalisa dengan dasar transistor pada karakteristik arus dan tegangan (I-V). Keadaan *punch-through* pada BJT adalah keadaan dimana lebar basis mendekati nol karena daerah deplesi antara emiter-basis dan kolektor-basis saling bersentuhan, dan pada keadaan ini, secara elektrik *junction*-nya *tercoupled*. Ilustrasi yang menggambarkan keadaan *punch-through* terlihat pada Gambar 2.10 [9].



Gambar 2.10. Ilustrasi keadaan *punch-through* pada BJT[9].

Untuk cahaya tampak dan range *near infrared*, transistor direverse bias untuk menyebabkan daerah deplesi yang cukup besar untuk menyediakan pasangan elektron-hole yang akan terbentuk. Besarnya deplesi yang terbentuk antara *p-well* dan substrat tipe-n diatur oleh tegangan luar (tegangan substrat) yang di-reverse bias seperti yang ditunjukkan pada Gambar 2.11 [5].



Gambar 2.11. Struktur VOD yang diberi *reverse bias*[5].

Lebar nya daerah deplesi antara emiter-basis dan kolektor-basis secara berturutan tertulis pada Persamaan 2.12 dan 2.13 [10].

$$x_{nCB} = \left[\frac{2K_S \epsilon_0}{q} \frac{N_C}{N_B(N_C + N_B)} (V_{bi(CB)} - V_{CB}) \right]^{1/2} \quad (2.12)$$

$$x_{nEB} = \left[\frac{2K_S \epsilon_0}{q} \frac{N_E}{N_B(N_E + N_B)} (V_{bi(EB)} - V_{EB}) \right]^{1/2} \quad (2.13)$$

Dengan menjumlahkan Persamaan 2.12 dan 2.13 didapatkanlah total lebar deplesi. Kapasitansi yang terdapat pada *junction* tertulis pada Persamaan 2.14 [10] dimana lebar deplesi yang dibutuhkan adalah jumlah dari deplesi antara emiter-basis dan basis-kolektor.

$$C_{jc} = \frac{\epsilon_0}{(x_{nCB} + x_{nEB})} \quad (2.14)$$

Besarnya tegangan *punch-through* pada *junction* kolektor-basis tertulis pada Persamaan 2.15[9].

$$V_{CB} = \frac{(W_B - x_{nEB})^2}{\frac{2K_S \epsilon_0}{q} \frac{N_C}{N_B(N_C + N_B)}} - V_{bi(CB)} \quad (2.15)$$

Di bawah kondisi konstan tegangan substrat, besar arus *punch-through* tertulis pada Persamaan 2.16[5].

$$I_{PT} = I_0 \exp\left(-\frac{\beta}{\eta} V_{PD}\right) \quad (2.16)$$

Dimana β tertulis pada Persamaan 2.17[5].

$$\beta = \frac{1}{kT/q} = \frac{q}{kT} \quad (2.17)$$

Besar I_0 tergantung pada tegangan substrat dan parameternya. η merupakan faktor non-ideal dimana nilainya merupakan representasi efisiensi basis dan berguna untuk karakteristik jumlah non-linear respon cahaya (PRNL) yang disebabkan desain anti-*blooming*.

Perubahan V_{PD} sebagai fungsi waktu dituliskan pada Persamaan 2.18[5].

$$C_{PD} \frac{dV_{PD}}{dt} = -(I_\lambda - I_{PT}) \quad (2.18)$$

C_{PD} sebagai kapasitansi dari *photodiode* lapisan tipe-n bernilai tetap. Dengan Persamaan 2.16 dan Persamaan 2.18 didapatkan Persamaan 2.19[5]. $V_{PD}(0)$ berarti besar tegangan *photodiode* saat $t=0$. Tegangan ini dikatakan juga sebagai tegangan inisiasi atau tegangan awal.

$$V_{PD} = \frac{\eta}{\beta} \log \frac{I_0}{I_\lambda} \left[\left\{ 1 - \exp\left(-\frac{\beta I_\lambda T_I}{\eta C_{PD}}\right) \right\} + \exp\left\{\frac{\beta}{\eta} \left(V_{PD}(0) - \frac{I_\lambda T_I}{C_{PD}}\right)\right\} \right] \quad (2.19)$$

Pada keadaan linear, muatan akan tersimpan sempurna pada well, sehingga arus *punch-through* yang merepresentasikan elektron yang mengalir ke VOD hampir tidak ada ($I_{PT} \approx 0$), besar tegangan *photodiode* tertulis pada Persamaan 2.19[5].

$$V_{PD} \approx V_{PD}(0) - \frac{I_{\lambda} T_1}{C_{PD}} \quad (2.20)$$

Pada keadaan saturasi, karena hampir semua *photocurrent* menjadi arus *punch-through* ($I_{PT} \approx I_{\lambda}$), tegangan *photodiode* menjadi seperti Persamaan 2.21[5].

$$V_{PD} \approx -\frac{\eta}{\beta} \log I_{\lambda} + \frac{\eta}{\beta} \log I_0 \quad (2.21)$$

2.4 Faktor Non-Ideal

Faktor non ideal (η) merupakan nilai yang merepresentasikan efisiensi basis. Faktor non ideal didapat dengan perbandingan antara variasi tegangan *photodiode* dengan tegangan *breakdown* yang terjadi saat keadaan *punch-through*. Besarnya tegangan *breakdown* dengan menggunakan persamaan Poisson tertulis pada Persamaan 2.22[5].

$$V_{BR} = \frac{u}{2} \frac{1 + \frac{n_d}{n_a}}{n_d \left(1 - \frac{n_d}{n_a}\right)^2} \left[-n_d \left(1 + \frac{n_a}{n_s}\right) d_p + \left(\left\{ n_d \left(1 + \frac{n_a}{n_s}\right) d_p \right\}^2 - n_d \left(1 - \frac{n_a}{n_s}\right) \left\{ -n_a \left(1 + \frac{n_a}{n_s}\right) d_p^2 + \frac{2}{u} (V_s - V_{PD}) \right\} \right)^{1/2} \right]^2 \quad (2.22)$$

Dengan konstanta u tertulis pada Persamaan 2.23[5].

$$u = \frac{q}{\epsilon K} \quad (2.23)$$

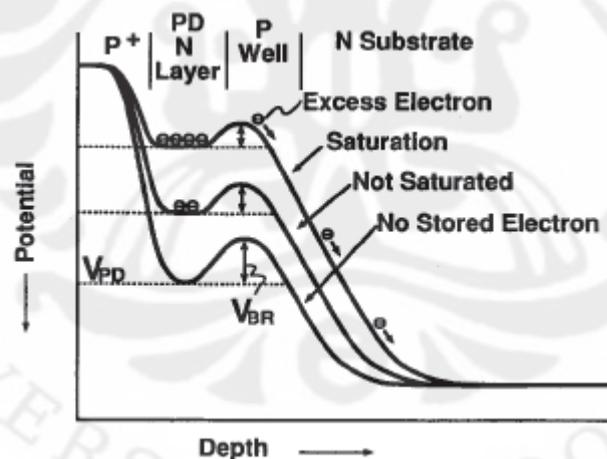
Maka dengan membandingkan tegangan *breakdown* dan tegangan *photodiode*, didapatkan Persamaan 2.24[5].

$$\eta = \frac{\partial V_{BR}}{\partial V_{PD}}$$

$$= \frac{\left(1 - \frac{n_d}{n_s}\right) \left(\left\{ n_d \left(1 + \frac{n_a}{n_s}\right) d_p \right\}^2 - n_d \left(1 - \frac{n_a}{n_s}\right) \left\{ -n_a \left(1 + \frac{n_a}{n_s}\right) d_p^2 + \frac{2}{u} (V_s - V_{PD}) \right\} \right)^{1/2}}{\left(1 - \frac{n_d}{n_s}\right) \left[-n_d \left(1 + \frac{n_a}{n_s}\right) d_p + \left(\left\{ n_d \left(1 + \frac{n_a}{n_s}\right) d_p \right\}^2 - n_d \left(1 - \frac{n_a}{n_s}\right) \left\{ -n_a \left(1 + \frac{n_a}{n_s}\right) d_p^2 + \frac{2}{u} (V_s - V_{PD}) \right\} \right)^{1/2} \right]}$$

(2.24)

Dengan membandingkan η sebagai faktor non-deal dengan arus *punch-through* (Persamaan 2.16) yang merepresentasikan arus yang mengalir ke substrat didapatkan bahwa semakin kecil η maka arus *punch-through* yang dihasilkan semakin besar. Dengan memperhatikan Persamaan 2.24, untuk mengatur besar η dapat dilakukan salah satunya dengan cara mengatur ketebalan dan konsentrasi *impurity* pada *p-well*. Pada Gambar 2.12 [5] diperlihatkan mengalirnya elektron berlebih pada besar V_{PD} dan V_{BR} yang semakin mengecil.



Gambar 2.12. Ilustrasi mengalirnya elektron berlebih pada VOD[5].

Pada Gambar 2.12 menunjukkan variasi tegangan yang menyertai variasi dalam volume elektron yang tersimpan. Dengan semakin banyak elektron yang tersimpan menyebabkan V_{PD} semakin rendah dan V_{BR} berkurang sehingga meningkatkan arus *punch-through*. Dengan melihat Persamaan 2.24, faktor non-ideal dipengaruhi oleh V_{BR} dan V_{PD} sehingga dengan kedua nilai tersebut yang

semakin kecil saat elektron yang tersimpan semakin banyak, nilai η semakin kecil dan arus *punch-through* yang dihasilkan akan meningkat.



BAB 3

PERANCANGAN *VERTICAL OVERFLOW DRAIN* (VOD)

3.1 Pemilihan Substrat VOD BCCD

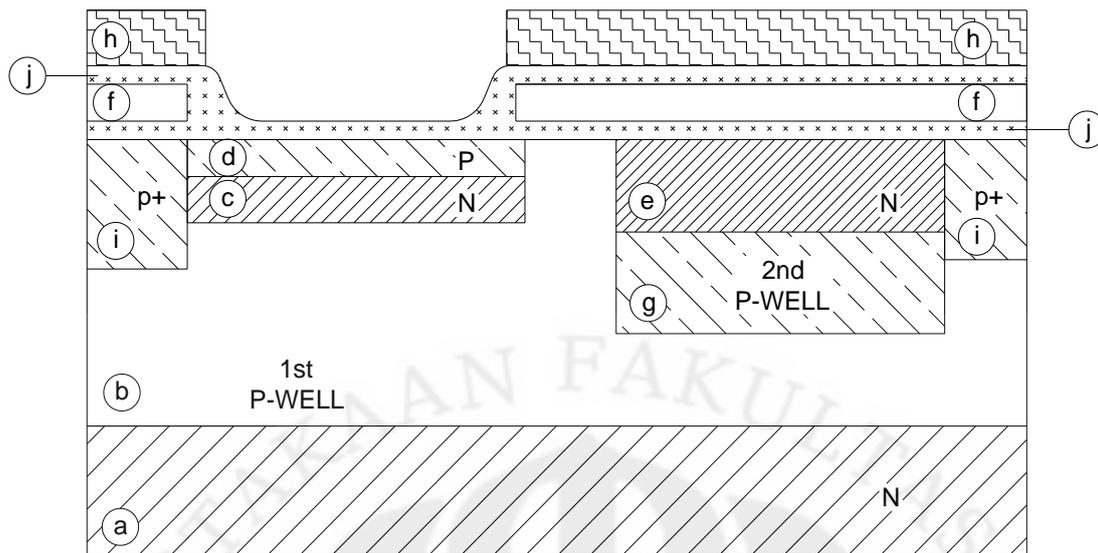
Substrat yang dipilih pada perancangan adalah silikon. Hal ini dikarenakan mudahnya bahan tersebut dalam pengaplikasian struktur divais. Selain itu, dengan *junction* yang terbentuk yaitu *single junction* menghindarkan divais dari masalah misfit yang akan mengganggu ikatan atom dalam divais. Properti yang dimiliki oleh bahan silikon sebagai substrat terangkum dalam Tabel 3.1.

Tabel 3.1. Properti bahan Si

Konsentrasi pembawa intrinsik ($n_{i,s}$)	$1.4 \times 10^{10} \text{ cm}^{-3}$ (T = 300 K)
Konstanta dielektrik (Ks)	11.68
Permitivitas semikonduktor silikon (ϵ_{Si})	1.03×10^{-12} farad/cm
Kecepatan saturasi pada silikon (v_s)	10^7 m/s (T=300K)

3.2 Struktur Divais VOD

Struktur divais yang akan dihadirkan dalam analisis ini adalah berdasarkan penampang melintang (*cross-sectional*) VOD image sensor atau dengan kata lain penggambaran divais secara 2-dimensi. Secara utuh, penampang melintang divais VOD sebagai drain tambahan anti-*blooming* dapat terlihat pada Gambar 3.1 [11]. Gambar 3.1 mirip dengan Gambar 2.11, hanya pada Subbab ini akan lebih dijelaskan kembali.



Gambar 3.1. Penampang melintang VOD[11].

VOD dibentuk pada substrat silikon tipe-n (a) dan pada lapisan atasnya dibentuk lapisan epitaksi *p-well* (b) dengan implantasi ion. Konsentrasi *impurity* lapisan tipe-n dibuat lebih rendah dari tipe-p karena lapisan tipe-p nantinya akan berguna sebagai tempat penampung dan penerus elektron berlebih yang akan terjadi saat divais disinari dengan intensitas yang tinggi, sehingga hanya beberapa elektron saja yang diharapkan akan ditransfer dengan dibatasi kapasitas maksimum pada lapisan tipe-n (c). Penggunaan substrat semikonduktor tipe-n dimaksudkan agar mendapat peningkatan sensitivitas terhadap cahaya merah yang memiliki cahaya tampak dengan panjang gelombang yang panjang dan sensitivitasnya terhadap cahaya *infrared* sangat meningkat [9]. Di atas *p-well*, dibentuk daerah *impurity* tipe-n (c) untuk menyediakan *photodiode* yang berasosiasi dengan lapisan tipe-p (d) sebagai pengumpul *hole* saat divais diberikan sinar dengan intensitas tertentu dari atas bagian lapisan insulator SiO₂ (j) yang tepat berada di atas lapisan tipe-p (d).

Di atas lapisan *p-well* pertama, dibentuk lapisan *p-well* kedua (g) dan lapisan tipe-n (e). Kedua lapisan ini berguna untuk menampung muatan yang telah terbentuk pada *photodiode* sebelumnya, yang terkirim melalui elektroda pengirim (f) yang telah diberikan tegangan eksternal. Lapisan tipe-p+ (i) dengan konsentrasi

impurity yang lebih tinggi dibentuk di sebelahnya untuk menyediakan *stop-well* sebagai lapisan penghalang saat muatan akan dikirimkan ke tiap *gate* yang terbentuk menjadi suatu fasa (tiga fasa, yang telah dijelaskan pada Subbab 2.1.4). Selain itu, lapisan tipe-p+ ini juga digunakan untuk mencegah adanya rekombinasi yang terjadi dengan lapisan oksida dimana keadaan seperti ini adalah salah satu masalah yang menyebabkan jumlah muatan berkurang saat sampai di *output* [3]. Di atas lapisan insulasi, tepatnya di atas elektroda transfer (f) dibuat lapisan pelindung *photo* (h) yang terbuat dari bahan Aluminium (Al). Lapisan ini berfungsi untuk melindungi divais yang tidak dimaksudkan untuk menerima cahaya datang. Hal ini dapat dilihat bahwa lapisan pelindung tidak melapisi atas *photodiode* (c) karena lapisan ini berfungsi sebagai penerima cahaya sebagai *input*.

3.3 Pengaturan Konsentrasi *Impurity* dan Ketebalan Lapisan *P-Well*

Struktur VOD pada divais BCCD bisa disamakan dengan transistor NPN secara vertikal, dengan lapisan tipe-n (Gambar 3.1(c)) sebagai emiter, lapisan *p-well* (Gambar 3.1(b)) sebagai basis, dan lapisan tipe-n terbawah (Gambar 3.1(a)) sebagai kolektor. Keadaan mengalirnya muatan berlebih yang terjadi saat divais dikenakan cahaya sebagai *input* dalam bentuk *photocurrent* dengan intensitas tertentu adalah ketika muatan *input* melebihi kapasitas *photodiode*. Dengan memberikan tegangan substrat pada basis dan kolektor secara *reverse bias* menyebabkan deplesi yang terbentuk antara basis dan kolektor membesar sampai membuat tebal basis menghilang karena besarnya deplesi yang terbentuk. Keadaan ini disebut *punch-through* dan lapisan yang terjadi menjadi emiter, deplesi, dan kolektor. Keadaan seperti ini menyebabkan dapat mengalirnya langsung muatan *input* berlebih dari emiter ke kolektor.

Seperti yang telah disinggung pada Subbab 2.4, faktor yang membatasi terjadinya keadaan *punch-through* yang akhirnya menyebabkan adanya *photocurrent* yang mengalir ke kolektor disebut faktor non-ideal. Faktor non-ideal (η) ini merupakan representasi dari efisiensi basis yang berperan menyebabkan keadaan *punch-through*, bersama dengan tegangan substrat. Oleh karena itu, sesuai dengan Persamaan 2.20, dua hal yang menyebabkan besarnya nilai faktor

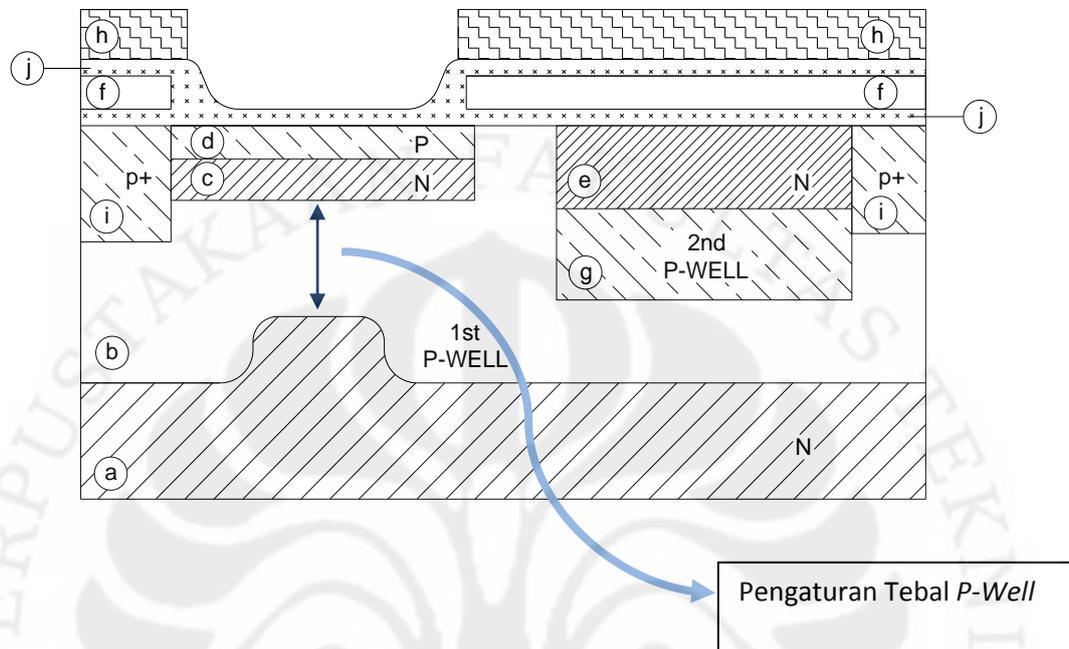
non-ideal (η) adalah ketebalan dan konsentrasi *impurity* lapisan tipe-p sebagai basis. Dengan semakin kecilnya η yang didapat, maka sesuai dengan Persamaan 2.12, arus *punch-through* yang dihasilkan akan semakin besar. Tegangan *photodiode* sebagai fungsi yang berubah berdasarkan intensitas cahaya dalam bentuk *photocurrent* nilainya akan berubah sesuai dengan Persamaan 2.15.

Besarnya tegangan *photodiode* yang merupakan turunan dari Persamaan 2.12 dan Persamaan 2.14 dipengaruhi oleh η sehingga penentuan besarnya *photocurrent* berlebih akan tersaturasi dan mengalir ke kolektor. Oleh karena itulah, pada *research* ini dipilih parameter yang disajikan pada Tabel 3.2 tentang variasi konsentrasi *impurity* dan tebal *p-well* yang nantinya akan menentukan besar η dan besar batas *photocurrent* sebagai representasi muatan *input* yang mengalir ke kolektor sebagai muatan berlebih. Pemilihan besarnya konsentrasi *impurity* dan tebal *p-well* dimaksudkan untuk mendekati nilai yang tercantum pada jurnal pendukung, yaitu 4. Besar konsentrasi *impurity* pun tidak boleh sama dengan konsentrasi *impurity* lapisan tipe-n sebagai emiter dan lapisan tipe-n sebagai kolektor karena akan menyebabkan penurunan rumus pada Persamaan 2.22 menghasilkan nilai nol. Sedangkan konsentrasi *impurity* lapisan tipe-n emiter dan kolektor dijaga tetap, yaitu sebesar $4.6 \times 10^{15} \text{ cm}^{-3}$ dan $4.0 \times 10^{15} \text{ cm}^{-3}$.

Tabel 3.2. Variasi konsentrasi *impurity* dan tebal lapisan *p-well*.

No.	Konsentrasi <i>impurity</i> <i>p-well</i> (cm^{-3})	Tebal <i>p-well</i> (μm)
1.	4.45×10^{15}	0.5
2.	4.40×10^{15}	1.0
3.	4.30×10^{15}	2.0
4.	4.20×10^{15}	3.0
5.	4.10×10^{15}	4.0

Struktur divais yang terjadi saat pembentukan tebal *p-well* yang berbeda dapat dilihat pada Gambar 3.2[11].



Gambar 3.2. Struktur VOD dengan tebal *p-well* (b) di bawah *photodiode* yang bervariasi[11].

PERPUSTAKAAN
UNIVERSITAS INDONESIA

BAB 4

ANALISIS I-V PERBANDINGAN KONSENTRASI *IMPURITY* DAN TEBAL *P-WELL*

4.1 Keadaan *Punch-Through* Pada Divais

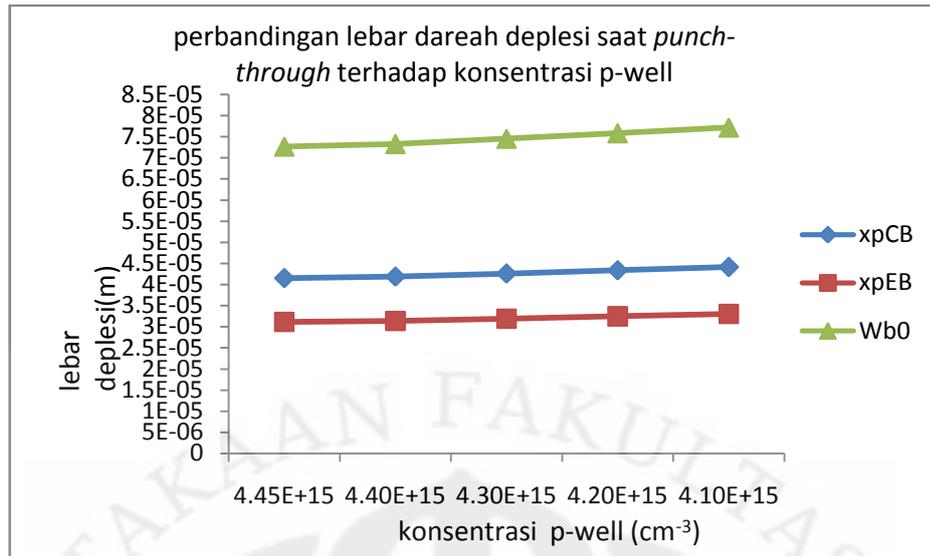
Pemberian catu negatif eksternal antara basis dan kolektor dimaksudkan untuk menimbulkan keadaan *punch-through*. Keadaan *punch-through* adalah keadaan dimana lebar basis menjadi nol akibat deplesi yang terbentuk antara emiter dengan basis dan basis dengan kolektor melebar dan daerah deplesi saling bersentuhan. Dengan diberikan *reverse bias* pada basis-kolektor membuat deplesi yang terbentuk diantara keduanya melebar. Hal ini mengakibatkan lebar basis menjadi nol dan *junction* diantara keduanya saling bersentuhan, seperti tergabung. Dengan keadaan seperti ini, muatan yang direpresentasikan sebagai arus yang berasal dari cahaya *input* dapat mengalir langsung dari lapisan tipe-n sebagai emiter mengalir ke substrate tipe-n sebagai kolektor jika muatan yang terkumpul melebihi kapasitas maksimal *well* pada *photodiode*.

Dari perhitungan yang dilakukan dengan menggunakan Persamaan 2.12 dan Persamaan 2.13, V_{EB} dibuat menjadi nol dengan emiter tidak diberikan tegangan karena dijadikan sebagai *input* cahaya dan V_{CB} diberikan nilai 0.6 V sebagai tegangan substrat untuk memudahkan terbentuknya lapisan deplesi yang sempurna. Lapisan deplesi ini dimaksudkan agar muatan yang terjadi dari proses *photogeneration* menjadi maksimal saat divais dikenakan cahaya *input*. Dari perhitungan didapatkan lebar deplesi yang besarnya melebihi lebar basis, sehingga dengan demikian keadaan *punch-through* telah terpenuhi. Besar tegangan *punch-through* yang terjadi sesuai dengan Persamaan 2.15 dan dari hasil perhitungan besarnya mendekati sama, yaitu 0.6 V. Besar daerah deplesi yang terjadi dapat dilihat pada Tabel 4.1.

Tabel 4.1. Besar deplesi yang terjadi pada keadaan *punch-through*

No.	Konsentrasi <i>impurity p-well</i> (cm^{-3})	x_{peb} (μm)	x_{pcb} (μm)	W_{bo} (μm)	V_{cb} (V_{pt}) (V)
1.	4.45×10^{15}	31.1422	41.508	72.7	6.00E-01
2.	4.40×10^{15}	31.3985	41.863	73.3	6.00E-01
3.	4.30×10^{15}	31.9249	42.591	74.5	6.00E-01
4.	4.20×10^{15}	32.4707	43.346	75.8	6.00E-01
5.	4.10×10^{15}	33.0369	44.131	77.2	6.00E-01

Terlihat pada Gambar 4.1 bahwa lebar deplesi yang dihasilkan pada kelima pengaturan konsentrasi *impurity p-well* menunjukkan bahwa semakin kecil konsentrasi *impurity p-well* deplesi yang terbentuk semakin besar. Dengan semakin rendahnya konsentrasi *impurity doping* pada basis, *junction* yang terjadi semakin besar dan tegangan yang dibutuhkan untuk menjadi suatu batas keadaan *punch-through* dengan lebar emiter dan kolektor yang sama menjadi lebih kecil.



Gambar 4.1. Perbandingan lebar deplesi terhadap konsentrasi *impurity p-well* (basis)

4.2 Total Muatan Pada *Junction* yang Terbentuk

Dengan terjadinya keadaan *punch-through*, lebar daerah deplesi membesar, bahkan cukup besar dari pada lebar basis. Dari perhitungan yang didapat, dengan menjumlahkan lebar deplesi pada Persamaan 2.12 dan Persamaan 2.13, didapatkan total lebar deplesi seperti yang tercantum pada Tabel 4.2. Daerah deplesi yang terjadi menghasilkan suatu daerah untuk terjadi *photogenerated* saat cahaya datang ke divais. *Junction* yang terjadi dengan lebar deplesi pada keadaan *punch-through* pun memiliki kapasitansi yang besarnya sesuai dengan Persamaan 2.14.

Tabel 4.2. Lebar deplesi dan besar kapasitansi yang dihasilkan

Wb0 (μm)	Cjc (Cpd)
72.7	1.21816E-11
73.3	1.20801E-11
74.5	1.18767E-11
75.8	1.16729E-11
77.2	1.14686E-11

4.3 Faktor Non-Ideal Berdasarkan Perbedaan Konsentrasi *Impurity* dan Tebal *P-Well*

Perbandingan tegangan *breakdown* dan tegangan *photodiode* digunakan untuk mencari besar faktor non-ideal dari suatu divais. Faktor non-ideal ini digunakan untuk menentukan besarnya arus *punch-through* yang terjadi. Dari perhitungan yang dilakukan sesuai dengan Persamaan 2.24, faktor non-ideal dihitung dengan memperhatikan tebal serta konsentrasi *impurity* basis. Kedua hal ini yang menjadi variabel untuk menentukan perbedaan arus *punch-through* yang nantinya akan dihasilkan. Besar faktor non-ideal sesuai dengan perbedaan tebal dan konsentrasi *impurity* basis sesuai dengan Tabel 3.2, didapatkan besar faktor non-ideal yang tersaji pada Tabel 4.3.

Tabel 4.3. Faktor non-ideal berdasarkan perbedaan konsentrasi *impurity* dan tebal *p-well*

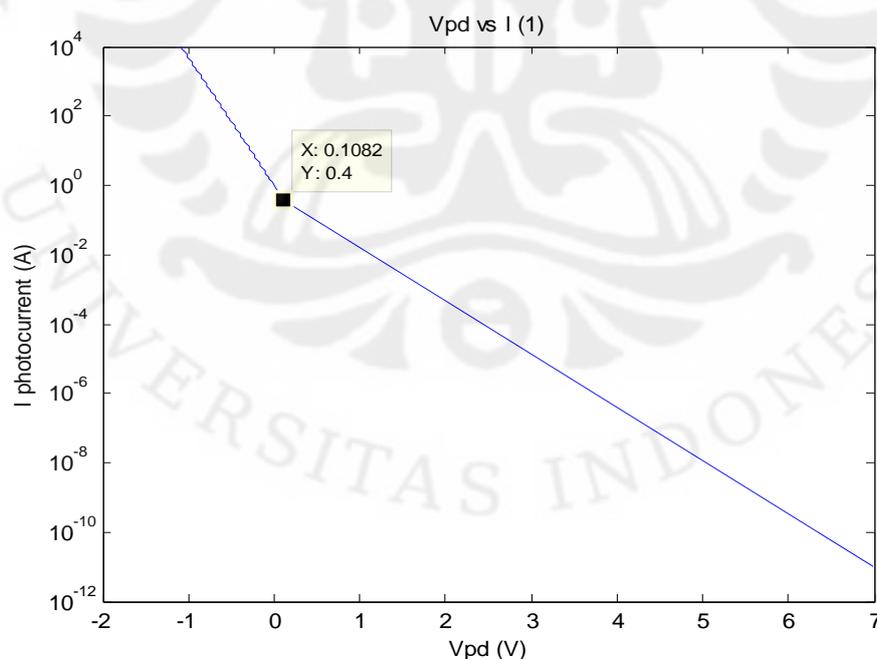
No.	Konsentrasi <i>impurity p-well</i> (cm^{-3})	Tebal <i>p-well</i> (μm)	Faktor non-ideal (η)
1.	4.45×10^{15}	0.5	4.560253
2.	4.40×10^{15}	1.0	3.477105
3.	4.30×10^{15}	2.0	2.431077
4.	4.20×10^{15}	3.0	1.985509
5.	4.10×10^{15}	4.0	1.941193

Terlihat pada Tabel 4.3. semakin kecil konsentrasi *impurity* dan semakin tebal pengaturan *p-well*, nilai faktor non-ideal semakin kecil. Hal ini nantinya akan berpengaruh terhadap besarnya tegangan *photodiode* serta arus *punch-through* yang akan terjadi pada pembahasan selanjutnya.

4.4 Tegangan *Photodiode* Pada Lapisan Tipe-N

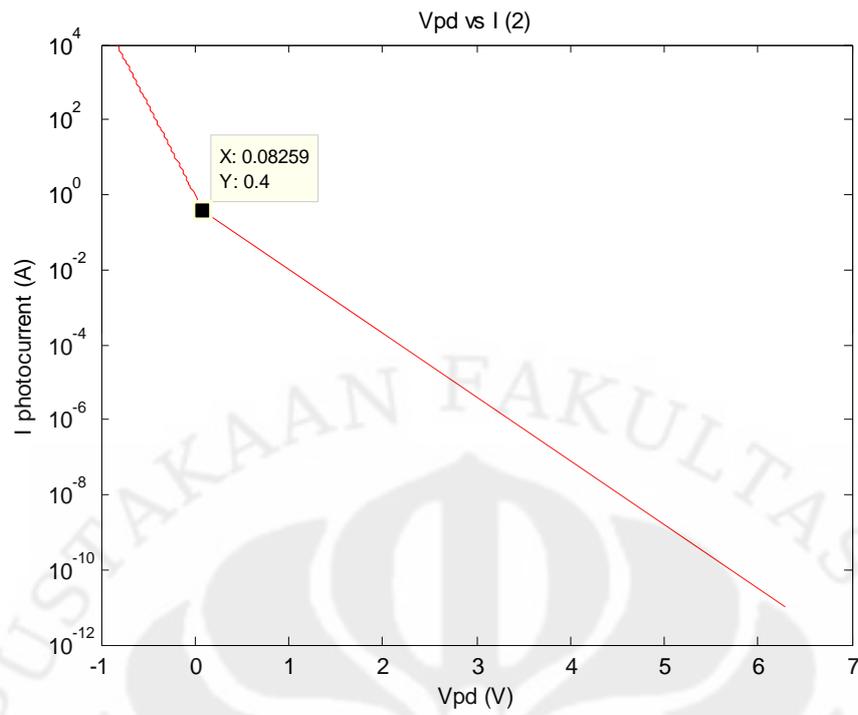
Pada Gambar 3.2 (c), lapisan tipe-n bertindak sebagai penerima rangsang cahaya sebagai *input*. Lapisan tipe-n tersebut, dengan lapisan tipe-p di atasnya, bertindak sebagai *photodiode* yang dapat menampung muatan yang berasal dari proses *generation* pada lapisan deplesi saat keadaan *punch-through* dilakukan pada divais. Dengan menggunakan Persamaan 2.19 didapatkan besar tegangan *photodiode* yang terjadi selama proses pencahayaan pada divais dengan arus cahaya (*photocurrent*) yang merepresentasikan sinyal *input*. Besarnya *exposure time*, yaitu waktu yang dibutuhkan untuk mengumpulkan sinyal *input* sebesar 1/800 detik [12]. Hal ini dimaksudkan untuk menghasilkan gambar yang akurat karena waktu pengambilan yang singkat.

Tegangan $V_{pd}(0)$ pada Persamaan 2.19 adalah tegangan awal sebesar 4 V dimana nilai inisial ini biasa dipakai pada divais *image sensor*[10]. Dengan nilai non-ideal yang didapat pada Tabel 4.3, kurva yang terbentuk antara *photocurrent* dan tegangan *photodiode* berdasarkan Persamaan 2.19 terlihat pada Gambar 4.2.

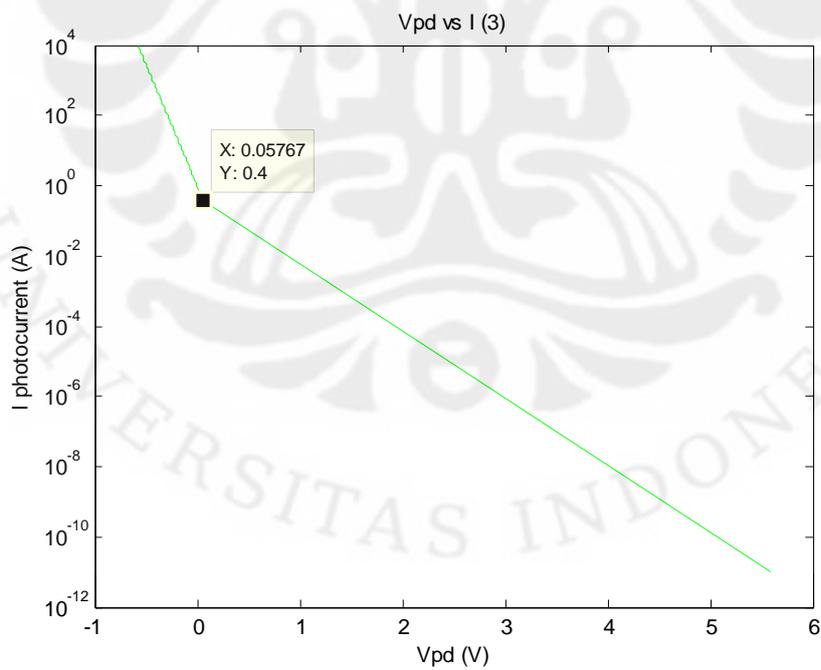


(a)

Gambar 4.2. Grafik antara *photocurrent* dengan tegangan *photodiode*.

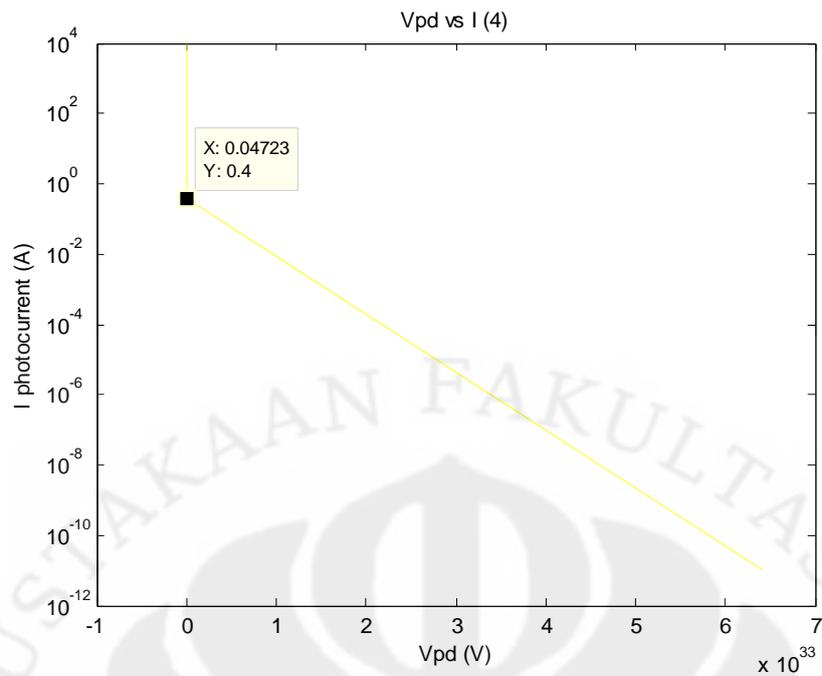


(b)

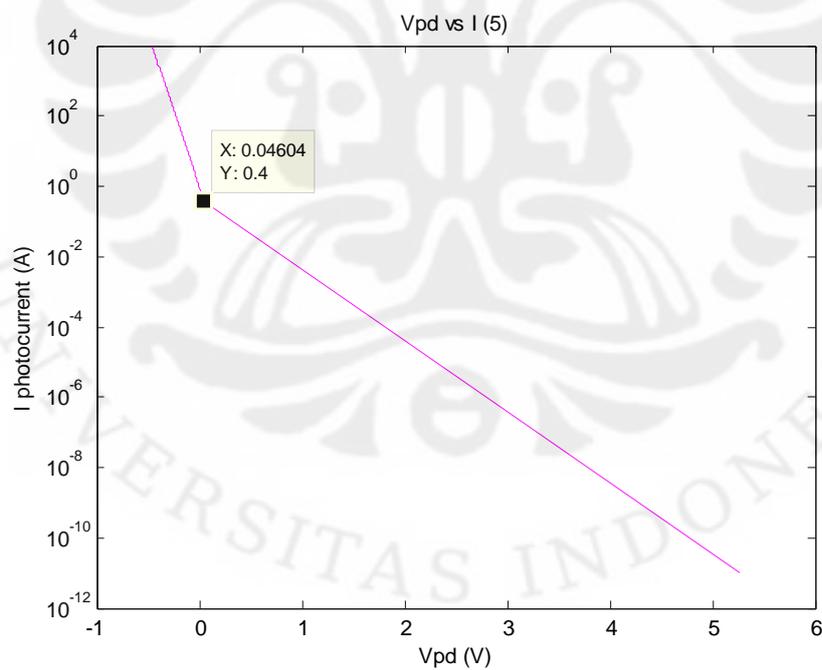


(c)

Gambar 4.2. Grafik antara *photocurrent* dengan tegangan *photodiode* (lanjutan).



(d)



(e)

Gambar 4.2. Grafik antara *photocurrent* dengan tegangan *photodiode* (lanjutan).

Dari kelima bagian Gambar 4.2 terlihat bahwa kurva yang terbentuk memiliki gradien yang negatif. Hal ini dikarenakan saat sinyal *input* yang direpresentasikan dalam *photocurrent* meningkat menyebabkan berkurangnya sensitivitas *photodiode* untuk dapat mengadakan *photogeneration* pada deplesi yang memiliki besar kapasitansi sesuai pada Tabel 4.2.

Pada tahap integrasi pertama, besar tegangan *photodiode* (V_{pd}) menurun secara linear selama beberapa waktu seiring dengan kenaikan *photocurrent*. Penurunan ini merupakan respon terhadap kenaikan intensitas cahaya sebagai *input*. Ipt meningkat secara eksponensial terhadap V_{pd} yang merendah dan V_{pd} kemudian mencapai *knee point* (Subbab 4.2) yang merupakan batas besar tegangan V_{pd} untuk mengalirkan arus yang berlebih. Sampai mencapai *knee point*, titik yang memiliki sudut pada grafik, tegangan *photodiode* menurun drastis dengan kemiringan yang lebih besar dari pada sebelum *knee point*. Titik *knee point* ini merupakan batas tegangan *photodiode* untuk mengalirkan arus yang berlebih. Oleh karena itu, saat intensitas cahaya yang direpresentasikan sebagai *photocurrent* meningkat, tegangan *photodiode* menurun. Besarnya *photocurrent* yang menjadi batas sebesar 0.4 A dengan besar tegangan V_{pd} yang berbeda-beda. Nilai tegangan V_{pd} pada *knee point* yang dihasilkan disajikan dalam Tabel 4.4.

Tabel 4.4. Perbandingan faktor non-ideal dengan V_{pd}

No.	η	V_{pd} (v)
1.	4.560253	0.1082
2.	3.477105	0.08259
3.	2.431077	0.05767
4.	1.985509	0.04723
5.	1.941193	0.04604

4.5 Besar Arus *Punch-Through*

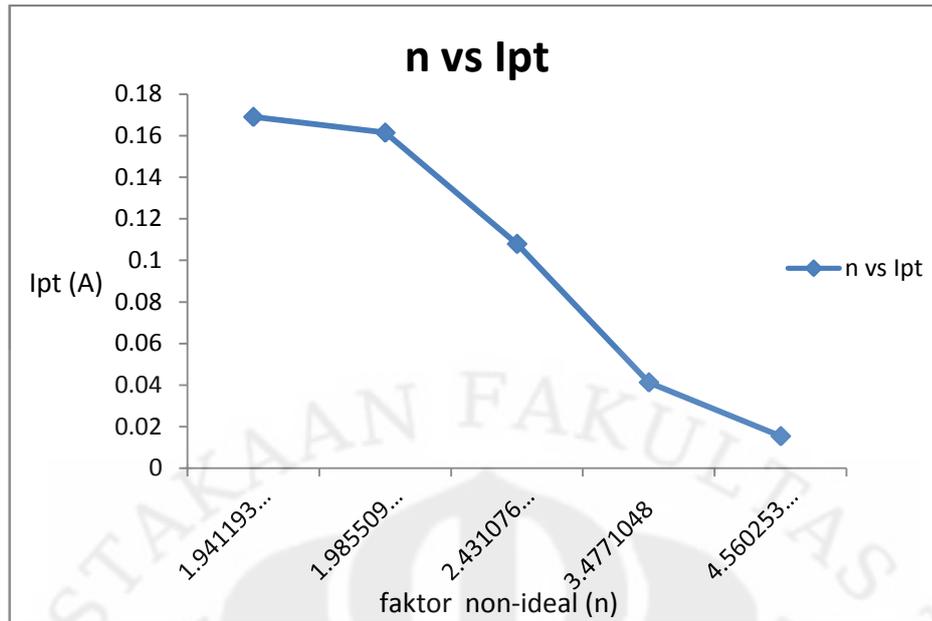
Setelah didapatkan besar tegangan *photodiode* sebagai *knee point*, dapat dicari besar arus *photocurrent* yang dapat dijadikan batas untuk dialirkan ke

substrat tambahan sebagai muatan yang berlebih atau arus *punch-through*. Besar arus *punch-through* yang terjadi dapat dicari dengan menggunakan Persamaan 2.16. Hasil dari perhitungan yang dilakukan tersaji dalam Tabel 4.5.

Tabel 4.5. Arus *punch-through*.

No.	η	V_{VOD} (V)	I _{pt} (A)
1.	4.560253	0.1082	0.015341881
2.	3.477105	0.08259	0.041234942
3.	2.431077	0.05767	0.107915385
4.	1.985509	0.04723	0.16148206
5.	1.941193	0.04604	0.16907378

Tegangan *photodiode* yang didapat dengan mengetahui *knee point* pada Gambar 4.2 merupakan tegangan batas terhadap *photocurrent* yang akan dilewatkan ke substrat tambahan, sebagai arus *punch-through*, dalam usaha pencegahan *blooming*. Tegangan ini merupakan tegangan efektif VOD (V_{VOD}). Semakin kecil tegangan VOD, semakin besar batas arus (arus *punch-through*) yang akan dilewatkan. Hal ini berarti semakin banyak *photocurrent* sebagai representasi sinyal *input* yang dapat ditampung dalam *photodiode*. Perbandingan besar tegangan VOD dengan arus *punch-through* ini juga berasal dari besarnya faktor non-ideal yang telah terukur dengan pengaturan konsentrasi *impurity* dan tebal *p-well*. Dengan melihat grafik pada Gambar 4.3 dapat terlihat bahwa semakin kecil faktor non-ideal maka semakin besar arus *punch-through* yang dijadikan batas mengalirnya muatan berlebih.



Gambar 4.3. Grafik hubungan faktor non-ideal η terhadap Ipt

Dengan demikian, pengaturan konsentrasi *impurity* dan tebal *p-well* berpengaruh pada seberapa besar *photocurrent* yang dapat ditampung oleh *photodiode* sebagai *input* muatan yang akan dialirkan selanjutnya ke elektroda-elektroda BCCD hingga sampai di *output* divais. Semakin kecil faktor non-ideal yang diatur oleh besar konsentrasi *impurity* dan tebal *p-well*, tegangan VOD menjadi kecil dan besar batas arus *punch-through* sebagai arus yang akan dilewatkan ke substrat tambahan menjadi besar. Dengan demikian, penambahan substrat sebagai VOD dengan pengaturan konsentrasi *impurity* dan tebal *p-well* dapat menekan arus berlebih sebagai *input* yang dapat menyebabkan *blooming* pada divais BCCD.

BAB 5

KESIMPULAN

Berdasarkan teori dasar pada BAB 2, perancangan VOD pada BAB 3, serta simulasi dan analisa pada BAB 4, maka dapat diambil beberapa kesimpulan sebagai berikut.

1. Besarnya muatan berlebih yang menimbulkan masalah *blooming* dapat direpresentasikan sebagai arus *punch-through*.
2. Batas besarnya arus *punch-through* dapat diatur dengan faktor non-ideal yang bergantung pada konsentrasi *impurity* serta tebal *p-well*.
3. Dari 5 modifikasi konsentrasi *impurity* dan tebal *p-well* didapatkan bahwa semakin rendah konsentrasi *impurity* dan semakin tebal *p-well*, faktor non-ideal semakin kecil.
4. Semakin kecil faktor non-ideal menyebabkan tegangan VOD semakin kecil dan batas arus *punch-through* semakin besar.

DAFTAR REFERENSI

- [1] Hartato, Djoko., Udhiarto, Arief., “Metal Oxide Semiconductor System”, Modul Kuliah Divais Elektronika, 3 November 2008.
- [2] Sze, S.M., “Physics of Semiconductor Devices”, John Wiley and Son, Inc., 1981.
- [3] Beynon, J D E and Lamb, David Robert, “Charge-Coupled Devices and Their Applications”, 378-419, McGraw-Hill Book Company (UK) Ltd, 1980.
- [4] Howes, M.J., Morgan, D.V., ed., “Charge-Coupled Devices and Systems”, John Wiley and Sons, Ltd., 1980.
- [5] Kawai, Sinichi., Morimoto, Michihiro., et al., “Photo Response Analysis in CCD Image Sensor with a VOD structure”, IEEE Transection on Electron Devices, Vol. 42, No. 4, April 1995.
- [6] Fellers, Thomas J., Davidson, Michael W., “CCD Saturation and Blooming”, <http://learn.hamamatsu.com/articles/ccdsatandblooming.html>, diakses tanggal 27 Desember 2009.
- [7] Stevenx, Eric G, “Photoresponse Nonlinearity of Solid-state Image Sensors with Antiblooming Protection”, IEEE Transections On Electron Devices, Vol. 38, No.2, February 1991.
- [8] http://en.wikipedia.org/wiki/Bipolar_junction_transistor
- [9] -, “Modul 3: BJT part(V) Cutoff Mode”, http://nptel.iitm.ac.in/courses/Webcourse-contents/IIT-Delhi/Semiconductor%20Devices/bjt/BJT_5.htm, diakses tanggal 12 Mei 2010.
- [10] Pierret, Robert F., “ Semiconductor Device Fundamental”, Addison Wesley Longman, 1996.
- [11] Harada, “ Solid-State Imaging Device of A Vertical Overflow Drain System’, U.S. Patent Document, Patent Number 5,898,195., 27 April 1999.
- [12] Oda, Eiji., Ishihara, Yasuo., Teranishi, Nobukazu.,”Blooming Suppresion Mechanism for An Interline CCD Image Sensor With A Vertical Overflow Frain”, IEEE, 1983.

- [13] Kohno, et al., “CCD Image Sensor With Vertical Overflow Drain”. U.S. Patent Document, Patent Number 4,977,584., 11 Desember 1990.
- [14] ECTV, “Efek dari Exposure Time / Kecepatan Rana”,
<http://j4sharing.blogspot.com/2010/01/kamera-efek-dari-exposure-time.html>,
diakses tanggal 26 April 2010.



Lampiran 1 : Tabel perhitungan n terhadap perbedaan konsentrasi dan tebal p-well

Nd (tipe-n atas) (emiter)	Na (p-well) (basis)	Ns (tipe-n bawah) (kolektor)	d (lebar p-well)	n
4.60E+15	4.45E+15	4.00E+15	5.00E-07	4.560253
4.60E+15	4.40E+15	4.00E+15	0.000001	3.477105
4.60E+15	4.30E+15	4.00E+15	2.00E-06	2.431077
4.60E+15	4.20E+15	4.00E+15	0.000003	1.985509
4.60E+15	4.10E+15	4.00E+15	0.000004	1.941193

Lampiran 2 : Tabel perhitungan lebar deplesi dan kapasitansi

Vbi(EB)	Vbi(CB)	Veb	Vsub (cb)	xpEB	xpCB	Wbo	Vcb	C jc
6.57E-01	6.54E-01	0	-0.6	3.11E-05	4.15E-05	7.27E-05	6.00E-01	1.22E-11
6.57E-01	6.53E-01	0	-0.6	3.14E-05	4.19E-05	7.33E-05	6.00E-01	1.21E-11
6.56E-01	6.53E-01	0	-0.6	3.19E-05	4.26E-05	7.45E-05	6.00E-01	1.19E-11
6.56E-01	6.52E-01	0	-0.6	3.25E-05	4.33E-05	7.58E-05	6.00E-01	1.17E-11
6.55E-01	6.51E-01	0	-0.6	3.3E-05	4.41E-05	7.72E-05	6.00E-01	1.15E-11

Lampiran 3 : List program grafik Vpd terhadap I photocurrent pada

Gambar 4.2.

```
clear all;
clc;
```

```
%List program grafik Vpd terhadap Ipt pada Gambar 4.2
```

```
n1 = 4.56;
n2 = 3.48;
n3 = 2.43;
n4 = 1.99;
n5 = 1.94;
```

```
Cpd1 = 1.21816*(10^-11);
Cpd2 = 1.20801*(10^-11);
Cpd3 = 1.18767*(10^-11);
Cpd4 = 1.16729*(10^-11);
Cpd5 = 1.14686*(10^-11);
```

```

I01 = 1;
I02 = 1;
I03 = 1;
I04 = 1;
I05 = 1;

```

```

b = 38.61;
T = 1/800;
Vpdi = 4;

```

```

ilamda0 = (10^-11);
ilamda1 = (10^4);
N = 50000;
dI = (ilamda1-ilamda0)/N;

```

```

for k = 1:N %kondisi 1
    if k==1
        Ilamda(k) = ilamda0;
        Vpd1(k) = (n1/b)*log((I01/Ilamda(k))*((1-(2.718^((-b*Ilamda(k)*T)/(n1*Cpd1))))+(2.718^((b/n1)*(Vpdi-(Ilamda(k)*T/Cpd1))))));
    elseif k<N
        Ilamda(k) = ilamda0 + (k*dI);
        Vpd1(k) = (n1/b)*log((I01/Ilamda(k))*((1-(2.718^((-b*Ilamda(k)*T)/(n1*Cpd1))))+(2.718^((b/n1)*(Vpdi-(Ilamda(k)*T/Cpd1))))));
    else
        Ilamda(k)= ilamda1;
        Vpd1(k) = (n1/b)*log((I01/Ilamda(k))*((1-(2.718^((-b*Ilamda(k)*T)/(n1*Cpd1))))+(2.718^((b/n1)*(Vpdi-(Ilamda(k)*T/Cpd1))))));
    end
end

for l = 1:N %kondisi 2
    if l==1
        Ilambda(l) = ilamda0;
        Vpd2(l) = (n2/b)*log((I02/Ilambda(l))*((1-(2.718^((-b*Ilambda(l)*T)/(n2*Cpd2))))+(2.718^((b/n2)*(Vpdi-(Ilambda(l)*T/Cpd2))))));
    elseif l<N
        Ilambda(l) = ilamda0 + (l*dI);
        Vpd2(l) = (n2/b)*log((I02/Ilambda(l))*((1-(2.718^((-b*Ilambda(l)*T)/(n2*Cpd2))))+(2.718^((b/n2)*(Vpdi-(Ilambda(l)*T/Cpd2))))));
    else
        Ilambda(l)= ilamda1;
        Vpd2(l) = (n2/b)*log((I02/Ilambda(l))*((1-(2.718^((-b*Ilambda(l)*T)/(n2*Cpd2))))+(2.718^((b/n2)*(Vpdi-(Ilambda(l)*T/Cpd2))))));
    end
end
end

```

```

for m = 1:N %kondisi 3
    if m==1
        Ilambbda(m) = ilamda0;
        Vpd3(m) = (n3/b)*log((I03/Ilambbda(m))*((1-(2.718^((-
b*Ilambbda(m)*T)/(n3*Cpd3)))))+(2.718^((b/n3)*(Vpdi-
(Ilambbda(m)*T/Cpd3))))));
    elseif m<N
        Ilambbda(m) = ilamda0 + (m*dI);
        Vpd3(m) = (n3/b)*log((I03/Ilambbda(m))*((1-(2.718^((-
b*Ilambbda(m)*T)/(n3*Cpd3)))))+(2.718^((b/n3)*(Vpdi-
(Ilambbda(m)*T/Cpd3))))));
    else
        Ilambbda(m)= ilamda1;
        Vpd3(m) = (n3/b)*log((I03/Ilambbda(m))*((1-(2.718^((-
b*Ilambbda(m)*T)/(n3*Cpd3)))))+(2.718^((b/n3)*(Vpdi-
(Ilambbda(m)*T/Cpd3))))));
    end
end
end

for o = 1:N %kondisi 4
    if o==1
        Ilambbbbda(o) = ilamda0;
        Vpd4(o) = (n4/b)*log(I04/Ilambbbbda(o))*((1-(2.718^((-
b*Ilambbbbda(o)*T)/(n4*Cpd4)))))+(2.718^((b/n4)*(Vpdi-
(Ilambbbbda(o)*T/Cpd4)))));
    elseif o<N
        Ilambbbbda(o) = ilamda0 + (o*dI);
        Vpd4(o) = (n4/b)*log(I04/Ilambbbbda(o))*((1-(2.718^((-
b*Ilambbbbda(o)*T)/(n4*Cpd4)))))+(2.718^((b/n4)*(Vpdi-
(Ilambbbbda(o)*T/Cpd4)))));
    else
        Ilambbbbda(o)= ilamda1;
        Vpd4(o) = (n4/b)*log(I04/Ilambbbbda(o))*((1-(2.718^((-
b*Ilambbbbda(o)*T)/(n4*Cpd4)))))+(2.718^((b/n4)*(Vpdi-
(Ilambbbbda(o)*T/Cpd4)))));
    end
end
end

for p = 1:N %kondisi 5
    if p==1
        Ilambbbbbbda(p) = ilamda0;
        Vpd5(p) = (n5/b)*log((I05/Ilambbbbbbda(p))*((1-(2.718^((-
b*Ilambbbbbbda(p)*T)/(n5*Cpd5)))))+(2.718^((b/n5)*(Vpdi-
(Ilambbbbbbda(p)*T/Cpd5))))));
    elseif p<N
        Ilambbbbbbda(p) = ilamda0 + (p*dI);
        Vpd5(p) = (n5/b)*log((I05/Ilambbbbbbda(p))*((1-(2.718^((-
b*Ilambbbbbbda(p)*T)/(n5*Cpd5)))))+(2.718^((b/n5)*(Vpdi-
(Ilambbbbbbda(p)*T/Cpd5))))));
    else
        Ilambbbbbbda(p)= ilamda1;
        Vpd5(p) = (n5/b)*log((I05/Ilambbbbbbda(p))*((1-(2.718^((-
b*Ilambbbbbbda(p)*T)/(n5*Cpd5)))))+(2.718^((b/n5)*(Vpdi-
(Ilambbbbbbda(p)*T/Cpd5))))));
    end
end
end

semilogy( Vpd1,Ilamda, 'b-');

```

```
hold on;  
semilogy(Vpd2, Ilambda, 'r-');  
hold on;  
semilogy(Vpd3, Ilambda, 'g-');  
hold on;  
semilogy(Vpd4, Ilambda, 'y-');  
hold on;  
semilogy(Vpd5, Ilambda, 'm-');  
hold on;  
grid on;
```

