



**UNIVERSITAS INDONESIA**



**OPTIMASI DIFFERENSIAL OPERASIONAL AMPLIFIER CMFB  
DENGAN VDD 1 VOLT DAN *SLEW RATE* 1500 mV/nS**

**SKRIPSI**

**NURYADI**

**08 06 36 6182**

**FAKULTAS TEKNIK  
PROGRAM STUDI TEKNIK ELEKTRO  
DEPOK  
DESEMBER, 2010**



**UNIVERSITAS INDONESIA**

**OPTIMASI DIFFERENSIAL OPERASIONAL AMPLIFIER CMFB  
DENGAN VDD 1 VOLT DAN *SLEW RATE* 1500 mV/nS**

**SKRIPSI**

**Diajukan untuk melengkapi  
sebagian persyaratan menjadi sarjana teknik**

**NURYADI**

**08 06 36 6182**

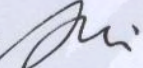
**FAKULTAS TEKNIK  
PROGRAM STUDI TEKNIK ELEKTRO  
DEPOK  
DESEMBER, 2010**

## HALAMAN PERNYATAAN ORISINALITAS

Skripsi ini adalah hasil karya saya sendiri,  
dan semua sumber baik yang dikutip maupun dirujuk  
telah saya nyatakan dengan benar.

Nama : Nuryadi

NPM : 0806366182

Tanda Tangan : 

Tanggal : 17 Desember 2010

## HALAMAN PENGESAHAN

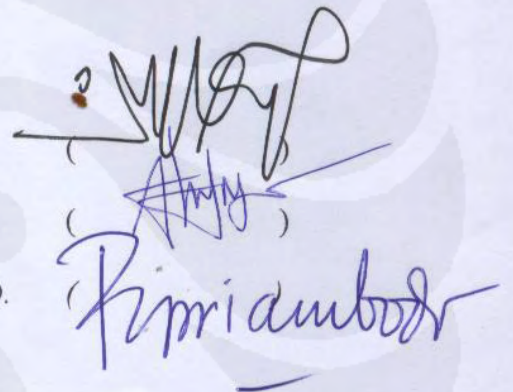
Skripsi ini diajukan oleh:

Nama : Nuryadi  
NPM : 0806366182  
Program Studi : Teknik Elektro  
Judul : Optimasi Differensial Operasional  
Amplifier CMFB Dengan Vdd 1 volt dan  
*Slew Rate* 1500 mv/ns

Telah berhasil dipertahankan di hadapan Dewan Penguji dan diterima sebagai bagian persyaratan yang diperlukan untuk memperoleh gelar Sarjana Teknik pada Program Studi Teknik Elektro, Fakultas Teknik, Universitas Indonesia

### DEWAN PENGUJI

Pembimbing : Dr. Ir. Agus Santoso Tamsir ,MT.  
Penguji 1 : Prof. Ir. Harry Sudibyo ,M,Sc. Ph,D.  
Penguji 2 : Ir. Purnomo Sidi Priambodo ,M,Sc. Ph,D.



Handwritten signatures of the examiners and supervisor, including the name Purnomo Sidi Priambodo.

Ditetapkan di : Depok

Tanggal : 29 Desember 2010

## KATA PENGANTAR

Puji syukur penulis sampaikan kepada Allah SWT atas segala Karunia dan Rahmat-Nya sehingga skripsi ini dapat terselesaikan. Penulis mengucapkan terima kasih kepada:

### **Dr.Ir.Agus Santoso Tamsir MT**

Sebagai dosen pembimbing yang telah meluangkan waktunya untuk memberikan arahan, bimbingan dan diskusi sehingga seminar ini dapat terselesaikan dengan baik. Penulis juga mengucapkan terima kasih kepada:

1. Bapak, ibu, kakak dan adikku atas segala dukungan moril dan materil yang telah diberikan.
2. Untuk kawan tercinta Alto dan Anita tanpa kalian semuanya tidak akan seindah ini.
3. Rekan-rekan elektro ekstensi angkatan 2008.
4. Seluruh civitas akademika Departemen Elektro Universitas Indonesia yang tidak dapat disebutkan satu persatu.

**HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI SKRIPSI  
UNTUK KEPENTINGAN AKADEMIS**

---

Sebagai sivitas akademik Universitas Indonesia, saya yang bertanda tangan di bawah ini:

Nama : Nuryadi  
NPM : 0806366182  
Program Studi : Teknik Elektro  
Fakultas : Teknik  
Jenis karya : Skripsi

Demi pengembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia **Hak Bebas Royalti Noneksklusif (*Non-Exclusive Royalty-Free Right*)** atas karya ilmiah saya yang berjudul:

Optimasi Differensial Operasional Amplifier CMFB Dengan Vdd 1 volt dan *Slew Rate* 1500 mV/nS

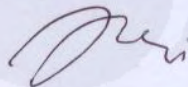
Beserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Indonesia berhak menyimpan, mengalih media/formatkan, mengelola dalam bentuk pangkalan data (database), merawat, dan mempublikasikan skripsi saya tanpa meminta izin dari saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di: Depok

Pada tanggal: 29 Desember 2010

Yang menyatakan



(Nuryadi)

## ABSTRAK

Nama : Nuryadi  
Program Studi : Teknik Elektro  
Judul : Optimasi Differensial Operasional Amplifier CMFB Dengan Vdd 1 volt dan *Slew Rate* 1500 mV/nS

Skripsi ini membahas tentang perancangan optimasi dan analisis keluaran dari sebuah *fully differential operational amplifier two stage* dengan CMFB untuk menghasilkan *slew rate* tinggi. *Fully differential operational amplifier* memiliki beberapa kelebihan yaitu gain loop terbuka dapat dilakukan dalam dua tingkat yang berbeda sehingga mengurangi kekompleksan rangkaian oleh karena itu seringkali dijadikan pilihan utama dalam perencanaan rangkaian terpadu modern. Variasi optimasi pada skripsi kali ini adalah melakukan perbandingan perubahan nilai width (W) di M1p, M2n, M3p, M4n M5n pada PMOS/NMOS dengan range 20/10 sampai 100/80 dan length (L) = 1 ( dalam satuan  $\lambda = 50$  nm ) , range tersebut bertujuan untuk mengetahui seberapa besar pengaruhnya terhadap Ib ( arus bias) pada rangkaian buffer serta perubahan nilai resistansi pada Rf1, Rf2 , Ri1 dan Ri2 dengan range 100-900 ohm pada rangkaian differensial dan menggunakan teknologi CMOS 50 nm dalam proses pabrikasi. Pada prinsipnya semakin tinggi nilai *slew rate fully differential op-amp two stage* maka akan semakin baik karakteristik op-amp untuk di gunakan dalam aplikasi. Pada skripsi didapat nilai optimasi *slew rate* mencapai 1500 mV/nS dengan sumber tegangan VDD 1 volt.

Kata kunci:

Slew rate, OP-AMP, CMFB, Winspice, Penguat Operasional Differensial Penuh two stage

## ABSTRACT

Name : Nuryadi  
Study Program : Electrical Engineering  
Title : Optimization of Differential Operational Amplifier With CMFB  
Vdd 1 volt and Slew Rate 1500 mV/nS

This final project discusses the design optimization and analysis of the output of a fully differential two-stage operational amplifier with CMFB to produce high Slew Rate. Fully differential operational amplifiers have several advantages, namely open-loop gain can be done in two different levels, thereby reducing the circuit complexity is therefore often used as a primary choice in modern integrated circuit design. Variations of optimization in this thesis is to compare changes in the value of  $W$  in  $M1p$ ,  $M2N$ ,  $M3p$ ,  $M4n$   $M5n$  the PMOS / NMOS with a range 20/10 until 100/80 and  $L = 1$  (in units of  $\lambda = 50$  nm), the range is aimed to know how big influence on  $I_b$  (bias current) on a series of buffers and changes in resistance value at  $R_{f1}$ ,  $R_{f2}$ ,  $R_{i1}$  and  $R_{i2}$  with a range of 100-900 ohms in series of differential and using 50 nm CMOS technology in the manufacturing process. . In principle, more high slew rate of the fully differential two-stage op-amp, characteristics of the op-amp is more better using in applications. In this final project got value optimization slew rate up to 1,500 mV / ns with 1 volt voltage source VDD.

Keywords:

Slew rate, the OP-AMP, CMFB, Winspice, Fully Differential Operational Amplifier two stage



## DAFTAR ISI

HALAMAN JUDUL .....	i
HALAMAN PERNYATAAN ORISINALITAS .....	ii
LEMBAR PENGESAHAN.....	iii
KATA PENGANTAR .....	iv
HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI SKRIPSI UNTUK KEPENTINGAN AKADEMIS .....	v
ABSTRAK .....	vi
ABSTRACT .....	vii
DAFTAR ISI .....	viii
DAFTAR TABEL .....	x
DAFTAR GAMBAR .....	xi
DAFTAR LAMPIRAN .....	xiii
BAB 1 PENDAHULUAN .....	1
1.1 Latar Belakang .....	1
1.1.1 Perumusan Masalah .....	1
1.1.2 Tujuan Peneliiian .....	2
1.2 Batasan Masalah.....	3
1.3 Sistematika Penulisan .....	3
BAB 2 LANDASAN TEORI .....	4
2.1 Konsep Kerja CMOS.....	4
2.1.1 Strukur MOS .....	4
2.2 Transistor MOSFET .....	7
2.2.1 MOSFET Depletion-mode .....	7
2.2.2 MOSFET Enhancement-mode .....	10
2.2.3 Mode Operasi lain pada MOSFET .....	12
2.2.4 Simbol Transistor MOSFET .....	15
2.3 Transistor CMOS .....	18
2.4 Konsep Kerja OP-AMP .....	19
2.4.1 Karakteristik Ideal Penguat Operasional.....	20
2.4.2 Penguatan Tegangan Lingkar Terbuka .....	20
2.4.3 Tegangan Ofse Keluaran .....	21
2.4.4 Hambatan Masukan .....	21
2.4.5 Hambatan Keluaran .....	22
2.4.6 Lebar Pita .....	22
2.4.7 Waktu Tanggap.....	22
2.4.8 Karakterisik Terhadap Suhu .....	23
BAB 3 PERANCANGAN RANGKAIAN OPTIMASI SLEW RATE PADA FULL DIFFERENSIAL OPAMP 2 STAGE .....	24
3.1 Desain Rancangan Rangkaian Full Differensial-OpAmp two stage .....	24
3.1.1 Diagram Blok Rangkaian Full Differensial-OpAmp two stage .....	24
3.1.2 Rangkaian Full Differensial Amplifier ( Rangkaian Uji Utama) .....	25
3.2 Metode Simulasi dengan Program WinSpice Versi 3 .....	28

BAB 4 HASIL DAN ANALISIS DATA HASIL SIMULASI .....	31
4.1 Hasil dan Analisis Data Uji Simulasi Slew Rate.....	31
4.1.2 Nilai Slew Rate dengan W/L pada PMOS 20/1 dan NMOS 10/1 ..	31
4.1.3 Nilai Slew Rate dengan W/L pada PMOS 40/1 dan NMOS 20/1 ..	33
4.1.4 Nilai Slew Rate dengan W/L pada PMOS 60/1 dan NMOS 40/1 ..	35
4.1.5 Nilai Slew Rate dengan W/L pada PMOS 80/1 dan NMOS 60/1 ..	37
4.1.6 Nilai Slew Rate dengan W/L pada PMOS 100/1 dan NMOS 80/1	39
4.2 Hasil Optimasi Slew Rate Terbaik .....	40
4.3 Uji Slew Rate Pada Batas Resistansi Terkecil .....	44
BAB 5 KESIMPULAN DAN SARAN .....	49
DAFTAR ACUAN .....	51
DAFTAR PUSTAKA.....	52
LAMPIRAN .....	54

## DAFTAR TABEL

Tabel 2.1	Nilai Parameter untuk desain analog menggunakan proses CMOS kanal pendek. Parameter hanya valid untuk VDD = 1V dengan faktor skala 50nm .....	6
Tabel 3.1	Percobaan Pertama .....	29
Tabel 3.2	Percobaan kedua .....	30
Tabel 3.3	Percobaan ketiga .....	30
Tabel 3.4	Percobaan keempat .....	30
Tabel 3.5	Percobaan kelima .....	30
Tabel 4.1	Nilai Slew Rate dengan W/L pada PMOS 20/1 dan NMOS 10/1 untuk beberapa kombinasi perubahan resistansi pada percobaan pertama .....	32
Tabel 4.2	Nilai Slew Rate dengan W/L pada PMOS 40/1 dan NMOS 20/1 untuk beberapa kombinasi perubahan resistansi pada percobaan kedua .....	33
Tabel 4.3	Nilai Slew Rate dengan W/L pada PMOS 60/1 dan NMOS 40/1 untuk beberapa kombinasi perubahan resistansi pada percobaan ketiga .....	35
Tabel 4.4	Nilai Slew Rate dengan W/L pada PMOS 80/1 dan NMOS 60/1 untuk beberapa kombinasi perubahan resistansi pada percobaan keempat .....	37
Tabel 4.5	Nilai Slew Rate dengan W/L pada PMOS 100/1 dan NMOS 80/1 untuk beberapa kombinasi perubahan resistansi pada percobaan kelima .....	39
Tabel 4.6	Perbandingan Parameter Dari Nilai Slew Rate Terbaik .....	41

## DAFTAR GAMBAR

Gambar 2.1	<i>Struktur MOS</i> .....	4
Gambar 2.2	<i>Length dan Width</i> dari Transistor MOS .....	5
Gambar 2.3	<i>Struktur MOSFET depletion-mode</i> .....	8
Gambar 2.4	<i>Penampang D-MOSFET (depletion-mode)</i> .....	9
Gambar 2.5	<i>Kurva drain transistor MOSFET depletion-mode</i> .....	9
Gambar 2.6	<i>Struktur MOSFET enhancement-mode</i> .....	10
Gambar 2.7	<i>Penampang E-MOSFET (enhancement-mode)</i> .....	11
Gambar 2.8	<i>Kurva drain E-MOSFET</i> .....	12
Gambar 2.9	<i>Kurva Mode Invers Lemah pada MOSFET</i> .....	13
Gambar 2.10	<i>Kurva Irisan MOSFET dalam noda linier</i> .....	14
Gambar 2.11	<i>Kurva Irisan MOSFET dalam noda aktif</i> .....	14
Gambar 2.12	<i>Simbol MOSFET, (a) kanal-n (b) kanal-p</i> .....	16
Gambar 2.13	<i>Simbol transistor (a)NMOS (b)PMOS tipe depletion mode</i> .....	16
Gambar 2.14	<i>Simbol transistor (a)NMOS (b)PMOS tipe enhancement mode</i> .....	16
Gambar 2.15	<i>Gerbang NOT Inverter MOS</i> .....	17
Gambar 2.16	<i>Gerbang NAND transistor MOS</i> .....	17
Gambar 2.17	<i>Gerbang NOR transistor MOS</i> .....	18
Gambar 2.18	<i>Gerbang NOT inverter CMOS</i> .....	18
Gambar 2.19	<i>Diagram Diff-OpAmp</i> .....	19
Gambar 3.1	Diagram Blok Rangkaian Utama secara umum .....	24
Gambar 3.2	Rangkaian <i>Fully differential op-amp two stage</i> dengan CMFB yang akan dioptimalisasi .....	25
Gambar 3.3	Rangkaian dasar <i>two stage full differential op-amp</i> .....	26
Gambar 3.4	<i>Fully Differential Op-amp</i> dalam Keadaan Setimbang .....	27
Gambar 3.5	Netlist Program Kontrol masukan pulsa tegangan ( $V_{ip}$ ), common-mode ( $V_{cm}$ ) dan plot keluaran pada Winspice versi 3 .....	29
Gambar 3.6	Netlist Program Winspice Kontrol perubahan Resistansi di $R_{f1}$ , $R_{f2}$ , $R_{i1}$ dan $R_{i2}$ pada differensial op-amp .....	29
Gambar 3.7	Netlist Program Winspice Kontrol perubahan nilai W di $M_{1p}$ , $M_{2n}$ , $M_{3p}$ , $M_{4n}$ $M_{5n}$ pada rangkaian buffer.....	29
Gambar 4.1	Grafik Perubahan Slew Rate dengan W/L pada PMOS 20/1 dan NMOS 10/1 untuk beberapa kombinasi perubahan resistansi .....	32
Gambar 4.2	Grafik Perubahan Slew Rate dengan W/L pada PMOS 40/1 dan NMOS 20/1 untuk beberapa kombinasi perubahan resistansi .....	34
Gambar 4.3	Grafik Perubahan Slew Rate dengan W/L pada PMOS 60/1 dan NMOS 40/1 untuk beberapa kombinasi perubahan resistansi .....	36
Gambar 4.4	Grafik Perubahan Slew Rate dengan W/L pada PMOS 80/1 dan NMOS 60/1 untuk beberapa kombinasi perubahan resistansi .....	38
Gambar 4.5	Grafik Perubahan Slew Rate dengan W/L pada PMOS 100/1 dan NMOS 80/1 untuk beberapa kombinasi perubahan resistansi .....	40
Gambar 4.6	Hasil simulasi Slew Rate dengan W/L di $M_{1p}$ , $M_{2n}$ , $M_{3p}$ , $M_{4n}$ dan $M_{5n}$ pada PMOS 20/1 dan NMOS 10/1 untuk resistansi di $R_{f1}$ , $R_{f2}$ , $R_{i1}$ dan $R_{i2}$ bernilai 100 ohm (a) sinyal operasi keluaran $V_{op}$ dan $V_{om}$ (b) selisih sinyal operasi keluaran dari $V_{op}$ dan $V_{om}$ 42	

Gambar 4.7	Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 40/1 dan NMOS 20/1 untuk resistansi Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm (a) sinyal operasi keluaran Vo <sub>p</sub> dan Vo <sub>m</sub> (b) selisih sinyal operasi keluaran dari Vop dan Vom .....	43
Gambar 4.8	Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi Rf1, Rf2, Ri1 dan Ri2 bernilai 25 ohm (a) sinyal operasi keluaran Vo <sub>p</sub> dan Vo <sub>m</sub> (b) selisih sinyal operasi keluaran dari Vop dan Vom .....	45
Gambar 4.9	Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi Rf1, Rf2, Ri1 dan Ri2 bernilai 50 ohm (a) sinyal operasi keluaran Vo <sub>p</sub> dan Vo <sub>m</sub> (b) selisih sinyal operasi keluaran dari Vop dan Vom .....	46
Gambar 4.10	Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi Rf1, Rf2, Ri1 dan Ri2 bernilai 75 ohm (a) sinyal operasi keluaran Vo <sub>p</sub> dan Vo <sub>m</sub> (b) selisih sinyal operasi keluaran dari Vop dan Vom .....	47

## DAFTAR LAMPIRAN

- Lampiran 1. Hasil Simulasi Keseluruhan Uji Slew Rate dengan perubahan W di  
M1p, M2n, M3p, M4n M5n resistansi di Rf1, Rf2, Ri1 dan Ri2 ..... 54
- Lampiran 2. Netlist Program Winspice Uji Slew Rate ..... 80

# **BAB 1**

## **PENDAHULUAN**

### **1.1 Latar Belakang**

#### **1.1.1 Perumusan Masalah**

Dalam pengoperasian pesawat elektronika membutuhkan tegangan listrik searah (DC) ataupun tegangan listrik bolak-balik (AC) untuk bekerja. Sumber tegangan DC yang banyak digunakan adalah baterai, hal ini karena kepraktisannya dan mudah didapat dibandingkan tegangan dari PLN. Pesawat elektronika yang membutuhkan daya besar tentunya pemakaian baterai tidak hemat maka diperlukan pesawat pencatu daya untuk mengganti baterai tersebut. Pada pesawat pencatu daya mula-mula tegangan listrik bolak-balik (AC) diturunkan taraf tegangannya sampai harga yang diperlukan dengan menggunakan transformator kemudian tegangan itu disearahkan dengan dioda. Tegangan hasil penyearahan dioda tersebut diratakan kembali dengan kapasitor elektrolit sehingga dihasilkan tegangan DC yang benar-benar rata. Sering dijumpai dalam penggunaan pesawat pencatu daya juga terbatas pada tegangan keluaran transformator yang ada, apabila tegangan pada transformator tidak mencukupi maka pencatu daya tersebut tidak bisa lagi mensuplay tegangan pada pesawat elektronika. Hal ini menyebabkan catu daya perlu diganti terutama transformator yang menghasilkan tegangan keluaran yang besar. Untuk mendapatkan tegangan sekunder yang besar maka ukuran transformator menjadi lebih besar dan memerlukan biaya yang mahal, sehingga diperlukan pesawat untuk menghasilkan tegangan keluaran yang lebih besar yaitu pesawat pengganda tegangan yang menghasilkan tegangan dua kali tegangan masukan. Pegganda tegangan ini memanfaatkan prinsip pengisian dan pengosongan kapasitor. Seiring dengan perkembangan teknologi yang semakin pesat yaitu dengan ditemukannya rangkaian terintegrasi (integrated circuit, IC) yang memudahkan manusia dalam merancang pesawat elektronika. Pemanfaatan IC dapat digunakan pada pesawat pengganda tegangan untuk mendapatkan tegangan dua kali tegangan masukan. IC berisi gerbang-gerbang logika yang dapat dirancang untuk menghasilkan gelombang (multivibrator) untuk dapat melakukan proses pengisian dan pengosongan kapasitor sehingga

didapatkan tegangan keluaran yang lebih tinggi dari tegangan masukan. IC menurut strukturnya kebanyakan yang digunakan adalah IC monolitik yang terbagi dalam dua teknologi yaitu teknologi bipolar dan teknologi MOS. Teknologi bipolar menggunakan transistor dalam pembuatannya, yang termasuk dalam teknologi bipolar adalah TTL, ECL, IIL, dan lain-lain. Sedangkan teknologi MOS menggunakan MOSFET dalam pembuatannya, yang termasuk dalam teknologi MOS adalah PMOS, NMOS, dan CMOS. Rangkaian terintegrasi yang sering digunakan dan banyak dijual di pasaran adalah TTL dan CMOS. IC TTL mempunyai tegangan kerja 5V sedangkan IC CMOS tegangan kerjanya 3–15 V. IC TTL mempunyai kemampuan pembebanan arus dari tingkat keluaran yang memungkinkan satu keluaran TTL dapat mendorong 10 masukan TTL yang masing-masing memerlukan arus 1,6 mA untuk menjaga tegangan pada logika 0 dan 40  $\mu$ A pada logika 1, sehingga mempunyai fan out 10. IC CMOS pada masukannya mengambil arus yang kecil baik pada logika 0 maupun logika 1, sehingga kemampuan fan out IC CMOS cukup besar yaitu sekitar 50. Kemampuan pembebanan dan pencatuan arus tingkat keluaran terbatas sekitar 0,5 mA. pengganda tegangan DC menggunakan IC CMOS dengan memberikan tegangan masukan yang besarnya sama.

### 1.1.2 Tujuan Penelitian

Berdasarkan permasalahan di atas maka tujuan yang akan dicapai dalam penelitian ini adalah :

1. Mengetahui dan menganalisa tegangan keluaran dari Differensial Op-Amp CMFB dalam kondisi perbedaan W di buffer dan perubahan W di sinyal CMFB
2. Mengetahui karakteristik Differensial Op-Amp dengan kondisi berbeda pada perubahan Nilai W pada buffer
3. Mengetahui bagaimana cara mensimulasikan Differensial Op-Amp untuk mengetahui optimasi *slew rate*, *lower voltage*, *high speed* yang simetris antara tegangan input dan tegangan output yang berbeda (differential menggunakan WinSpice Versi 3).



## 1.2 Batasan Masalah

Agar tidak terjadi persepsi yang salah dan meluasnya permasalahan, maka hanya akan diteliti tentang perbedaan tegangan keluaran berdasarkan perubahan nilai  $W$  pada rangkaian buffer agar mendapatkan sinyal simetris antara input dan output sehingga di dapatkan nilai *Slew rate* yang di inginkan berdasarkan blok rangkaian Differential Op-Amp dengan bias buffer terbaik dengan Low Voltage.

Adapun batasan-batasan dalam skripsi ini antara lain :

1. CMOS yang digunakan adalah tipe NMOS & PMOS
2. Sinyal masukan tegangan tegangan 300-700mV, Load Capacitor 250 fF dengan target *Slew rate* 1500/ $\mu$ s.
3. Perubahan Nilai  $W$  (width) sesuai pendekatan empiris dengan merubah secara linear pada  $W$  di NMOS=10-80 dan PMOS = 20-100 di buffer dan perubahan nilai resistansi pada batas yang di gunakan yaitu 100-900 ohm.
4. Memakai proses CMOS kanal pendek dengan faktor skala teknologi 50 nm dan  $V_{DD}=1V$  (BSIM4), panjang minimum ( $L$ ) = 1 (dalam satuan  $\lambda = 50$  nm).

## 1.3 Sistematika Penulisan

Bab satu meliputi latar belakang, batasan masalah dan sistematika penulisan. Bab dua menjelaskan teori mengenai prinsip kerja CMOS, transistor MOSFET dan CMOS dan konsep kerja rangkaian differensial op-aamp. Bab tiga adalah perancangan rangkaian optimasi *slew rate* pada full differensial opamp 2 stage dan metode simulasi dengan program winspice versi 3. Bab empat menjelaskan mengenai hasil dan analisis data uji simulasi *slew rate* dan bab kelima kesimpulan kajian optimasi rangkaian uji differensial op-amp dua tahap dari proposal penelitian ini.

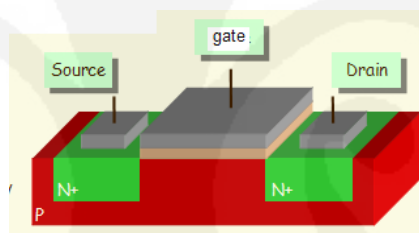
## BAB 2

### LANDASAN TEORI

#### 2.1 Konsep Kerja CMOS

##### 2.1.1 Struktur MOS

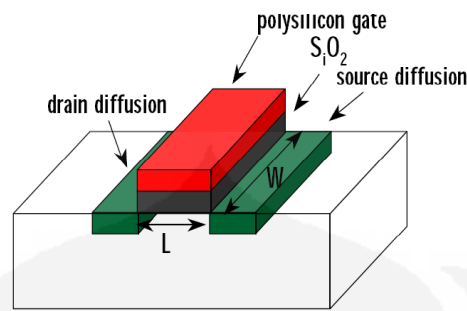
Awal tahun 1962 gate semikonduktor terbuat dari aluminium dimana dikenal dengan nama MOS (Metal Oxyde Semiconductor). Setiap MOS terdiri dari Source, Gate dan Drain. Struktur ini bisa dilihat pada Gambar 2.1 Untuk MOS tipe-P, source akan terhubung dengan sumber tegangan positif atau  $V_{cc}$  dan drain akan terhubung dengan sumber tegangan 0 V atau ground. Sedangkan untuk MOS tipe-N, source akan terhubung dengan sumber tegangan 0 V dan drain terhubung dengan sumber tegangan positif atau  $V_{cc}$ . Gate berfungsi sebagai pengendali aliran tegangan atau dengan kata lain sebagai pengendali switch. Gambar 2.1:



Gambar 2.1 Struktur MOS[1]

Perlu diperhatikan bahwa dalam pembahasan sebelumnya belum pernah disinggung tentang terminal ke-empat dari transistor (selain *gate*, *drain*, dan *source*). Sebenarnya substrat bisa berfungsi sebagai terminal ke-empat dari transistor. Terminal ke-empat ini kadang dikenal sebagai "bulk". Bulk harus dihubungkan ke GND pada transistor NMOS, dan pada dihubungkan ke VDD untuk transistor PMOS agar bisa beroperasi dengan benar.

Unjuk kerja dari transistor ditentukan oleh *length* (L) dan *width* (W) dari transistor. *Length* adalah jarak antara source dan drain. Sedangkan *width* adalah lebar dari gate. Kanal (*length*) yang lebih pendek jaraknya akan memberikan operasi yang lebih cepat dari transistor, karena arus akan mengalir dalam jarak yang lebih pendek. Transistor yang lebih lebar menyediakan arus yang lebih besar, tapi juga memiliki nilai kapasitansi yang lebih besar, oleh karena itu pilihan terbaik dari *width* ini tergantung aplikasinya.



Gambar 2.2 *Length* dan *Width* dari Transistor MOS

$W$  dan  $L$  merupakan dimensi dari sebuah transistor (PMOS&NMOS). Besarnya  $W$  dan  $L$  akan menentukan nilai kapasitansi dari sebuah MOSFET. MOSFET sendiri terdiri dari banyak nilai kapasitansi, ada  $C_{gs}$  (gate-to-source capacitance),  $C_{gd}$  (gate-to-drain capacitance),  $C_{ds}$  (drain-to-source capacitance),  $C_{db}$ ,  $C_{gb}$ ,  $C_{sb}$ ,  $C_{gg}$ , dst. Ambil contoh nilai  $C_{gs}$ ,

$$C_{gs} = \frac{2}{3} \times W \times L \times C_{ox} \quad (2.1)$$

$$C_{gs} + C_{gd} = C_{gg} \quad (2.2)$$

dimana  $W$ =width mosfet ;  $L$ =length mosfet dan  $C_{ox}$ =oxide-capacitance. Untuk persamaan 2.2, nilai ini akan sangat menentukan besarnya resistansi sebuah MOSFET, atau dengan kata lain bisa mengatur nilai  $I_{ds}$  (arus drain-source) dengan memainkan nilai kapasitansi ini.  $I_{ds}$  sangat berpengaruh terhadap besarnya gain MOSFET, gain MOSFET akan menentukan besarnya gain keseluruhan dari divais. Selain nilai kapasitansi, nilai  $W$  dan  $L$  juga akan menentukan nilai transconductance ( $g_m$ ) dari sebuah MOSFET.  $g_m = i_d/V_{gs} = \mu_n \cdot C_{ox} \cdot (W/L) \cdot (V_{gs} - V_{th})$ ,  $g_m$  juga sangat menentukan nilai gain MOSFET. Semakin besar  $L$  akan meningkatkan nilai resistansi CMOS, hal ini tidak diinginkan, karena power disipasinya akan besar. Dalam proses teknologi CMOS 50 nm, lebih baik  $L$  yang digunakan seminimal mungkin, dalam skripsi ini digunakan  $L=1$  dengan  $W$  bisa divariasikan berdasarkan aturan CMOS EDU dengan kanal pendek ( dalam satuan  $\lambda = 50$  nm) dan parameter dasar yang digunakan adalah  $t_{ox}$ ,  $\mu_n$ ,  $\mu_p$ .

Untuk mendapatkan nilai  $g_m$  yang sama, *width* dari PMOS memang biasanya lebih besar dari NMOS karena karakteristik dasar keduanya demikian.

Penggunaan proses teknologi CMOS 50 nm dipilih dengan aturan CMOS-EDU di karenakan keuntungan utamanya adalah penghematan biaya produksi karena jumlah piranti dan rangkaian yang bisa diproses dalam satu area wafer yang sama akan menjadi lebih banyak. Untuk besarnya mobilitas medan elektrik terendah dari hole adalah  $250 \text{ cm}^2/\text{V}\cdot\text{s}$  ( $\mu_p$ ), sementara mobilitas elektron adalah  $600 \text{ cm}^2/\text{V}\cdot\text{s}$  ( $\mu_n$ ).

Oleh karena itu diperlukan modifikasi model MOS lebih lanjut. Tujuan utamanya adalah memodifikasi karakteristik pindah *square-law* MOS klasik pada daerah saturasi atau daerah aktif untuk mendapatkan karakteristik pindah tegangan-arus yang lebih linier. Parameter hasil modifikasi dapat dilihat dalam tabel 2.1.

Tabel 2-1 Parameter untuk desain analog menggunakan proses CMOS kanal pendek. Parameter hanya valid untuk  $V_{DD} = 1\text{V}$  dengan faktor skala  $50\text{nm}$ .<sup>4</sup>

Parameter MOSFET kanal Pendek untuk Perancangan Analog $V_{DD} = 1\text{V}$ dan Faktor Skala $50\text{nm}$ (Skala = $50\text{e-9}$ )			
Parameter	NMOS	PMOS	Keterangan
Arus Bias, $I_D$	$10 \mu\text{A}$	$10 \mu\text{A}$	Perkiraan
W/L	50/2	100/2	Dipilih berdasarkan $I_D$ dan $V_{OV}$
W/L actual	$2,5\mu\text{m}/100\text{nm}$	$5\mu\text{m}/100\text{nm}$	$L_{\text{min}} = 50 \text{ nm}$
$V_{DS\text{sat}}$ dan $V_{SD\text{sat}}$	$50 \text{ mV}$	$50 \text{ mV}$	
$V_{ovn}$ dan $V_{ovp}$	$70 \text{ mV}$	$70 \text{ mV}$	
$V_{GS}$ dan $V_{SG}$	$350 \text{ mV}$	$350 \text{ mV}$	Tanpa <i>Body Effect</i>
$V_{THN}$ dan $V_{THP}$	$280 \text{ mV}$	$280 \text{ mV}$	
$\partial V_{THN,P}/\partial T$	$-0,6 \text{ mV}/\text{C}^\circ$	$-0,6 \text{ mV}/\text{C}^\circ$	Berubah sesuai temperature
$V_{\text{satn}}$ dan $V_{\text{satp}}$	$110 \times 10^3 \text{ m/s}$	$90 \times 10^3 \text{ m/s}$	Dari pemodelan BSIM
$t_{\text{ox}}$	$14 \text{ \AA}$	$14 \text{ \AA}$	Arus tembusan gate $5 \text{ \AA}/\text{cm}^2$
$C'_{\text{ox}} = \epsilon_{\text{ox}}/t_{\text{ox}}$	$25 \text{ fF}/\mu\text{m}^2$	$25 \text{ fF}/\mu\text{m}^2$	$C_{\text{ox}} = C'_{\text{ox}} \cdot \text{WL}$ . (skala) <sup>2</sup>
$C_{\text{oxn}}$ dan $C_{\text{oxp}}$	$6,25 \text{ fF}$	$12,5 \text{ fF}$	PMOS dua kali lebih lebar
$C_{\text{gsn}}$ dan $C_{\text{sgp}}$	$4,17 \text{ fF}$	$8,34 \text{ fF}$	$C_{\text{gs}} = \frac{2}{3} C_{\text{ox}}$
$C_{\text{gdn}}$ dan $C_{\text{dgp}}$	$1,56 \text{ fF}$	$3,7 \text{ fF}$	$C_{\text{gd}} = CGDO \cdot W \cdot \text{skala}$
$g_{\text{mn}}$ dan $g_{\text{mp}}$	$150 \mu\text{A}/\text{V}$	$150 \mu\text{A}/\text{V}$	Saat $I_D = 10 \mu\text{A}$
$r_{\text{on}}$ dan $r_{\text{op}}$	$167 \text{ k}\Omega$	$333 \text{ k}\Omega$	Perkiraan saat $I_D = 10 \mu\text{A}$
$g_{\text{mn}}r_{\text{on}}$ dan $g_{\text{mp}}r_{\text{op}}$	$25 \text{ V}/\text{V}$	$50 \text{ V}/\text{V}$	Gain rangkaian terbuka
$f_{Tn}$ dan $f_{Tp}$	$6000 \text{ MHz}$	$3000 \text{ MHz}$	Perkiraan saat $L=2$

Dari tabel 2.1. di gunakan dalam teknologi CMOS dengan kanal pendek sebesar 50 nm sebagai lamdanya ( $\lambda$ ). Untuk mengetahui jarak width ( $\bar{W}$ ) dan length ( $\bar{L}$ ) pada PMOS dan NMOS dapat di lihat seperti persamaan 2.3 dan 2.4 berikut ini :

$$\bar{W} = W \times \lambda \quad (2.3)$$

$$\bar{L} = L \times \lambda \quad (2.4)$$

Keterangan dari persamaan 2.3 dan 2.4 :

$\bar{W}$  : jarak width

$W$  : variable width

$\bar{L}$  : jarak lenght

$L$  : variable length

$\lambda$  : 50 nm

Sebagai contoh dalam skripsi ini digunakan nilai variable W/L terkecil untuk PMOS 20/1 dan NMOS 10/1 yang memiliki jarak width dan length  $\bar{W}/\bar{L}$  pada PMOS sebesar 1000/50 nm dan NMOS sebesar 500/50 nm. Untuk selanjutnya persamaan 2.3 dan 2.4 digunakan untuk pencarian nilai jarak width dan length  $\bar{W}/\bar{L}$  dalam skripsi ini.

## 2.2 Transistor MOSFET

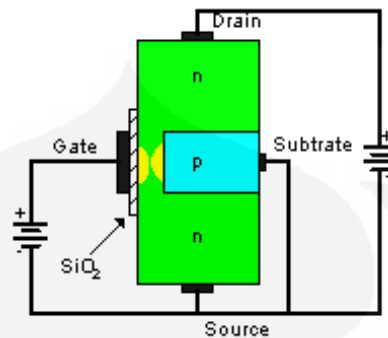
Mirip seperti JFET, transistor **MOSFET** (*Metal oxide FET*) memiliki drain, source dan gate. Namun perbedaannya gate terisolasi oleh suatu **bahan oksida**. Gate sendiri terbuat dari bahan **metal** seperti aluminium. Oleh karena itulah transistor ini dinamakan *metal-oxide*. Karena gate yang terisolasi, sering jenis transistor ini disebut juga **IGFET** yaitu *insulated-gate FET*.

Ada dua jenis MOSFET, yang pertama jenis *depletion-mode* dan yang kedua jenis *enhancement-mode*. Jenis MOSFET yang kedua adalah komponen utama dari gerbang logika dalam bentuk IC (*integrated circuit*), uC (*micro controller*) dan uP (*micro processor*) yang tidak lain adalah komponen utama dari komputer modern saat ini.

### 2.2.1 MOSFET Depletion-mode

Gambar berikut menunjukkan struktur dari transistor jenis ini. Pada sebuah kanal semikonduktor tipe n terdapat semikonduktor tipe p dengan menyisakan sedikit celah. Dengan demikian diharapkan elektron akan mengalir dari source

menuju drain melalui celah sempit ini. Gate terbuat dari metal (seperti aluminium) dan terisolasi oleh bahan oksida tipis  $\text{SiO}_2$  yang tidak lain adalah kaca.



Gambar 2.3 Struktur MOSFET depletion-mode [2]

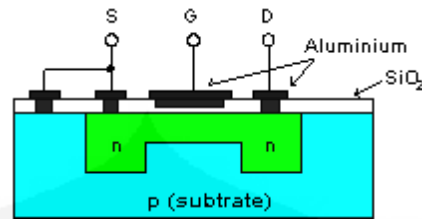
Semikonduktor tipe p di sini disebut substrat p dan biasanya dihubungkan singkat dengan source. Ingat seperti pada transistor JFET lapisan deplesi mulai membuka jika  $V_{GS} = 0$ .

Dengan menghubungkan singkat substrat p dengan source diharapkan ketebalan lapisan deplesi yang terbentuk antara substrat dengan kanal adalah maksimum. Sehingga ketebalan lapisan deplesi selanjutnya hanya akan ditentukan oleh tegangan gate terhadap source. Pada gambar, lapisan deplesi yang dimaksud ditunjukkan pada daerah yang berwarna kuning.

Semakin negatif tegangan gate terhadap source, akan semakin kecil arus drain yang bisa lewat atau bahkan menjadi 0 pada tegangan negatif tertentu. Karena lapisan deplesi telah menutup kanal. Selanjutnya jika tegangan gate dinaikkan sama dengan tegangan source, arus akan mengalir. Karena lapisan deplesi mulai membuka. Sampai di sini prinsip kerja transistor MOSFET *depletion-mode* tidak berbeda dengan transistor JFET.

Karena gate yang terisolasi, tegangan kerja  $V_{GS}$  **boleh positif**. Jika  $V_{GS}$  semakin positif, arus elektron yang mengalir dapat semakin besar. Di sini letak perbedaannya dengan JFET, transistor MOSFET *depletion-mode* bisa bekerja sampai tegangan gate positif.

### Pabrikasi MOSFET depletion-mode

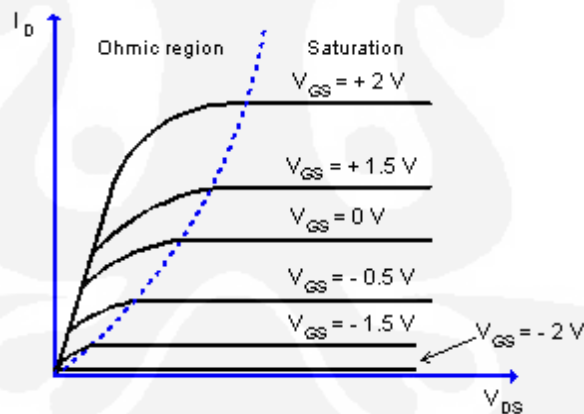


Gambar 2.4 Penampang D-MOSFET (depletion-mode) [2]

Struktur ini adalah penampang MOSFET *depletion-mode* yang dibuat di atas sebuah lempengan semikonduktor tipe p. Implant semikonduktor tipe n dibuat sedemikian rupa sehingga terdapat celah kanal tipe n. Kanal ini menghubungkan drain dengan source dan tepat berada di bawah gate. Gate terbuat dari metal aluminium yang diisolasi dengan lapisan SiO<sub>2</sub> (kaca). Dalam beberapa buku, transistor MOSFET *depletion-mode* disebut juga dengan nama **D-MOSFET**.

### Kurva drain MOSFET depletion mode

Analisa kurva drain dilakukan dengan mencoba beberapa tegangan gate  $V_{GS}$  konstan, lalu dibuat grafik hubungan antara arus drain  $I_D$  terhadap tegangan  $V_{DS}$ .



Gambar 2.5 Kurva drain transistor MOSFET depletion-mode [2]

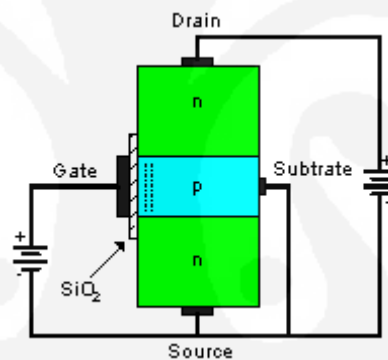
Dari kurva ini terlihat jelas bahwa transistor MOSFET *depletion-mode* dapat bekerja (**ON**) mulai dari tegangan  $V_{GS}$  negatif sampai positif. Terdapat dua daerah kerja, yang pertama adalah **daerah ohmic** dimana resistansi drain-source adalah fungsi dari :

$$R_{DS(on)} = V_{DS}/I_{DS}$$

Jika tegangan  $V_{GS}$  tetap dan  $V_{DS}$  terus dinaikkan, transistor selanjutnya akan berada pada **daerah saturasi**. Jika keadaan ini tercapai, arus  $I_{DS}$  adalah konstan. Tentu saja ada tegangan  $V_{GS(max)}$ , yang diperbolehkan. Karena jika lebih dari tegangan ini akan dapat merusak isolasi gate yang tipis alias merusak transistor itu sendiri.

### 2.2.2 MOSFET Enhancement-mode

Jenis transistor MOSFET yang kedua adalah MOSFET *enhancement-mode*. Transistor ini adalah evolusi jenius berikutnya setelah penemuan MOSFET *depletion-mode*. Gate terbuat dari metal aluminium dan terisolasi oleh lapisan  $SiO_2$  sama seperti transistor MOSFET depletion-mode. **Perbedaan** struktur yang mendasar adalah, subtrat pada transistor MOSFET *enhancement-mode* sekarang dibuat sampai **menyentuh gate**, seperti terlihat pada gambar berikut ini. Lalu bagaimana elektron dapat mengalir ?. Silahkan terus menyimak tulisan berikut ini.



Gambar 2.6 Struktur MOSFET *enhancement-mode* [2]

Gambar atas ini adalah transistor MOSFET *enhancement mode* kanal n. Jika tegangan gate  $V_{GS}$  dibuat negatif, tentu saja arus elektron tidak dapat mengalir. Juga ketika  $V_{GS}=0$  ternyata arus belum juga bisa mengalir, karena **tidak ada lapisan deplesi** maupun celah yang bisa dialiri elektron. Satu-satunya jalan adalah dengan memberi tegangan  $V_{GS}$  **positif**. Karena subtrat terhubung dengan source, maka jika tegangan gate positif berarti tegangan gate terhadap subtrat juga positif.

Tegangan positif ini akan menyebabkan **elektron tertarik** ke arah subtrat p. Elektron-elektron akan bergabung dengan hole yang ada pada subtrat p. Karena potensial gate lebih positif, maka elektron terlebih dahulu tertarik dan menumpuk



di sisi substrat yang berbatasan dengan gate. Elektron akan terus menumpuk dan tidak dapat mengalir menuju gate karena terisolasi oleh bahan insulator  $\text{SiO}_2$  (kaca).

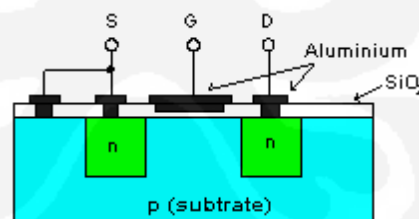
Jika tegangan gate cukup positif, maka tumpukan elektron akan menyebabkan terbentuknya **semacam lapisan n yang negatif** dan seketika itulah arus drain dan source dapat mengalir. Lapisan yang terbentuk ini disebut dengan istilah *inversion layer*. Kira-kira terjemahannya adalah lapisan dengan tipe yang berbalikan. Di sini karena substratnya tipe p, maka lapisan *inversion* yang terbentuk adalah bermuatan negatif atau tipe n.

Tentu ada tegangan minimum dimana lapisan *inversion* n mulai terbentuk. **Tegangan minimum** ini disebut tegangan *threshold*  $V_{GS(th)}$ . Tegangan  $V_{GS(th)}$  oleh pabrik pembuat tertera di dalam datasheet.

Di sini letak perbedaan utama prinsip kerja transistor MOSFET *enhancement-mode* dibandingkan dengan JFET. Jika pada tegangan  $V_{GS} = 0$ , transistor JFET sudah bekerja atau ON, maka transistor MOSFET *enhancement-mode* masih OFF. Dikatakan bahwa JFET adalah komponen **normally ON** dan MOSFET adalah komponen **normally OFF**.

#### **Pabrikasi MOSFET enhancement-mode**

Transistor MOSFET *enhancement mode* dalam beberapa literatur disebut juga dengan nama **E-MOSFET**.

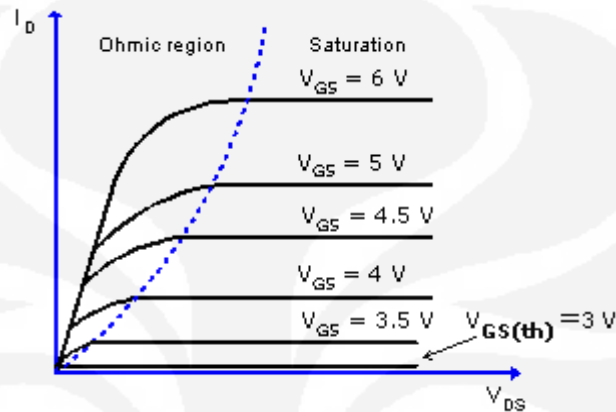


Gambar 2.7 Penampang E-MOSFET (*enhancement-mode*) [2]

Gambar 2.7 diatas adalah bagaimana transistor MOSFET *enhancement-mode* dibuat. Sama seperti MOSFET *depletion-mode*, tetapi perbedaannya disini tidak ada kanal yang menghubungkan drain dengan source. Kanal n akan terbentuk (*enhanced*) dengan memberi tegangan  $V_{GS}$  diatas tegangan *threshold* tertentu. Inilah struktur transistor yang paling banyak di terapkan dalam IC digital.

### Kurva Drain MOSFET enhancement-mode

Mirip seperti kurva D-MOSFET, kurva drain transistor E-MOSFET adalah seperti yang ditunjukkan pada gambar berikut. Namun di sini  $V_{GS}$  semua bernilai positif. Garis kurva paling bawah adalah garis kurva dimana transistor mulai ON. Tegangan  $V_{GS}$  pada garis kurva ini disebut tegangan threshold  $V_{GS(th)}$ .



Gambar 2.8 Kurva drain E-MOSFET [2]

Karena transistor MOSFET umumnya digunakan sebagai saklar (*switch*), parameter yang penting pada transistor E-MOSFET adalah resistansi drain-source. Biasanya yang tercantum pada datasheet adalah resistansi pada saat transistor ON. Resistansi ini dinamakan  $R_{DS(on)}$ . Besar resistansi bervariasi mulai dari 0.3 Ohm sampai puluhan Ohm. Untuk aplikasi *power switching*, semakin kecil resistansi  $R_{DS(on)}$  maka semakin baik transistor tersebut. Karena akan memperkecil rugi-rugi disipasi daya dalam bentuk panas. Juga penting diketahui parameter arus drain maksimum  $I_{D(max)}$  dan disipasi daya maksimum  $P_{D(max)}$ .

### 2.2.3 Mode operasi lain pada MOSFET

Operasi dari MOSFET dapat dimodekan menjadi tiga Mode yang berbeda, bergantung pada tegangan yang dikenakan pada saluran. Untuk mempermudah, perhitungan dibawah merupakan perhitungan yang telah disederhanakan.

Untuk sebuah **MOSFET kanal-n Mode pengayaan**, ketiga Mode operasi adalah:

#### Mode Inversi Lemah

Disebut juga Mode Titik-Potong atau Pra-Ambang, yaitu ketika  $V_{GS} < V_{th}$  dimana  $V_{th}$  adalah tegangan ambang peranti. Berdasarkan model ambang dasar, transistor dimatikan dan tidak ada penghantar antara sumber dan cerat. Namun

pada kenyataannya, distribusi Boltzmann dari energi elektron memungkinkan beberapa elektron berenergi tinggi pada sumber untuk memasuki kanal dan mengalir ke cerat, menghasilkan arus praambang yang merupakan fungsi eksponensial terhadap tegangan gerbang–sumber. Walaupun arus antara cerat dan sumber harusnya nol ketika transistor minatkan, sebenarnya ada arus inversi-lemah yang sering disebut sebagai bocoran praambang.

Pada inversi-lemah, arus berubah eksponensial terhadap panjar gerbang-ke-sumber  $V_{GS}$ ,

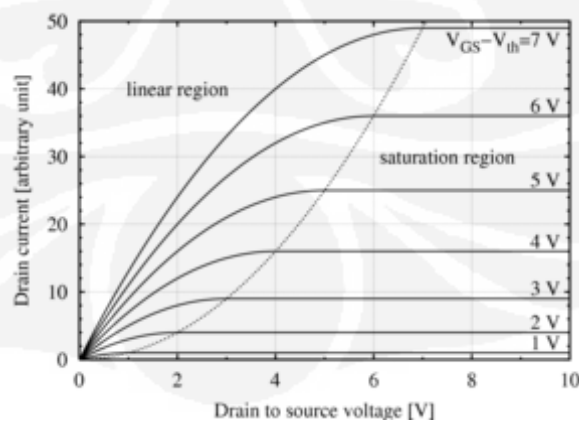
$$I_D \approx I_{D0} e^{\frac{V_{GS}-V_{th}}{nV_T}} \quad (2.5)$$

dimana  $I_{D0}$  = arus pada  $V_{GS} = V_{th}$  dan faktor landaian  $n$  didapat dari

$$n = 1 + C_D / C_{OX}, \quad (2.6)$$

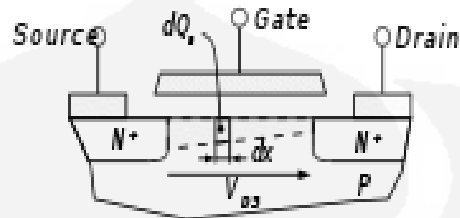
dengan  $C_D$  = kapasitansi dari lapisan pemiskinan dan  $C_{OX}$  = kapasitansi dari lapisan oksida.

Beberapa sirkuit daya-mikro didesain untuk mengambil keuntungan dari bocoran praambang. Dengan menggunakan daerah inversi-lemah, MOSFET pada sirkuit tersebut memberikan perbandingan transkonduktansi terhadap arus yang tertinggi ( $g_m / I_D = 1 / (nV_T)$ ), hampir seperti transistor dwikutub. Sayangnya lebar-jalur rendah dikarenakan arus penggerak yang rendah.



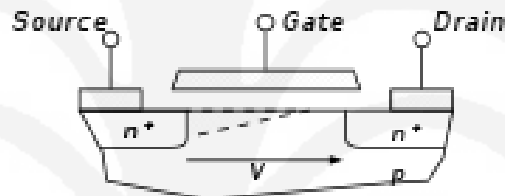
Gambar 2.9 Kurva Mode Invers Lemah pada MOSFET [3]

Arus cerat MOSFET vs. Tegangan cerat-ke-sumber untuk beberapa harga  $V_{GS} - V_{th}$ , perbatasan antara Mode **linier (Ohmik)** dan **penjenuhan (aktif)** diperlihatkan sebagai lengkung parabola diatas



Gambar 2.10 Kurva Irisan MOSFET dalam node linier [3]

Irisan MOSFET dalam node linier (ohmik), daerah inversi kuat terlihat bahkan didekat cerat



Gambar 2.11 Kurva Irisan MOSFET dalam node aktif [3]

Irisan MOSFET dalam Mode penjenuhan (aktif), terdapat takik didekat cerat

### Mode trioda

Disebut juga sebagai daerah linear (atau daerah Ohmik yaitu ketika  $V_{GS} > V_{th}$  dan  $V_{DS} < (V_{GS} - V_{th})$ ). Transistor dihidupkan dan sebuah kanal dibentuk yang memungkinkan arus untuk mengalir diantara sumber dan cerat. MOSFET beroperasi seperti sebuah resistor, dikendalikan oleh tegangan gerbang relatif terhadap baik tegangan sumber dan cerat. Arus dari cerat ke sumber ditentukan oleh:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{(V_{DS})^2}{2} \right] \quad (2.7)$$

Dimana  $\mu_n$  adalah pergerakan efektif pembawa muatan,  $W$  adalah lebar gerbana,  $L$  adalah panjang gerbang dan  $C_{ox}$  adalah kapasitansi oksida gerbang tiap

unit luas. Transisi dari daerah eksponensial praambang ke daerah trioda tidak setajam seperti yang diperlihatkan perhitungan.

### Mode penjuhan

Juga disebut dengan Mode Aktif Ketika  $V_{GS} > V_{th}$  dan  $V_{DS} > (V_{GS} - V_{th})$

Transistor dihidupkan dan kanal dibentuk, memungkinkan arus untuk mengalir diantara sumber dan cerat. Karena tegangan cerat lebih tinggi dari tegangan gerbang, elektron menyebar dan penghantaran tidak melalui kanal sempit tetapi melalui kanal yang jauh lebih lebar. Awal dari daerah kanal disebut penyempitan untuk menunjukkan kurangnya daerah kanal didekat cerat. Arus cerat sekarang hanya sedikit bergantung pada tegangan cerat dan dikendalikan terutama oleh tegangan gerbang–sumber.

$$I_D = \frac{\mu_n C_{ox} W}{2 L} [(V_{GS} - V_{th})^2 (1 + \lambda V_{DS})] \quad (2.8)$$

Faktor tambahan menyertakan  $\lambda$ , yaitu parameter modulasi panjang kanal, membuat tegangan cerat mandiri terhadap arus, dikarenakan oleh adanya efek Early.

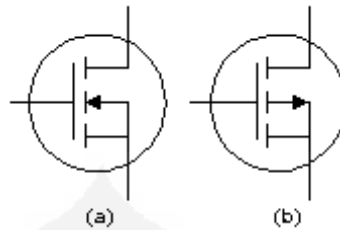
$$g_m = \frac{2I_D}{V_{GS} - V_{th}} = \frac{2I_D}{V_{ov}} \quad (2.9)$$

Dimana kombinasi  $V_{ov} = V_{GS} - V_{th}$  dinamakan tegangan *overdrive*. Parameter penting desain MOSFET adalah resistansi keluaran  $r_o$ :

$$r_o = \frac{1 + \lambda V_{DS}}{\lambda I_D} = \frac{\frac{1}{\lambda} + V_{DS}}{I_D} \quad (2.10)$$

#### 2.2.4 Simbol transistor MOSFET

Garis putus-putus pada simbol transistor MOSFET menunjukkan struktur transistor yang terdiri drain, source dan subtrat serta gate yang terisolasi. Arah panah pada subtrat menunjukkan type lapisan yang terbentuk pada subtrat ketika transistor ON sekaligus menunjukkan type kanal transistor tersebut.

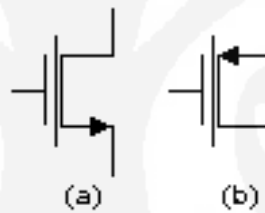


Gambar 2.12 Simbol MOSFET, (a) kanal-n (b) kanal-p [2]

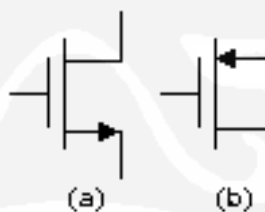
Kedua simbol di atas dapat digunakan untuk menggambarkan D-MOSFET maupun E-MOSFE

### NMOS dan PMOS

Transistor MOSFET dalam berbagai referensi disingkat dengan nama transistor **MOS**. Dua jenis tipe n atau p dibedakan dengan nama **NMOS** dan **PMOS**. Simbol untuk menggambarkan MOS tipe depletion-mode dibedakan dengan tipe enhancement-mode. Perbedaan ini perlu untuk rangkaian-rangkaian rumit yang terdiri dari kedua jenis transistor tersebut.

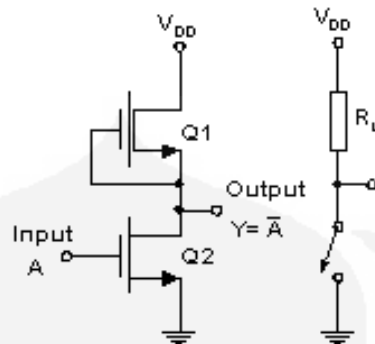


Gambar 2.13 Simbol transistor (a)NMOS (b)PMOS tipe depletion mode [2]



Gambar 2.14 Simbol transistor (a)NMOS (b)PMOS tipe enhancement mode [2]

Transistor MOS adalah tipe transistor yang paling banyak dipakai untuk membuat rangkaian gerbang logika. Ratusan bahkan ribuan **gerbang logika** dirangkai di dalam sebuah IC (*integrated circuit*) menjadi komponen yang canggih seperti mikrokontroler dan mikroprosesor. Contoh gerbang logika yang paling dasar adalah sebuah **inverter**.

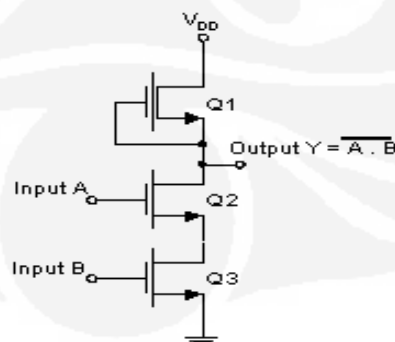


Gambar 2.15 Gerbang NOT Inverter MOS [2]

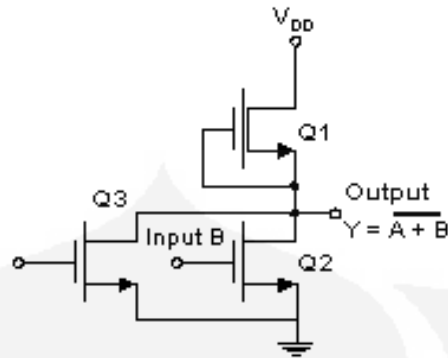
Gerbang inverter MOS di atas terdiri dari 2 buah transistor Q1 dan Q2. Transistor Q1 adalah transistor NMOS *depletion-mode* yang pada rangkaian ini berlaku sebagai beban  $R_L$  untuk transistor Q2. Seperti yang sudah dimaklumi, beban  $R_L$  ini tidak lain adalah resistansi  $R_{DS(on)}$  dari transistor Q1. Transistor Q2 adalah transistor NMOS *enhancement-mode*. Di sini transistor Q2 berfungsi sebagai saklar (*switch*) yang bisa membuka atau menutup (ON/OFF). Transistor ON atau OFF tergantung dari tegangan input.

Jika tegangan input  $A = 0$  volt (logik 0), maka saklar Q2 membuka dan tegangan output  $Y = V_{DD}$  (logik 1). Dan sebaliknya jika input  $A = V_{DD}$  (logik 1) maka saklar menutup dan tegangan output  $Y = 0$  volt (logik 0). Inverter ini tidak lain adalah **gerbang NOT**, dimana keadaan output adalah kebalikan dari input.

Gerbang dasar lainnya dalah seperti gerbang **NAND** dan **NOR**. Contoh diagram berikut adalah gerbang NAND dan NOR yang memiliki dua input A dan B.



Gambar 2.16 Gerbang NAND transistor MOS [2]



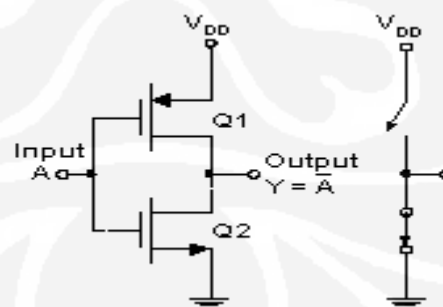
Gambar 2.17 Gerbang NOR transistor MOS [2]

Bagaimana caranya membuat gerbang AND dan OR. Tentu saja bisa dengan menambahkan sebuah inverter di depan gerbang NAND dan NOR.

### 2.3 Transistor CMOS

CMOS adalah evolusi dari komponen digital yang paling banyak digunakan karena memiliki karakteristik konsumsi daya yang sangat kecil. CMOS adalah singkatan dari **Complementary MOS**, yang strukturnya terdiri dari dua jenis transistor PMOS dan NMOS. Keduanya adalah transistor **MOS tipe enhancement-mode**.

Inverter gerbang NOT dengan struktur CMOS adalah seperti gambar yang berikut ini. Beban  $R_L$  yang sebelumnya menggunakan transistor NMOS tipe depletion-mode, digantikan oleh transistor PMOS enhancement-mode.



Gambar 2.18 Gerbang NOT inverter CMOS [2]

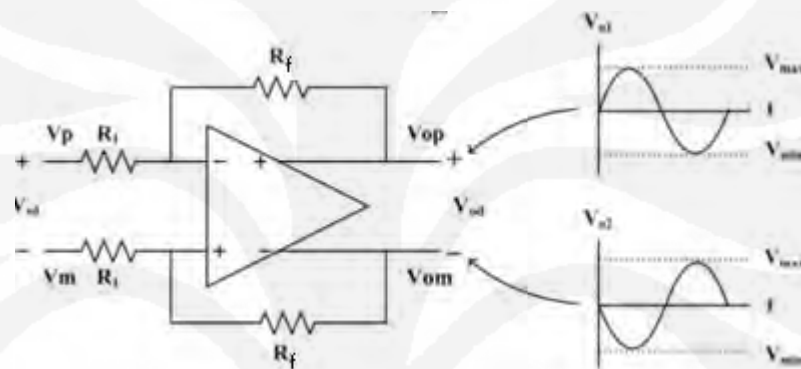
Namun disini Q1 bukan sebagai beban, tetapi kedua transistor berfungsi sebagai *complementary switch* yang bekerja bergantian. Jika input 0 (*low*) maka transistor Q1 menutup dan sebaliknya Q2 membuka, sehingga keluaran



tersambung ke VDD (*high*). Sebaliknya jika input 1 (*high*) maka transistor Q1 akan membuka dan Q2 menutup, sehingga keluaran terhubung dengan ground 0 volt (*low*).

## 2.4 Konsep Kerja OP-AMP

Penguat beda (*differential amplifier*) sering disebut juga penguat diferensial. Penguat diferensial adalah suatu penguat yang bekerja dengan memperkuat sinyal yang merupakan selisih dari kedua masukannya. Seperti terlihat pada gambar 2.21 di bawah ini :



Gambar 2.19 Diagram Diff-OpAmp [8]

Untuk desain penguat yang multi tingkat, dengan mendapatkan penguatan tegangan yang besar maka dapat digunakan sebuah rangkaian searah yang langsung antara semua tingkat dari penguat diferensial tersebut. Untuk dapat bekerja dengan baik, penguat operasional memerlukan tegangan catu yang simetris yaitu tegangan yang berharga positif (+V) dan tegangan yang berharga negatif (-V) terhadap tanah (*ground*).

Pengertian rangkaian searah langsung adalah dengan menghilangkan frekuensi mati (*cut off frequency*) yang lebih rendah yang biasa menggunakan kopel kapasitor, maka kopel kapasitor ini harus dihilangkan, sehingga menjadi kopel langsung. Oleh karena itu, penguat diferensial mempunyai kemampuan menguatkan sinyal DC yang baik, sama seperti menguatkan sinyal AC. Dalam sistem instrumentasi, penguat diferensial yang baik banyak digunakan sebagai pembanding dua buah sinyal masukan/input.

### 2.4.1. Karakteristik Ideal Penguat Operasional

Penguat operasional banyak digunakan dalam berbagai aplikasi karena beberapa keunggulan yang dimilikinya, seperti penguatan yang tinggi, impedansi masukan yang tinggi, impedansi keluaran yang rendah dan lain sebagainya. Berikut ini adalah karakteristik dari Op Amp ideal:

- ◆ Penguatan tegangan lingkaran terbuka (*open-loop voltage gain*)  $A_{VOL} = \infty$
- ◆ Tegangan ofset keluaran (*output offset voltage*)  $V_{OO} = 0$
- ◆ Hambatan masukan (*input resistance*)  $R_I = \infty$
- ◆ Hambatan keluaran (*output resistance*)  $R_O = 0$
- ◆ Lebar pita (*band width*)  $BW = \infty$
- ◆ Waktu tanggapan (*respon time*) = 0 detik
- ◆ Karakteristik tidak berubah dengan suhu

Kondisi ideal tersebut hanya merupakan kondisi teoritis tidak mungkin dapat dicapai dalam kondisi praktis. Tetapi para pembuat Op Amp berusaha untuk membuat Op Amp yang memiliki karakteristik mendekati kondisi-kondisi di atas. Karena itu sebuah Op Amp yang baik harus memiliki karakteristik yang mendekati kondisi ideal. Berikut ini akan dijelaskan satu persatu tentang kondisi-kondisi ideal dari Op Amp.

### 2.4.2. Penguatan Tegangan Lingkaran Terbuka

Penguatan tegangan lingkaran terbuka (*open loop voltage gain*) adalah penguatan diferensial Op Amp pada kondisi dimana tidak terdapat umpan balik (*feedback*) yang diterapkan padanya. Secara ideal, penguatan tegangan lingkaran terbuka adalah:

$$A_{VOL} = V_o / V_{id} = -\infty \quad (2.11)$$

$$A_{VOL} = V_o / (V_1 - V_2) = -\infty \quad (2.12)$$

Tanda negatif menandakan bahwa tegangan keluaran  $V_O$  berbeda fasa dengan tegangan masukan  $V_{id}$ . Konsep tentang penguatan tegangan tak berhingga tersebut sukar untuk divisualisasikan dan tidak mungkin untuk diwujudkan. Suatu hal yang perlu untuk dimengerti adalah bahwa tegangan keluaran  $V_O$  jauh lebih besar daripada tegangan masukan  $V_{id}$ . Dalam kondisi praktis, harga  $A_{VOL}$  adalah antara 5000 (sekitar 74 dB) hingga 100000 (sekitar 100 dB).

Tetapi dalam penerapannya tegangan keluaran  $V_O$  tidak lebih dari tegangan catu yang diberikan pada Op Amp. Karena itu Op Amp baik digunakan untuk menguatkan sinyal yang amplitudonya sangat kecil.

### 2.4.3. Tegangan Ofset Keluaran

Tegangan ofset keluaran (*output offset voltage*)  $V_{OO}$  adalah harga tegangan keluaran dari Op Amp terhadap tanah (*ground*) pada kondisi tegangan masukan  $V_{id} = 0$ . Secara ideal, harga  $V_{OO} = 0$  V. Op Amp yang dapat memenuhi harga tersebut disebut sebagai Op Amp dengan CMR (*common mode rejection*) ideal.

Tetapi dalam kondisi praktis, akibat adanya ketidakseimbangan dan ketidakidentikan dalam penguat diferensial dalam Op Amp tersebut, maka tegangan ofset  $V_{OO}$  biasanya berharga sedikit di atas 0 V. Apalagi apabila tidak digunakan umpan balik maka harga  $V_{OO}$  akan menjadi cukup besar untuk menimbulkan saturasi pada keluaran. Untuk mengatasi hal ini, maka perlu diterapkan tegangan koreksi pada Op Amp. Hal ini dilakukan agar pada saat tegangan masukan  $V_{id} = 0$ , tegangan keluaran  $V_O$  juga = 0.

### 2.4.4. Hambatan Masukan

Hambatan masukan (input resistance)  $R_i$  dari Op Amp adalah besar hambatan di antara kedua masukan Op Amp. Secara ideal hambatan masukan Op Amp adalah tak berhingga. Tetapi dalam kondisi praktis, harga hambatan masukan Op Amp adalah antara 5 k $\Omega$  hingga 20 M $\Omega$ , tergantung pada tipe Op Amp. Harga ini biasanya diukur pada kondisi Op Amp tanpa umpan balik. Apabila suatu umpan balik negatif (*negative feedback*) diterapkan pada Op Amp, maka hambatan masukan Op Amp akan meningkat.

Dalam suatu penguat, hambatan masukan yang besar adalah suatu hal yang diharapkan. Semakin besar hambatan masukan suatu penguat, semakin baik penguat tersebut dalam menguatkan sinyal yang amplitudonya sangat kecil. Dengan hambatan masukan yang besar, maka sumber sinyal masukan tidak terbebani terlalu besar.

#### **2.4.5. Hambatan Keluaran**

Hambatan Keluaran (*output resistance*)  $R_O$  atau  $R_f$  (*feedback resistance*) dari Op Amp adalah besarnya hambatan dalam yang timbul pada saat Op Amp bekerja sebagai pembangkit sinyal. Secara ideal harga hambatan keluaran  $R_O$  Op Amp adalah  $= 0$ . Apabila hal ini tercapai, maka seluruh tegangan keluaran Op Amp akan timbul pada beban keluaran (RL), sehingga dalam suatu penguat, hambatan keluaran yang kecil sangat diharapkan.

Dalam kondisi praktis harga hambatan keluaran Op Amp adalah antara beberapa ohm hingga ratusan ohm pada kondisi tanpa umpan balik. Dengan diterapkannya umpan balik, maka harga hambatan keluaran akan menurun hingga mendekati kondisi ideal.

#### **2.4.6. Lebar Pita**

Lebar pita (*band width*) BW dari Op Amp adalah lebar frekuensi tertentu dimana tegangan keluaran tidak jatuh lebih dari 0,707 dari harga tegangan maksimum pada saat amplitudo tegangan masukan konstan. Secara ideal, Op Amp memiliki lebar pita yang tak terhingga. Tetapi dalam penerapannya, hal ini jauh dari kenyataan.

Sebagian besar Op Amp serba guna memiliki lebar pita hingga 1 MHz dan biasanya diterapkan pada sinyal dengan frekuensi beberapa kiloHertz. Tetapi ada juga Op Amp yang khusus dirancang untuk bekerja pada frekuensi beberapa MegaHertz. Op Amp jenis ini juga harus didukung komponen eksternal yang dapat mengkompensasi frekuensi tinggi agar dapat bekerja dengan baik.

#### **2.4.7. Waktu Tanggapan**

Waktu tanggapan (*respon time*) dari Op Amp adalah waktu yang diperlukan oleh keluaran untuk berubah setelah masukan berubah. Secara ideal

harga waktu respon Op Amp adalah = 0 detik, yaitu keluaran harus berubah langsung pada saat masukan berubah.

Tetapi dalam prakteknya, waktu tanggapan dari Op Amp memang cepat tetapi tidak langsung berubah sesuai masukan. Waktu tanggapan Op Amp umumnya adalah beberapa mikro detik hal ini disebut juga *slew rate*. Perubahan keluaran yang hanya beberapa mikrodetik setelah perubahan masukan tersebut umumnya disertai dengan *overshoot* yaitu lonjakan yang melebihi kondisi *steady state*. Tetapi pada penerapan biasa, hal ini dapat diabaikan.

#### 2.4.8. Karakteristik Terhadap Suhu

Sebagai mana diketahui, suatu bahan semikonduktor yang akan berubah karakteristiknya apabila terjadi perubahan suhu yang cukup besar. Pada Op Amp yang ideal, karakteristiknya tidak berubah terhadap perubahan suhu. Tetapi dalam prakteknya, karakteristik sebuah Op Amp pada umumnya sedikit berubah, walaupun pada penerapan biasa, perubahan tersebut dapat diabaikan.

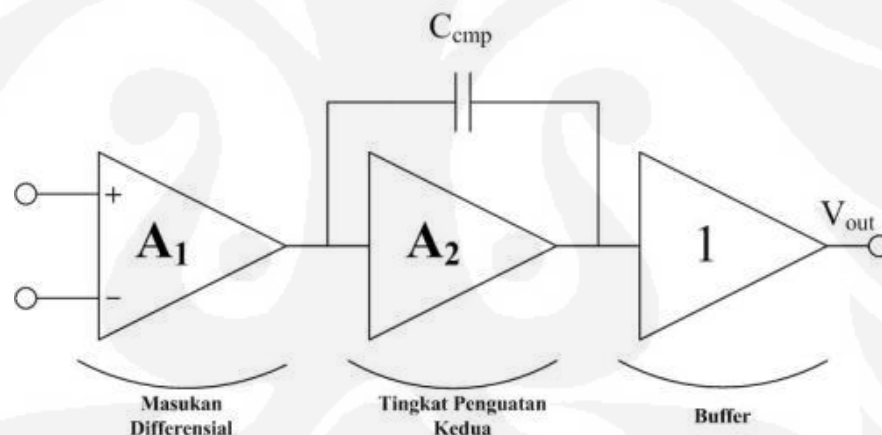
## BAB 3

### PERANCANGAN RANGKAIAN OPTIMASI SLEW RATE PADA FULL DIFFERENTIAL OP-AMP 2 STAGE

Metode penelitian dalam bab ini akan dibahas mengenai rangkaian penguat operasional dua stage yang akan dioptimalisasi untuk mendapatkan nilai slew rate yang tinggi sebesar 1500 mV/nS pada rangkaian uji dengan menggunakan software simulasi Winspice versi 3 . Adapun tujuan perancangan dan pengujian dalam bab 3 ini adalah untuk menganalisa karakteristik rangkaian penguat operasional dua stage penuh dengan kemampuan *slew rate* yang tinggi, berikut beberapa tahapan-tahapan optimasi *slew rate* diantaranya adalah :

#### 3.1. Desain Rancangan Rangkaian Full Differential-OpAmp two stage

##### 3.1.1 Diagram Blok Rangkaian Full Differential-OpAmp two stage



**Gambar 3.1 Diagram Blok Rangkaian Utama secara umum**

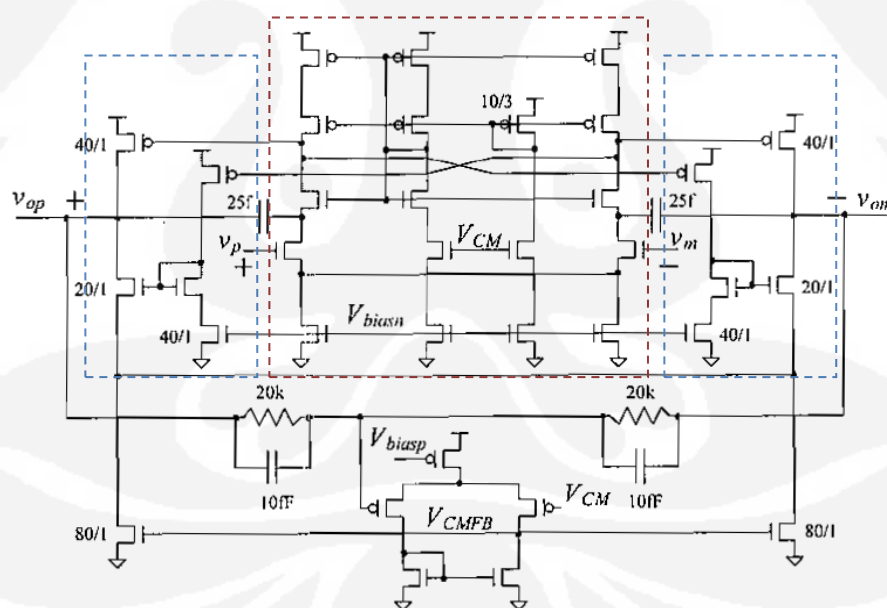
Pada gambar 3.1 mengilustrasikan blok diagram penguat operasional dua tingkat yang merupakan penguat operasional tradisional. Dua tingkat merepresentasikan jumlah tingkat gainnya. Biasanya digambarkan dalam 3 tingkat, yaitu dua tingkat gain dan sebuah tingkat keluaran gain satu (*buffer*). Seringkali dianggap sebagai penguat dua tingkat dengan mengabaikan bagian *buffernya*. Bagian buffer hanya digunakan jika beban resistif perlu diatur. Bila beban hanya kapasitif saja, bagian ini jarang dipakai, kecuali jika beban kapasitifnya sangat besar.

Penguat differensial op-amp dua tingkat biasanya digunakan untuk menyeimbangkan dua karakter berbeda. Misalnya saja untuk perencanaan performansi *noise* dan konsumsi daya. Strukturnya yang sederhana menjadikan penguat ini banyak dipakai dalam berbagai perancangan.

Tingkat pertama biasanya terdiri dari penguat differensial dengan gain tinggi. Tingkat ini memiliki pole dominan dalam sistem. Sedangkan pada tingkat kedua gainnya lebih rendah tetapi memiliki ayunan tegangan keluaran yang besar. Penguat *common source* yang memiliki beban aktif biasanya digunakan pada tingkat kedua. Kapasitor dipakai untuk memastikan kestabilan saat penguat operasional digunakan dengan umpan balik.

Keuntungan penguat operasional dua tingkat adalah gain loop terbuka dapat dilakukan dalam dua tingkat yang berbeda sehingga mengurangi kekompleksan rangkaian.

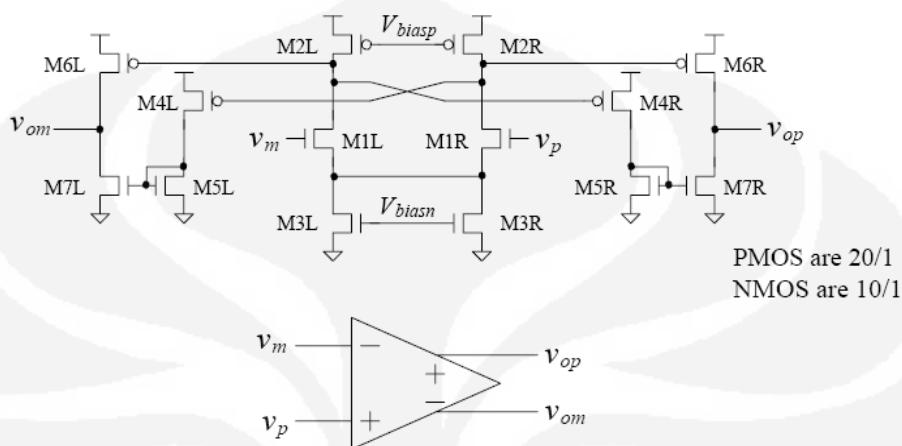
### 3.1.2 Rangkaian Full Differential Amplifier ( Rangkaian Uji Utama)



**Gambar. 3.2. Rangkaian Fully differential op-amp two stage dengan CMFB yang akan dioptimalisasi**

Rangkaian utama penguat yang akan di ujikan adalah rangkaian *full differential* operasional amplifier dua tahap seperti yang di tunjukan pada gambar 3.2 sedangkan dasar dari dua tahap rangkaian *full differential* op-amp di tunjukan

pada gambar 3.3. Hal ini dipilih dengan pertimbangan bahwa penguat pada dua tahap amplifier ini merupakan desain praktis yang memperhitungkan faktor daya, kecepatan, *offset* serta *gain* yang secara langsung sangat berpengaruh pada nilai slew rate.



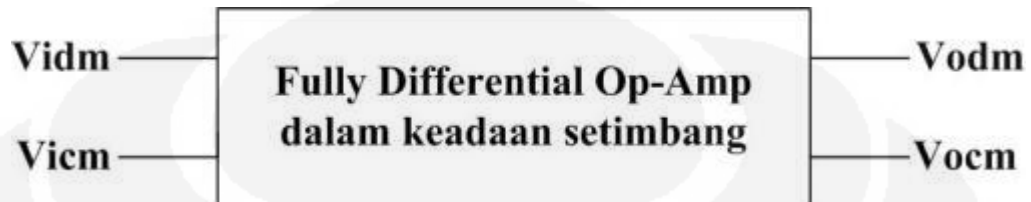
**Gambar 3.3. Rangkaian dasar two stage full differential op-amp**

Berdasarkan pemahaman gambar op-amp dua titik dalam gambar 3.3 bahwa untuk menghasilkan bias op-amp dengan disipasi daya minimum terjadi jika masukan op-amp non-inverting  $V_p$ , naik secara relatif terhadap masukan inverting  $V_n$ , sehingga terjadi penurunan tegangan drain M1R pada saat tegangan drain M1L turun. Akibatnya terjadi pula penurunan tegangan gate M6R yang menyebabkan kondisi “on” dan keluaran menjadi “high”. Pada saat bersamaan, kenaikan tegangan drain M1L menyebabkan M4R “off” dan juga M7R. Jadi secara sederhana, gate M4 atau M6 dapat dihentikan turun tanpa tergantung pada arus tail diff-amp. Oleh karena itu rangkaian biasing topologi full-differensial sangat menguntungkan daripada op-amp keluaran tunggal. Op-amp differensial memiliki dua terminal masukan ( $V_p$  dan  $V_m$ ) dan dua terminal keluaran ( $V_{op}$  dan  $V_{om}$ ), seperti yang diilustrasikan dalam gambar 3.3.

Sinyal masukan merupakan selisih antara kedua terminal masukan tersebut, demikian juga dengan sinyal keluarannya. Selisih antara dua sinyal inilah yang disebut tegangan masukan differential mode ( $V_{iDM}$ ) dan tegangan keluaran differential mode ( $V_{oDM}$ ). Dalam keadaan sistem setimbang (diilustrasikan dalam gambar 3.3), dimana masukannya setimbang, maka sinyal masukan dan keluaran



akan memiliki tegangan yang sama atau rata-rata yang disebut sebagai  $V_{icm}$  dan  $V_{ocm}$ . Jika tegangan *common mode* dihubungkan dengan *ground* analog, maka akan terdapat hubungan  $V_p = -V_m$ .



**Gambar 3.4 Fully Differential Op-amp dalam Keadaan Setimbang**

Tegangan dalam *fully differential op-amp* dinyatakan persamaan sebagai berikut.

$$V_p = V_{icm} + \frac{1}{2}V_{idm} \quad V_m = V_{icm} - \frac{1}{2}V_{idm} \quad (3.1)$$

$$V_{op} = V_{ocm} + \frac{1}{2}V_{odm} \quad V_{om} = V_{ocm} - \frac{1}{2}V_{odm} \quad (3.2)$$

$$V_{idm} = V_{ip} - V_{im} \quad V_{icm} = \frac{1}{2}[V_{ip} - V_{im}] \quad (3.3)$$

$$V_{odm} = V_{op} - V_{om} \quad V_{ocm} = \frac{1}{2}[V_{op} - V_{om}] \quad (3.4)$$

Oleh karena itu, waktu yang tepat untuk netlist simulasi yang telah dikembangkan pada gambar3.2 menunjukkan resistansi keluaran dan transkonduktansi untuk W/L pada NMOS 10/1 dan PMOS 20/1, arus drain NMOS, pulsa masukan swing dari 300 mV sampai 700 mV atau rata-ratanya sekitar 400-500 mV serta menggunakan 250 fF kapasitor untuk kompensasi pada diff-op-amp, sehingga dapat memperkirakan batas *slew rate* yang disebabkan oleh diff-opamp yang menggerakkan kapasitor kompensasi, sesuai perhitungan seperti pada persamaan 3.5.

$$\text{Slew Rate} = \frac{\Delta V_{out}}{\Delta t} = \frac{I_{ss}}{C_L} \quad (3.5)$$

### 3.2. Metode Simulasi dengan Program WinSpice Versi 3.

Setelah di ketahui desain plan sirkuit full Diff-Opamp two stage dengan CMFB dan perhitungan untuk mengetahui slew rate, maka langkah selanjutnya adalah verifikasi program dan pengambilan data hasil simulasi dengan WinSpice versi 3. Optimalisasi rangkaian penguat differensial ini dilakukan secara simulasi dengan menggunakan perangkat lunak winspice.. Berbeda dengan P-Spice yang mengandalkan visualisasi dalam merencanakan suatu desain rangkaian. Winspice menggunakan netlist untuk mendefinisikan komponen dalam rangkaian. Masing-masing komponen, serta node yang menghubungkan komponen diberi nama sehingga tidak terjadi kerancuan dalam perencanaan. Kemampuannya inilah yang menjadi alasan pemilihan Winspice untuk simulasi optimalisasi rangkaian penguat differensial

Untuk mendapatkan nilai *slew rate* pada rangkaian uji *fully differential op-amp two stage* yang paling baik, beberapa perubahan W pada rangkaian buffer diujicobakan dalam rangkaian utama serta resistansi pada rangkaian differensial. Rangkaian uji coba kemudian disimulasikan dengan menggunakan winspice untuk dianalisa nilai slew ratenya. Tahapan-tahapan yang dilakukan dalam simulasi adalah sebagai berikut :

1. Pengujian rangkaian Buffer dengan perbedaan W di M1p, M2n, M3p, M4n M5n dan  $L = 1$  dengan begitu  $I_b$  ( arus bias ) akan naik.
2. Pengujian karakteristik diffenensial op-amp dengan variasi resistansi di Rf1, Rf2 pada *resistansi feedback* Ri1 dan Ri2 pada resistansi masukan untuk menentukan masukan dalam stage pertama pada rangkaian differensial.

Simulasi pengujian karakteristik penguat operasional dilakukan dengan mengimplementasikan rangkaian dalam gambar 3.2 ke dalam netlist pada program Winspice versi 3. Dengan masukan inverting (Vim) dari penguat operasional dihubungkan dengan sinyal masukan tegangan common mode 500 mV. Masukan non inverting dihubungkan dengan sumber sinyal pulsa masukan tegangan offset (Vip) yang besarnya bervariasi antara 300-700 mV seperti terlihat pada gambar 3.5

```

.control
destroy all
run
plot vop vom
plot vip-vim vop-vom
.endc

.option scale=100n
.tran 100p 90n 70n 100p UIC

VDD      VDD      0      DC      1
vcm      vcm      0      DC      500m
vip      vip      0      DC      0      PULSE 700m 300m 0 100p 100p 4.9n 10n
vim      vim      0      DC      0      PULSE 300m 700m 0 100p 100p 4.9n 10n

```

**Gambar. 3.5. Netlist Program Kontrol masukan pulsa tegangan ( Vip), common-mode (Vcm) dan plot keluaran pada Winspice versi 3**

```

*Netlist Program winspice kontrol perubahan Resistansi di Rf1, Rf2, Ri1 dan Ri2*
Rf1      vop      vm      100
Rf2      vom      vp      100
Ri1      vip      vm      100
Ri2      vim      vp      100
C1r      vop      0      250f
C1l      vom      0      250f

xopamp  vop      vom      vp      vm      VDD      vcm      opamp

```

**Gambar. 3.6. Netlist Program Winspice Kontrol perubahan Resistansi di Rf1, Rf2, Ri1 dan Ri2 pada differential op-amp**

```

**Netlist Program winspice kontrol perubahan nilai w di M1p, M2n, M3p, M4n M5n**
.subckt buff      vp      vm      vout      VDD
M1p      vout      vp      VDD      VDD      P_50n L=1 W=20
M2n      vout      VDD      n1      0      N_50n L=1 W=10
M3p      n2      vm      VDD      VDD      P_50n L=1 W=20
M4n      n1      n1      0      0      N_50n L=1 W=10
M5n      n2      n1      vk      0      N_50n L=1 W=10
M6nL     vk      vcmfb  0      0      N_50n L=1 W=80
.ends

```

**Gambar. 3.7. Netlist Program Winspice Kontrol perubahan nilai W di M1p, M2n, M3p, M4n M5n pada rangkaian buffer**

Adapun langkah untuk optimalisasi nilai *slew rate* pada skripsi ini menggunakan percobaan perubahan di winspice untuk nilai W pada PMOS dan NMOS di M1p, M2n, M3p, M4n dan M5n dengan L minimum tetap yaitu 1 (berdasarkan proses pabrikasi teknologi CMOS 50 nm ) di rangkaian buffer (gambar 3.7) serta perubahan nilai resistansi di Rf1, Rf2, Ri1 an Ri2 pada masukan rangkaian differensial seperti tampak pada gambar 3.6 serta table 3.1 - 3.5 berikut ini :

Tabel 3.1. Percobaan Pertama

Resistansi Rf1, Rf2, Ri1 dan Ri2 (ohm)	W pada PMOS/NMOS di M1p, M2n, M3p, M4n M5n ( $\lambda$ )
100	20/10
300	20/10
500	20/10
700	20/10
900	20/10

Tabel 3.2. Percobaan kedua

Resistansi Rf1, Rf2, Ri1 an Ri2 (ohm)	W pada PMOS/NMOS di M1p, M2n, M3p, M4n M5n ( $\lambda$ )
100	40/20
300	40/20
500	40/20
700	40/20
900	40/20

Tabel 3.3. Percobaan ketiga

Resistansi Rf1, Rf2, Ri1 an Ri2 (ohm)	W pada PMOS/NMOS di M1p, M2n, M3p, M4n M5n ( $\lambda$ )
100	60/40
300	60/40
500	60/40
700	60/40
900	60/40

Tabel 3.4. Percobaan keempat

Resistansi Rf1, Rf2, Ri1 an Ri2 (ohm)	W pada PMOS/NMOS di M1p, M2n, M3p, M4n M5n ( $\lambda$ )
100	80/40
300	80/40
500	80/40
700	80/40
900	80/40

Tabel 3.5 Percobaan kelima

Resistansi Rf1, Rf2, Ri1, Ri2 (ohm)	W pada PMOS/NMOS di M1p, M2n, M3p, M4n M5n ( $\lambda$ )
100	100/80
300	100/80
500	100/80
700	100/80
900	100/80

## BAB 4

### HASIL DAN ANALISIS DATA SIMULASI

Pada bab ini akan disajikan hasil uji pengukuran dan analisa data yang diperoleh dari hasil ujicoba simulasi tersebut.

#### 4.1. Hasil Uji dan Analisis Data Uji Simulasi Slew Rate

Pengujian pengukuran awal ini bertujuan untuk perbandingan dari perubahan resistansi di  $R_{f1}$ ,  $R_{f2}$ ,  $R_{i1}$  dan  $R_{i2}$  dan perubahan nilai  $W$  pada PMOS dan NMOS  $M_{1p}$ ,  $M_{2n}$ ,  $M_{3p}$ ,  $M_{4n}$  dan  $M_{5n}$  dengan  $L = 1$  untuk mendapatkan optimasi nilai *slew rate* yang berpengaruh pada karakteristik dalam rangkaian differensial amplifier penuh pada rangkaian yang di ujikan dalam perancangan di bab 3. Semakin tinggi nilai dari *slew rate* maka performance dari rangkaian differensial amplifier penuh akan semakin baik.

Untuk Semua pengujian tegangan VDD digunakan nilai 1 volt sebagai tegangan sumber dan swing operasional pulsa amplifier pada tegangan offset sebagai pulsa masukan 300mV sampai 700 mv serta nilai  $L$  yang tetap pada setiap percobaan yaitu 1 . Pengukuran dan pengujian ini di lakukan untuk mengetahui seberapa baik nilai *slew rate* pada differensial amplifier dari kombinasi pada perubahan resistansi dan nilai  $W$  pada CMOS. Dengan perhitungan *slew rate* ( SR ) di hitung dari kemiringan garis yang merupakan gradien garis merupakan gradien garis :

$$SR = \Delta Y / \Delta X . \tag{4.1}$$

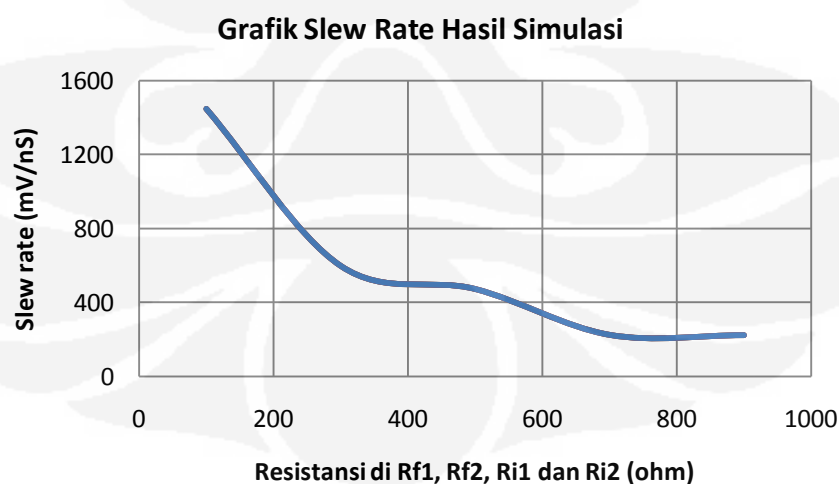
#### 4.1.2. Nilai Slew Rate dengan W/L pada PMOS 20/1 dan NMOS 10/1

Adapun nilai parameter pada percobaan pertama perubahannya adalah sebagai berikut seperti terlihat pada table 4.1. Dalam ujicoba simulasi di sini menggunakan perubahan resistansi untuk  $R_{f1}$ ,  $R_{f2}$ ,  $R_{i1}$  dan  $R_{i2}$  antara 100 ohm sampai dengan 900 ohm pada setiap resistansi tersebut dengan  $L = 1$  sesuai rekomendasi untuk teknologi CMOS 50 nm .

Tabel 4.1. Nilai Slew Rate dengan W/L pada PMOS 20/1 dan NMOS 10/1 untuk beberapa kombinasi perubahan resistansi pada percobaan pertama.

Rf1, Rf2, Ri1, Ri2 (ohm)	V1 (mV)	V2 (mV)	t1 (nS)	t2 (nS)	$\Delta V =$ V2-V1 (mV)	$\Delta t =$ t2-t1 (nS)	SR = $\Delta V / \Delta t$ (mV/nS)
100	-375	375	75	75,5	750	0,5	1500
300	-350	337,5	75	76	687,5	1	687,5
500	-337,5	312,5	75	77	640	2	320
700	-275	275	75	77	550	2	275
900	-250	337,5	75	77	587,5	2	293,75

Nilai *slew rate* sangat di pengaruhi oleh nilai resistansi pada Rf1, Rf2, Ri1 dan Ri2, hal ini di sebabkan dengan semakin kecilnya nilai resistansi maka nilai swing pulsa tegangan positif dan negative dari amplifier akan semakin besar seperti terlihat pada table 4.1. dengan demikian time respon semakin kecil antara keluaran dan masukan seperti data hasil simulasi pada percobaan pertama pada lampiran 1 yang terdiri dari gambar keluaran individual sinyal respon operasional amplifier dan nilai *slew rate* dengan W/L pada PMOS 20/1 dan NMOS 10/1 dengan perubahan resistansi dari perbedaan nilai sinyal respon amplifier antara masukan dan keluaran disesuaikan nilai-nilai pada table 4.1 . Untuk lebih jelas melihat perubahan dari slew rate, berikut grafik perubahan *slew rate* berdasarkan pada data table 4.1, :



**Gambar 4.1 Grafik Perubahan Slew Rate dengan W/L pada PMOS 20/1 dan NMOS 10/1 untuk beberapa kombinasi perubahan resistansi**

Dari gambar 4.1 dapat di simpulkan bahwa pengujian peratama analisis *slew rate* pada sumbu y mengalami perubahan secara exponential yang artinya nilai tersebut akan terus menurun sesuai kenaikan dari resistansi pada sumbu x, akan tetapi penurunan tidak akan pernah mendekati nilai nol sesuai dengan perubahan nilai resistansi seperti terlihat pada table 4.1. Untuk pengujian pertama nilai *slew rate* tertingginya adalah 1500 mV/nS dengan resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm dan nilai *slew rate* terendahnya adalah 293, 75 mV/ns dengan resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 900 ohm. Hal ini jelas bahwa semakin kecil nilai resistansi maka delta  $\Delta t$  yaitu selisih antara time respon keluaran dan masukan akan semakin kecil akibatnya *slew rate* akan semakin besar.

#### 4.1.3. Nilai Slew Rate dengan W/L pada PMOS 40/1 dan NMOS 20/1

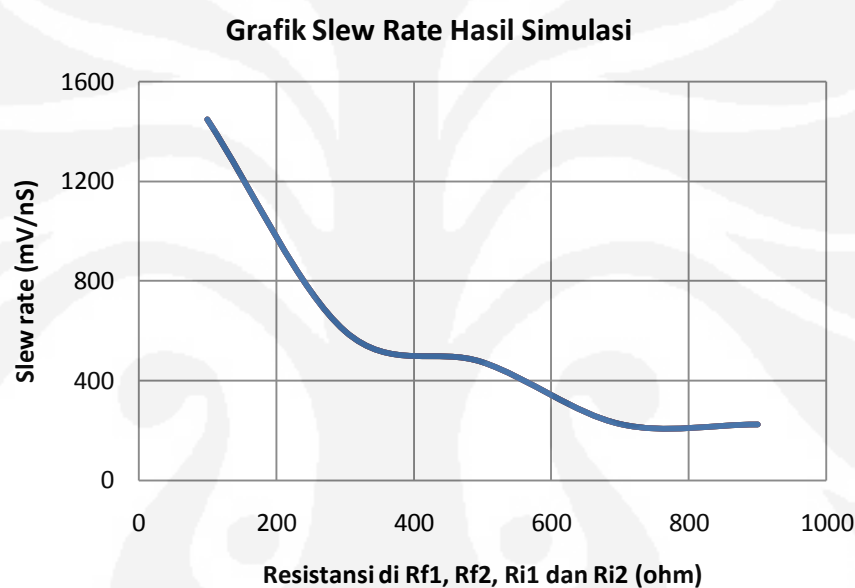
Adapun nilai parameter pada percobaan kedua perubahannya adalah sebagai berikut seperti terlihat pada table 4.2. Dalam ujicoba simulasi di sini menggunakan perubahan resistansi di Rf1, Rf2, Ri1 dan Ri2 pada range antara 100 ohm sampai dengan 900 ohm dengan nilai W pada PMOS = 40 dan NMOS 20 di M1p, M2n, M3p, M4n dan M5n dengan L = 1 hal ini bertujuan untuk mengetahui nilai perubahan dari *slew rate* yang akan diujikan.

Tabel 4.2. Nilai Slew Rate dengan W/L pada PMOS 40/1 dan NMOS 20/1 untuk beberapa kombinasi perubahan resistansi pada percobaan kedua.

Rf1, Rf2, Ri1, Ri2 (ohm)	V1 (mV)	V2 (mV)	t1 (nS)	t2 (nS)	$\Delta V =$ V2-V1 (mV)	$\Delta t =$ t2-t1 (nS)	SR = $\Delta V / \Delta t$ (mV/nS)
100	-362.5	362.5	75	75.5	725	0.5	1450
300	-300	300	75	76	600	1	600
500	-237.5	237.5	75	76	475	1	475
700	-200	200	75	76.5	400	1.5	226.7
900	-187.5	150	75	76.5	337.5	1.5	225

Sama seperti percobaan pertama nilai *slew rate* pada percobaan kedua sudah mulai terlihat selain nilai resistansi, nilai perubahan W pada PMOS dan NMOS di M1p, M2n, M3p, M4n dan M5n juga berakibat pada nilai swing pulsa

tegangan positif dan negative tidak sebesar pada percobaan pertama. Sehingga nilai dari  $\Delta V$  dan  $\Delta t$  juga semakin menurun dan *slew rate* akan mengecil sesuai perubahan yang di berikan tersebut seperti terlihat pada table 4.2 Untuk data hasil simulasi pada percobaan kedua terlampir pada lampiran 1 yang terdiri dari gambar keluaran individual sinyal respon operasional amplifier dan nilai *slew rate* dengan W/L pada PMOS 40/1 dan NMOS 20/1 pada perubahan resistansi dari perbedaan nilai sinyal respon amplifier antara inputan dan keluaran disesuaikan nilai-nilai pada table 4.2. Untuk lebih jelas melihat perubahan dari *slew rate*, berikut grafik perubahan *slew rate* berdasarkan pada data table 4.2, :



**Gambar 4.2 Grafik Perubahan Slew Rate W/L pada PMOS 40/1 dan NMOS 20/1 untuk beberapa kombinasi perubahan resistansi**

Analisis *slew rate* pada percobaan kedua sama dengan pada analisis percobaan pertama yaitu nilai *slew rate* pada sumbu y mengalami perubahan secara eksponensial yang artinya nilai tersebut akan terus menurun sesuai kenaikan dari resistansi pada sumbu x, akan tetapi penurunan tidak akan pernah mendekati nilai nol sesuai dengan perubahan nilai resistansi dan nilai W pada PMOS dan NMOS seperti terlihat table 3.2 dan table 4.2 pada percobaan kedua. Untuk nilai *slew rate* tertingginya adalah 1450 mV/nS dengan resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm dan nilai *slew rate* terendahnya adalah 225 mV/ns dengan resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 900 ohm. Range perubahan *slew rate*



dari setiap titik resistansi tidak begitu besar hal tersebut terlihat bahwa selisih perubahan time respon di antara titik-titik tersebut hanya berkisar 0.5 nS.

#### 4.1.4. Nilai Slew Rate dengan W/L pada PMOS 60/1 dan NMOS 40/1

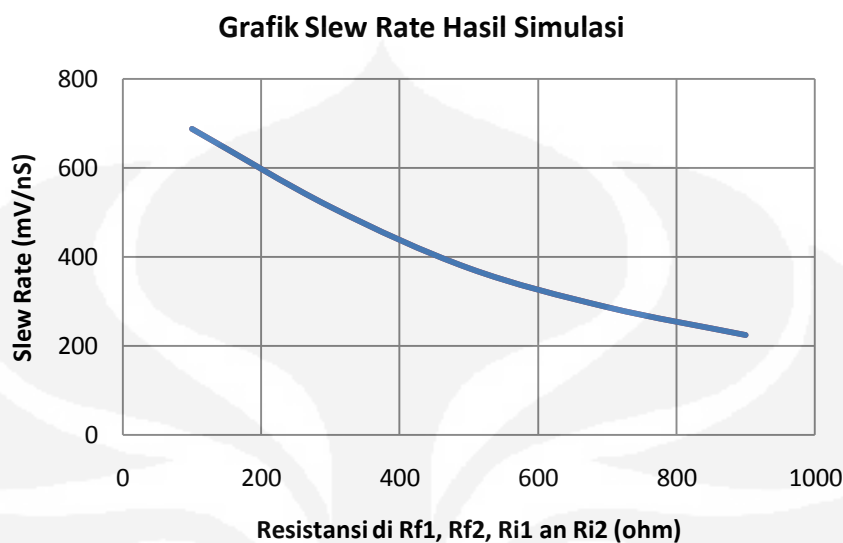
Adapun nilai parameter pada percobaan ketiga perubahannya adalah sebagai berikut seperti terlihat pada table 4.3 Dalam ujicoba simulasi di sini menggunakan perubahan resistansi di Rf1, Rf2, Ri1 an Ri2 pada range antara 100 ohm sampai dengan 900 ohm dengan perbandingan nilai W pada PMOS = 60 dan NMOS = 40 di M1p, M2n, M3p, M4n M5n hal ini bertujuan untuk mengetahui perbedaan nilai perubahan dari *slew rate* yang akan diujikan pada setiap percobaan yang di lakukan.

Tabel 4.3. Nilai Slew Rate dengan W/L PMOS 60/1 dan NMOS 40/1 untuk beberapa kombinasi perubahan resistansi pada percobaan ketiga

Rf1, Rf2, Ri1, Ri2 (ohm)	V1 (mV)	V2 (mV)	t1 (nS)	t2 (nS)	$\Delta V =$ V2-V1 (mV)	$\Delta t =$ t2-t1 (nS)	SR = $\Delta V / \Delta t$ (mV/nS)
100	-350	337.5	75	76	687.5	1	687.5
300	-262.5	250	75	76	512.5	1	512.5
500	-187.5	187.5	75	76	375	1	375
700	-150	137.5	75	76	287.5	1	287.5
900	-112.5	112.5	75	76	225	1	225

Sama seperti percobaan pertama dan kedua nilai *slew rate* pada percobaan ketiga juga sudah mulai terlihat selain nilai resistansi, nilai perubahan W pada PMOS dan NMOS di M1p, M2n, M3p, M4n M5n juga berakibat pada nilai swing pulsa tegangan positif dan negative tidak sebesar pada percobaan pertama dan kedua. Sehingga nilai dari  $\Delta V$  dan  $\Delta t$  juga semakin menurun dan *slew rate* akan mengecil sesuai perubahan tersebut seperti terlihat pada table 4.3. Untuk data hasil simulasi pada percobaan ketiga terlampir pada lampiran 1 yang terdiri dari gambar keluaran individual sinyal respon operasional amplifier dan nilai *slew rate* dengan W/L pada PMOS 60/1 dan NMOS 40/1 pada perubahan resistansi dari perbedaan nilai sinyal respon amplifier antara inputan dan keluaran disesuaikan nilai-nilai

pada table 4.3. Untuk lebih jelas melihat perubahan dari slew rate, berikut grafik perubahan *slew rate* berdasarkan pada data table 4.3, :



**Gambar 4.3 Grafik Perubahan Slew Rate dengan W/L pada PMOS 60/1 dan NMOS 40/1 untuk beberapa kombinasi perubahan resistansi**

Analisis *slew rate* pada percobaan ketiga sama dengan pada analisis percobaan sebelumnya yaitu nilai *slew rate* pada sumbu y mengalami perubahan secara eksponensial yang artinya nilai tersebut akan terus menurun sesuai kenaikan dari resistansi pada sumbu x, akan tetapi penurunan tidak akan pernah mendekati nilai nol sesuai dengan perubahan nilai resistansi di Rf1, Rf2, Ri1 dan Ri2 dan nilai W pada PMOS dan NMOS di M1p, M2n, M3p, M4n M5n seperti terlihat table 4.3 pada percobaan sebelumnya. Untuk nilai *slew rate* tertingginya adalah 687.5 mV/nS dengan resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm dan nilai *slew rate* terendahnya adalah 225 mV/ns dengan resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 900 ohm. Dari grafik gambar 4.3 dan table 4.3 terlihat perubahan nilai *slew rate*nya tidak terlalu signifikan antara titik perubahan resistansinya, hal tersebut dikarenakan kestabilan nilai pada time respon antara tiap-tiap titik sebesar 1 nS.

#### 4.1.5. Nilai Slew Rate dengan W/L pada PMOS 80/1 dan NMOS 60/1

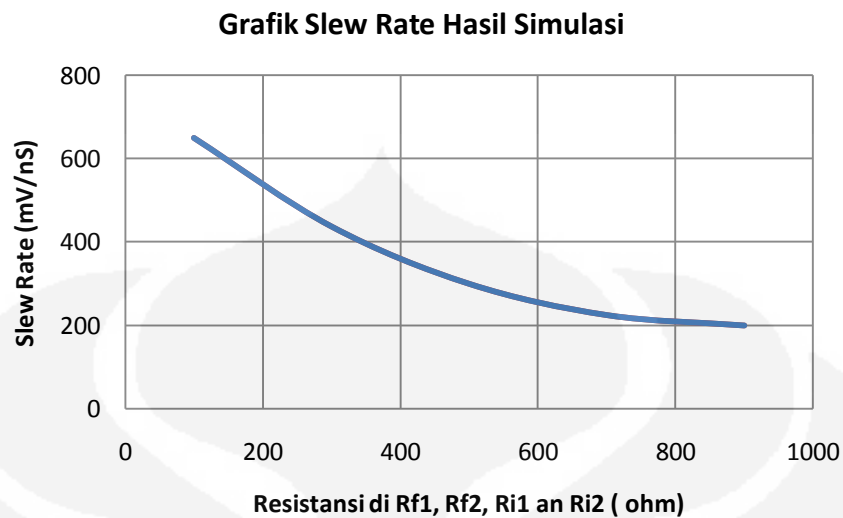
Adapun nilai parameter pada percobaan kedua perubahannya adalah sebagai berikut seperti terlihat pada table 4.4 Dalam ujicoba simulasi di sini

menggunakan perubahan resistansi di  $R_{f1}$ ,  $R_{f2}$ ,  $R_{i1}$  dan  $R_{i2}$  pada range antara 100 ohm sampai dengan 900 ohm dengan perbandingan nilai  $W$  pada PMOS = 80 dan NMOS = 60 di  $M_{1p}$ ,  $M_{2n}$ ,  $M_{3p}$ ,  $M_{4n}$   $M_{5n}$  hal ini bertujuan untuk mengetahui nilai perubahan dari *slew rate* yang akan diujikan pada setiap percobaan yang di lakukan.

Tabel 4.4. Nilai Slew Rate dengan  $W/L$  pada PMOS 80/1 dan NMOS 60/1 untuk beberapa kombinasi perubahan resistansi pada percobaan keempat.

$R_{f1}$ , $R_{f2}$ , $R_{i1}$ , $R_{i2}$ (ohm)	$V_1$ (mV)	$V_2$ (mV)	$t_1$ (nS)	$t_2$ (nS)	$\Delta V =$ $V_2 - V_1$ (mV)	$\Delta t =$ $t_2 - t_1$ (nS)	$SR = \Delta V / \Delta t$ (mV/nS)
100	-325	325	75	76	650	1	650
300	-225	212.5	75	76	437.5	1	437.5
500	-150	150	75	76	300	1	300
700	-112.5	112.5	75	76	225	1	225
900	-100	100	75	76	200	1	200

Sama seperti percobaan sebelumnya nilai *slew rate* pada percobaan keempat juga sudah mulai terlihat selain nilai resistansi, nilai perubahan  $W$  pada PMOS dan NMOS juga berakibat pada nilai swing pulsa tegangan positif dan negative tidak sebesar pada percobaan sebelumnya. Sehingga nilai dari  $\Delta V$  dan  $\Delta t$  juga semakin menurun dan *slew rate* akan mengecil sesuai perubahan tersebut seperti terlihat pada table 4.4 Untuk data hasil simulasi pada percobaan keempat terlampir pada lampiran 1 yang terdiri dari gambar keluaran individual sinyal respon operasional amplifier dan nilai *slew rate* dengan  $W/L$  pada PMOS 80/1 dan NMOS 60/1 pada perubahan resistansi dari perbedaan nilai sinyal respon amplifier antara inputan dan keluaran disesuaikan nilai-nilai pada table 4.4. Untuk lebih jelas melihat perubahan dari *slew rate*, berikut grafik perubahan *slew rate* berdasarkan pada data table 4.4, :



**Gambar 4.4 Grafik Perubahan Slew Rate dengan W/L pada PMOS 80/1 dan NMOS 60/1 untuk beberapa kombinasi perubahan resistansi**

Analisis *slew rate* pada percobaan keempat sama dengan pada analisis percobaan sebelumnya yaitu nilai *slew rate* pada sumbu y mengalami perubahan secara eksponensial yang artinya nilai tersebut akan terus menurun sesuai kenaikan dari resistansi pada sumbu x, akan tetapi penurunan tidak akan pernah mendekati nilai nol sesuai dengan perubahan nilai resistansi di table 3.4 dan nilai W pada PMOS dan NMOS seperti terlihat table 3.4 dan table 4.4 pada percobaan keempat. Untuk nilai *slew rate* tertingginya adalah 650 mV/nS dengan resistansi bernilai 100 ohm dan nilai *slew rate* terendahnya adalah 200 mV/ns dengan resistansi 900 ohm. Dari grafik gambar 4.4 dan table 4.4 terlihat perubahan nilai *slew rate*nya tidak terlalu signifikan antara titik perubahan resistansinya, hal tersebut dikarenakan kestabilan nilai pada time respon antara tiap-tiap titik sebesar 1 nS. Sedikit ada kesamaan memang antara percobaan ketiga dan keempat, hanya saja perbedaan tersebut terletak pada  $\Delta V$  range perubahannya lebih kecil antara 200mV sampai dengan 650mV yang diakibatkan oleh perbedaan W antara percobaan ketiga dan keempat sebesar 20 pada PMOS/NMOSnya.

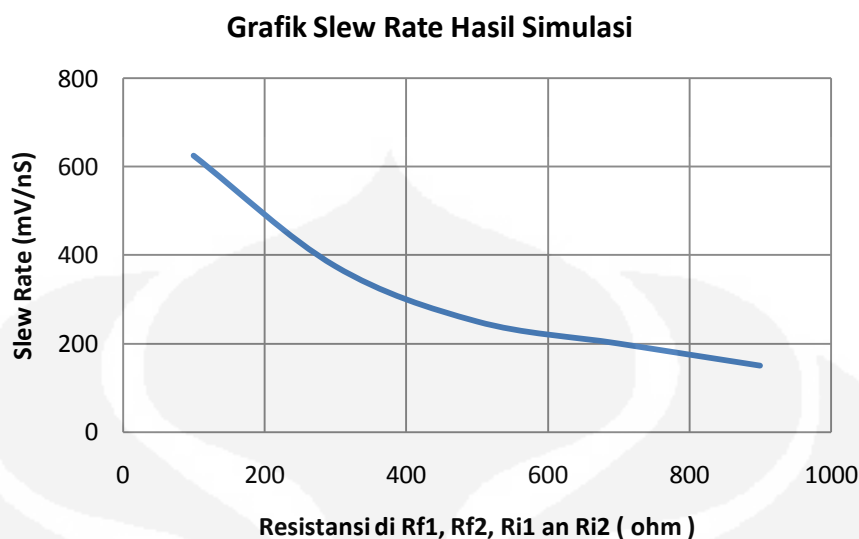
#### 4.1.6. Nilai Slew Rate dengan W/L pada PMOS 100/1 dan NMOS 80/1

Adapun nilai parameter pada percobaan kelima atau terakhir perubahannya adalah sebagai berikut seperti terlihat pada table 4.5 Dalam ujicoba simulasi di sini menggunakan perubahan resistansi sesuai table 3.5 pada range antara 100 ohm sampai dengan 900 ohm hal ini bertujuan untuk mengetahui nilai perubahan dari *slew rate* yang akan diujikan pada setiap percobaan yang dilakukan.

Tabel 4.5. Nilai *Slew rate* dengan W/L pada PMOS 100/1 dan NMOS 80/1 untuk beberapa kombinasi perubahan resistansi pada percobaan kelima.

Rf1, Rf2, Ri1, Ri2 (ohm)	V1 (mV)	V2 (mV)	t1 (nS)	t2 (nS)	$\Delta V =$ V2-V1 (mV)	$\Delta t =$ t2-t1 (nS)	SR = $\Delta V / \Delta t$ (mV/nS)
100	-312.5	312.5	75	76	625	1	625
300	-187.5	187.5	75	76	375	1	375
500	-125	125	75	76	250	1	250
700	-100	100	75	76	200	1	200
900	-75	75	75	76	150	1	150

Sama seperti percobaan sebelumnya nilai *slew rate* pada percobaan kelima sudah mulai terlihat selain nilai resistansi, nilai perubahan W pada PMOS dan NMOS di M1p, M2n, M3p, M4n M5n juga berakibat pada nilai swing pulsa tegangan positif dan negative tidak sebesar pada percobaan sebelumnya. Sehingga nilai dari  $\Delta V$  dan  $\Delta t$  juga semakin menurun dan *slew rate* akan mengecil sesuai perubahan tersebut seperti terlihat pada table 4.5 Untuk data hasil simulasi pada percobaan kelima terlampir pada lampiran 1 yang terdiri dari gambar keluaran individual sinyal respon operasional amplifier dan nilai *slew rate* dengan W/L pada PMOS 100/1 dan NMOS 80/1 pada perubahan resistansi dari perbedaan nilai sinyal respon amplifier antara inputan dan keluaran disesuaikan nilai-nilai pada table 4.5. Untuk lebih jelas melihat perubahan dari *slew rate*, berikut grafik perubahan *slew rate* berdasarkan pada data table 4.5 :



**Gambar 4.5 Grafik Perubahan Slew Rate dengan W/L pada PMOS 100/1 dan NMOS 80/1 untuk beberapa kombinasi perubahan resistansi**

Analisis *slew rate* pada percobaan kelima sama dengan pada analisis percobaan sebelumnya yaitu nilai *slew rate* pada sumbu y mengalami perubahan secara eksponensial yang artinya nilai tersebut akan terus menurun sesuai kenaikan dari resistansi pada sumbu x, akan tetapi penurunan tidak akan pernah mendekati nilai nol sesuai dengan perubahan nilai resistansi sesuai table 3.5 dan nilai W pada PMOS dan NMOS seperti terlihat pada table 3.5 dan table 4.5 pada percobaan kelima. Untuk nilai *slew rate* tertingginya adalah 625 mV/nS dengan resistansi bernilai 100 ohm dan nilai *slew rate* terendah adalah 150 mV/ns dengan resistansi 900 ohm. Dalam percobaan kelima/terakhir perubahan relative konstan, berbeda pada percobaan sebelumnya. Seperti tampak pada table 4.5. Di sini terlihat bahwa semakin besar resistansi dan nilai W pada PMOS dan NMOS maka nilai *slew rate* akan semakin kecil pula.

#### **4.2. Hasil Optimasi Slew Rate Terbaik**

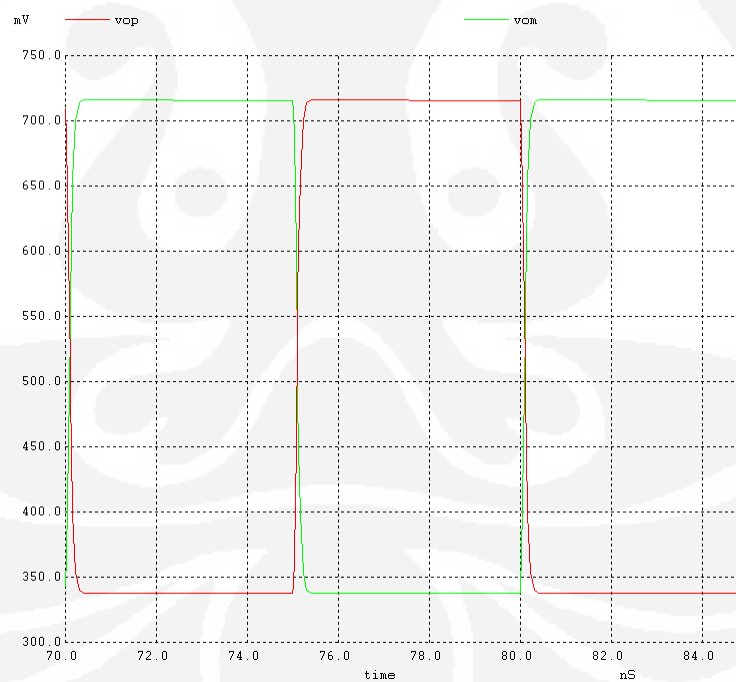
Setelah dilakukannya proses uji dan analisa *slew rate* keseluruhan pada gambar 3.2 dengan simulasi menggunakan program winspice versi 3 didapatkan kesimpulan bahwa hasil optimasi *slew rate* terbaik ada pada percobaan pertama dan kedua yaitu bernilai 1450 mV/nS dan 1500 mV/nS.

Berikut data perbandingan hasil uji optimasi yg terbaik dari kedua percobaan tersebut.

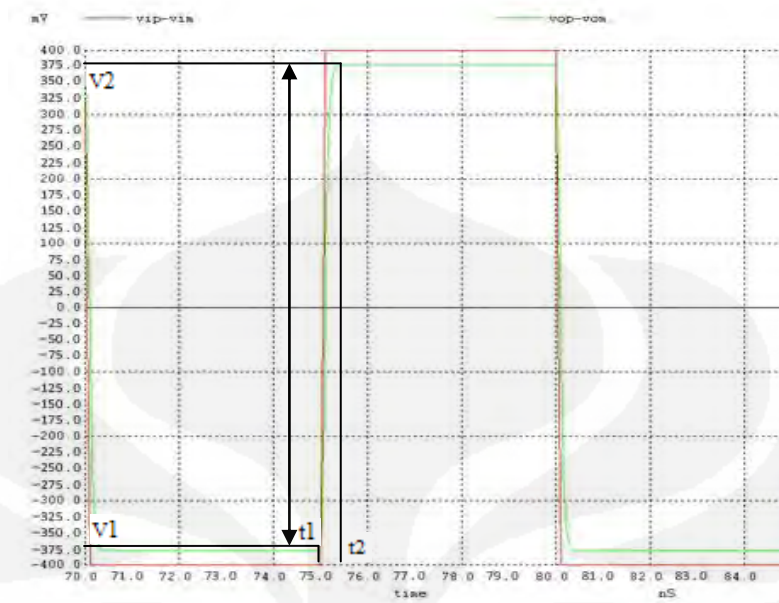
Tabel 4.6. Perbandingan Parameter Dari Nilai Slew Rate Terbaik

Parameter	Slew Rate 1450 mv/nS	Slew Rate 1500 mv/nS
Resistansi di Rf1, Rf2, Ri1 an Ri2	100 ohm	100 ohm
W di M1p, M2n, M3p, M4n dan M5n	PMOS = 20 NMOS = 10	PMOS = 40 NMOS = 20
L di M1p, M2n, M3p, M4n dan M5n	1	1
Tegangan Offset ( $\Delta V$ )	750 mV	725 mV
Selisih Time respon ( $\Delta t$ )	0,5 nS	0,5 nS

Untuk hasil simulasi keseluruhan dari hasil uji optimasi *slew rate* terbaik yang di lakukan dalam percobaan pertama dan kedua pada winspice adalah sebagai berikut .

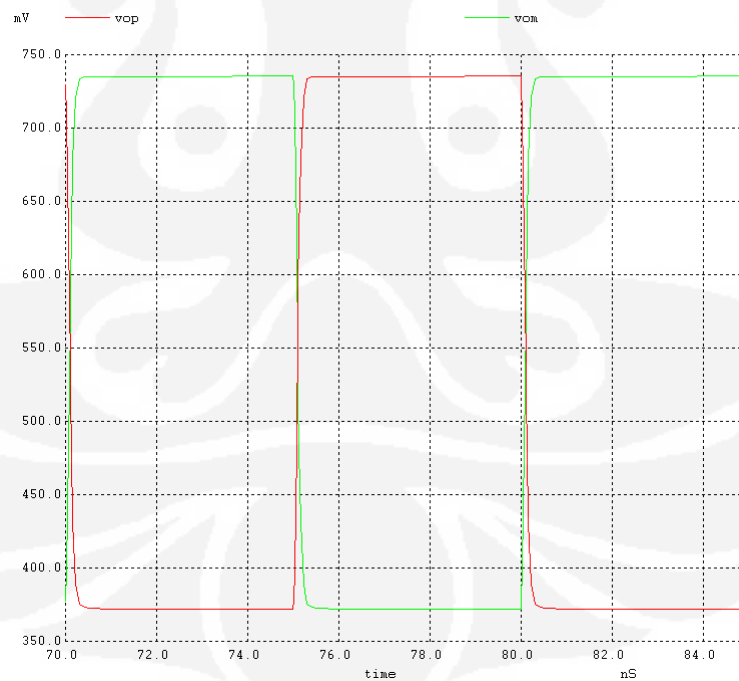


(a)



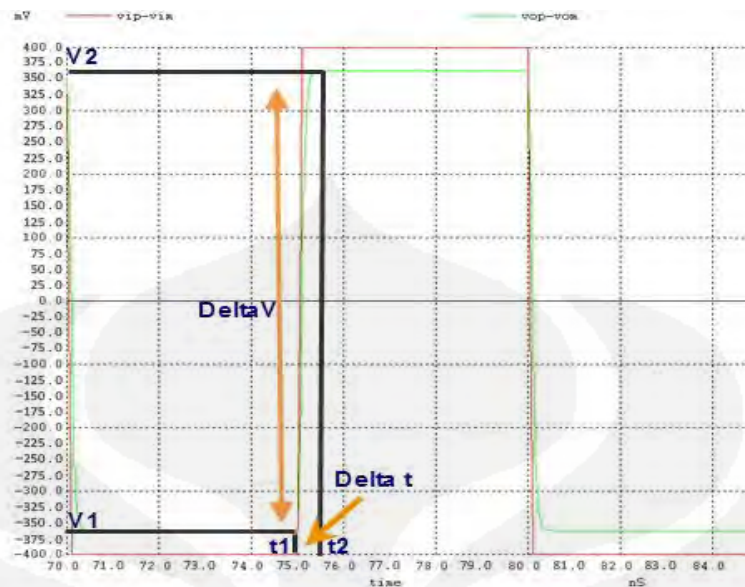
(b)

**Gambar 4.6. Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$**



(a)





(b)

**Gambar 4.7. Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 40/1 dan NMOS 20/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom**

Kesimpulan analisis hasil optimasi keseluruhan dari simulasi *slew rate* pada percobaan pertama sebagai hasil optimasi *slew rate* terbaik dalam skripsi ini bahwa dalam keadaan sistem setimbang dimana masukannya setimbang, maka sinyal masukan dan keluaran akan memiliki tegangan yang sama atau rata-rata (diilustrasikan dalam gambar 4.6 (a) ). Sehingga ketika rangkaian uji pada gambar 3.2 secara keseluruhan di lakukan perubahan di Rf1, Rf2, Ri1 dan Ri2 pada rangkaian differensial pada bagian berwarna merah bernilai 100 ohm dengan W/L pada PMOS= 20/1 dan NMOS = 10/1 di M1p, M2n, M3p, M4n M5n pada rangkaian buffer seperti di tunjukan pada bagian warna biru disisi kanan kirinya sangat berpengaruh sekali pada nilai slew rate, karena dengan semakin kecilnya nilai resistansi maka nilai swing pulsa tegangan keluaran positif dan negative dari amplifier akan semakin besar hal tersebut pengaruh sinyal operasi keluaran di Vop dan Vom yang besar pula yang sangat berpengaruh pada nilai  $\Delta V$  seperti terlihat pada hasil simulasi di gambar 4.6 (a),(b) dan data hasil simulasi di table 4.1 dengan demikian selisih time respon ( $\Delta t$ ) semakin kecil antara keluaran dan

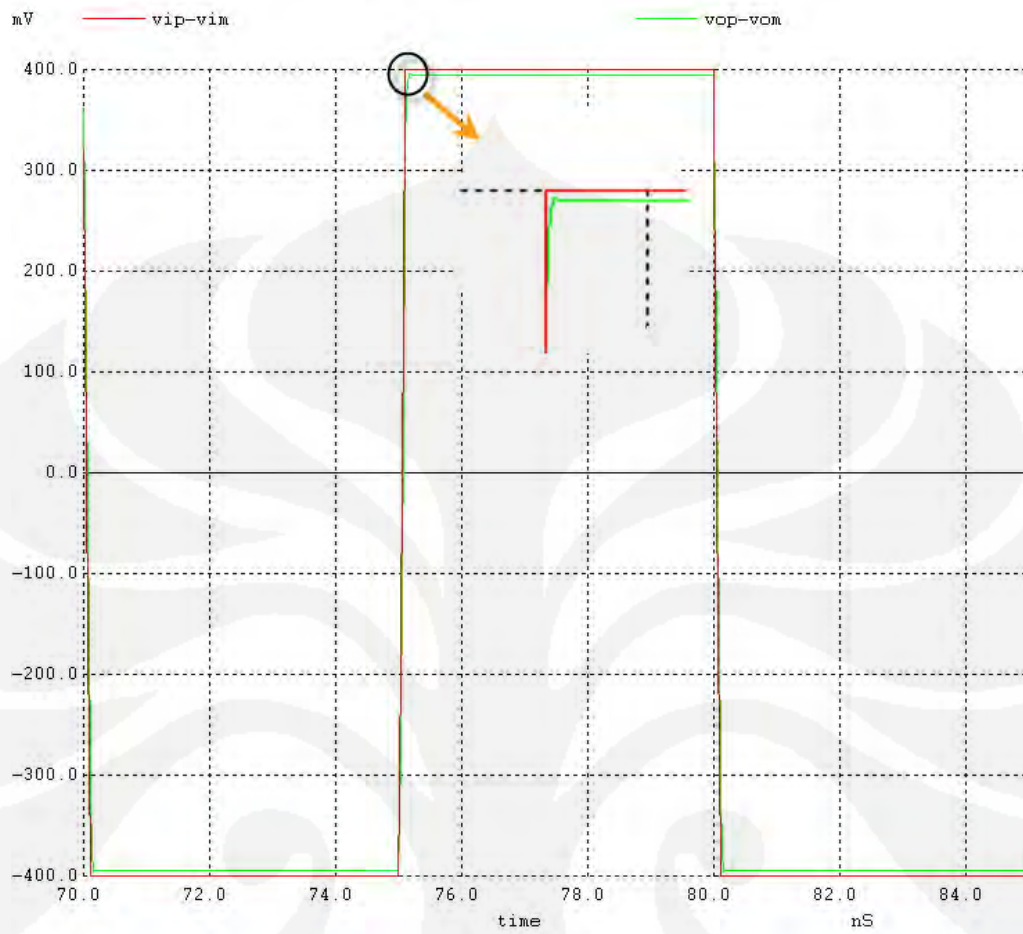
masukan, secara otomatis nilai *slew rate* akan semakin meningkat hingga sebesar nilai 1500 mV/nS.

Ini berarti perubahan keluaran op-amp tersebut tidak bisa lebih cepat dari 1500 mV dalam waktu 1 nS. Secara karakteristik Op-amp ideal semakin besar nilai *slew rate* maka semakin baik karakteristik dari sebuah op-amp dan Op-amp ideal memiliki parameter *slew-rate* yang tak terhingga. Sehingga jika input berupa sinyal kotak, maka outputnya juga kotak. Tetapi karena ketidak idealan op-amp, maka sinyal output dapat berbentuk ekponensial sehingga terjadi perbedaan kemiringan sinyal pulsa antara keluaran dan masukan yaitu selisih tegangan antara masukan v1 (non-inverting) dengan masukan v2 (inverting) yang menjadi dasar dari perumusan untuk menghitung nilai *slew rate* seperti pada persamaan 3.5.

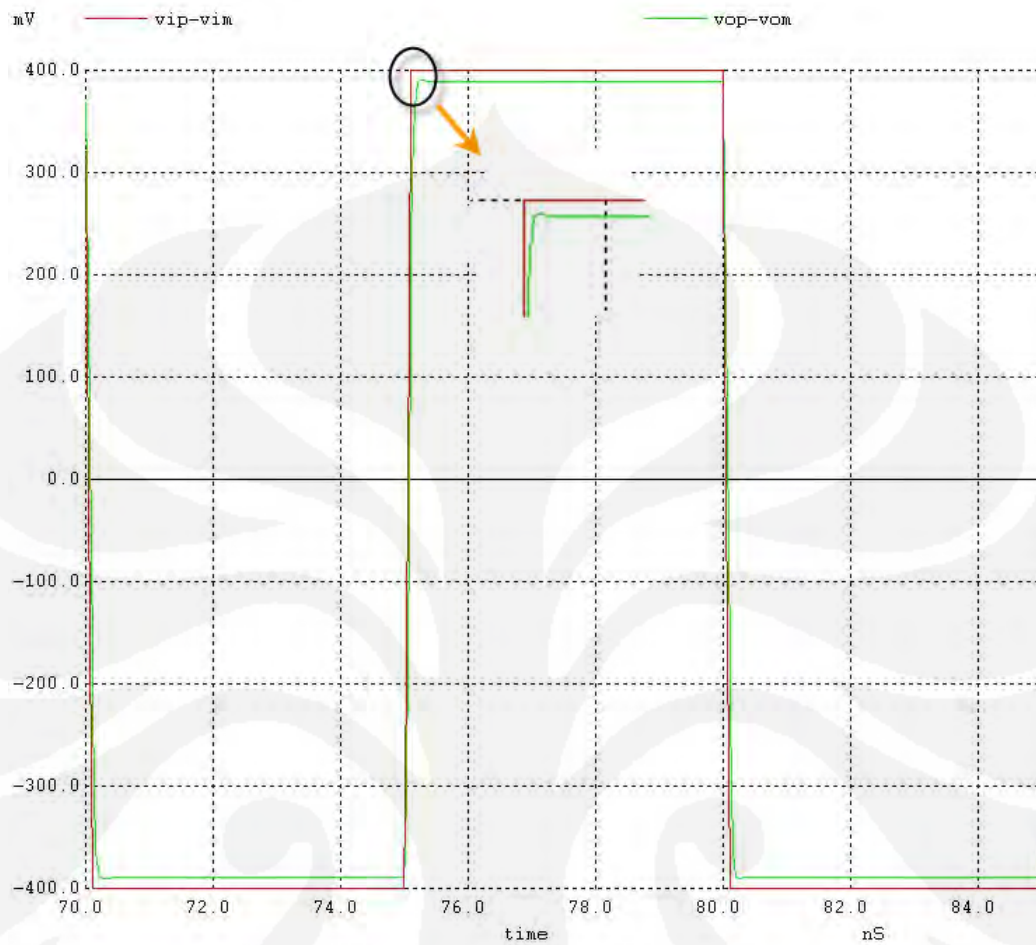
#### **4.3. Uji Slew Rate Pada Batas Resistansi Terkecil**

Untuk membuktikan optimalisasi yang telah dilakukan pada nilai resistansi dengan batas 100-900 ohm maka dari hasil uji *slew rate* terbaik kembali diujikan dalam percobaana pada resistansi batas resistansi terkecil, hal ini bertujuan untuk mengetahui seberapa pengaruh batas nilai resistansi terhadap nilai *slew rate*.

Sama halnya seperti pengujian sebelumnya yaitu dengan VDD = 1 Volt, tegangan offset sebagai pulsa masukan 300mV sampai 700 mv serta nilai W/L pada PMOS 20/1 dan NMOS 10/1 di M1p, M2n, M3p, M4n M5n dengan nilai resistansi yang di ujikan yaitu 25 ohm, 50 ohm dan 75 ohm seperti tampak pada table 4.7. Keseluruhan parameter tersebut kemudian dimasukkan dalam netlist winspice dan simulasikan kembali, sehingga menghasilkan sinyal operasi *slew rate* seperti terlihat pada gambar 4.8 berikut ini :

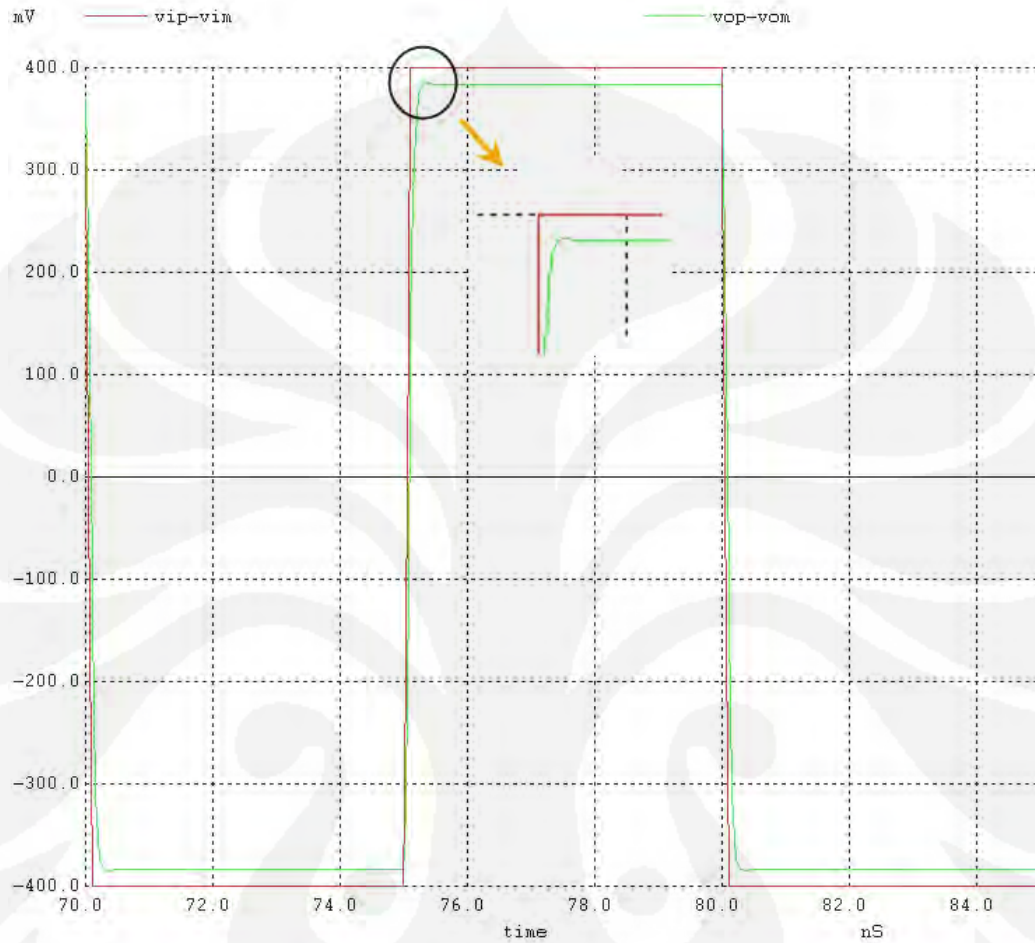


**Gambar 4.8. Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 25 ohm**



**Gambar 4.9. Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 40/1 dan NMOS 20/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 50 ohm**

**Gambar 4.10. Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n**



**M5n pada PMOS 40/1 dan NMOS 20/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 75 ohm**

Seperti terlihat dari hasil simulasi pada gambar 4.8 – 4.9 di dapat analisis bahwa nilai *slew rate* tidak dapat di hitung dikarenakan adanya ketidak idealan sinyal/pulsa yang biasa disebut *spike sinyal* untuk bagian yang di besarkan pada pulsa sinyal keluaran terhadap pulsa sinyal masukan, hal ini pula yang dipertimbangkan mengapa pada skripsi optimalisasi *slew rate* tidak menggunakan nilai resistansi di bawah 100 ohm melainkan menggunakan batas resistansi yaitu 100-900 ohm sebagai salah satu metode pengujian dan analisis untuk mendapatkan nilai *slew rate* terbaik sebesar 1450 mV/nS pada percobaan kedua dan nilai 1500 mV/nS pada percobaan pertama.

## BAB 5

### KESIMPULAN DAN SARAN

#### Kesimpulan

Hasil uji desain sirkuit dan pengujian simulasi menggunakan Winspice maka didapatkan hasil seagai berikut :

- Semakin kecil nilai  $W$  pada PMOS dan NMOS di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  serta semakin kecil resistansi pada  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  maka nilai *slew rate* akan semakin besar, begitupun sebaliknya.
- Perubahan nilai resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  dan nilai  $W$  pada NMOS dan PMOS di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  , hal tersebut di lakukan karena akan memperbesar gain dan arus dalam rangkaian yang diujikan di gambar 3.2 akibatnya nilai  $\Delta V$  akan semakin besar dan time respon ( $\Delta t$ ) semakin kecil sehingga nilai *slew rate* akan semakin besar..
- Simulasi dengan WinSpice Versi 3 didapatkan *Slew rate* bervariasi dengan nilai tinggi *Slew rate* =1500 mV/nS dengan perubahan nilai pada PMOS = 20 dan NMOS = 10 di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  dengan resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai 100 ohm pada pengujian data percobaan pertama sedangkan untuk *Slew rate* terendah 150 mV/nS dengan perubahan nilai pada PMOS = 100 dan NMOS = 80 di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  dengan resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai 900 ohm pada pengujian data percobaan kelima atau terakhir.
- Dari hasil uji resistansi pada bab 4 bahwa resistansi di bawah 100 ohm tidak di pertimbangkan untuk optimalisasi *slew rate* hal tersebut karena timbulnya spike sinyal pada tegangan keluaran dari rangkaian *full differential two stage* secara keseluruhan sehingga nilai *slew rate* sulit untuk di hitung.

**Saran**

Untuk menghasilkan *slew rate* tinggi lakukanlah ketelitian perhitungan dengan menambahkan berapa percobaan ukuran atau nilai  $W$  dan  $L$ , resistansi, serta kapasitor kompensasi dengan mengacu pada tujuan dari literatur yang digunakan serta manfaatkanlah waktu sebaik mungkin yang tersedia dalam skripsi untuk membaca literatur dan bisa mengambil data percobaan sebanyak-banyaknya agar didapat perbandingan dari hasil pengujian yang maksimal.



## DAFTAR ACUAN

- [1] Ensiklopedia bebas, Wikipedia bahasa Indonesia. *CMOS*  
<http://id.wikipedia.org/wiki/CMOS>
- [2] Hamongan, Aswan., *Transistor FET – JFET dan MOSFET*  
[www.electroniclab.com](http://www.electroniclab.com).
- [3] Ensiklopedia bebas, Wikipedia bahasa Indonesia. *MOSFET*  
<http://id.wikipedia.org/wiki/MOSFET>
- [4] *CMOS Circuit Design, Layout, and Simulation, Second Edition*  
R. Jakob Beker, IEEE Press
- [5] *Electronics.-Operational.Amplifiers.-.Introduction.to.CMOS.OP-AMPS.and.Comparators.* Roubik Gregorian
- [6] *Slew-Rate and Gain Enhancement in Two Stage Operational Amplifiers*  
Aldo Pena Perez, Nithin Kumar Y.B Edoado Bonizzoni, and Franco Maloberti, Department of Electronics University of Pavia, Italy
- [7] Sicard, Etienne, and Bendhia, Sonia Delmas. (2007). *Basic CMOS Cell Design.* New Delhi : McGraw-Hill.
- [8] Razavi , Behzad. (2001). *Design of Analog CMOS Integrated Circuit Design.* New Delhi : McGraw-Hill.

## DAFTAR PUSTAKA

*A Novel Low Power CMOS Operational Amplifier With High Slew Rate and High Common Mode Rejection Ratio*

Ismail Nabhan and Moussa Abdillah Department of Electronics Engineering, King Abdullah II School Electrical Engineering, Princess Sumaya University for Technology, Amman Jordan

*Electronics.-.Operational.Amplifiers.-.Introduction.to.CMOS.OP-AMPS.and.Comparators*

Roubik Gregorian

*Slew-Rate and Gain Enhancement in Two Stage Operational Amplifiers*

Aldo Pena Perez, Nithin Kumar Y.B Edoado Bonizzoni, and Franco Maloberti, Department of Electronics University of Pavia, Italy

*CMOS Circuit Design, Layout, and Simulation, Second Edition*

R . Jakob Beker, IEEE Press

*A Low-Noise Low-Offset Capacitive Sensing Amplifier for a 50-g Hz Monolithic CMOS MEMS Accelerometer*

Jiangfeng Wu, Gary K. Fedder, and L. Richard Carley, Fellow, IEEE.

*A Mixed-Signal Low-Noise Sigma-Delta Interface IC for Integrated Sub-Micro-Gravity Capacitive SOI Accelerometers*

A Dissertation Presented to The Academic Faculty By Babak Vakili Amini In Partial Fulfillment Of the Requirements for the Degree Doctor of Philosophy in the School of Electrical and Computer Engineering

*Microelectronics and Integrated Approach (Chapter 4,5,6)*

Courtesy of Prof. R Gronsky, Dept. of MSME, Univ of California at Berkeley ).

Frame, James W.(2005).*Comparator Circuit for Semiconductor Test System*.United State Patent:Advantest Corp..

Hughes,Frederick.W.(1981).*Op Amp Handbook*.London:Prentice-Hall.

Li, Xiaobei.B.,Larson, Sam.D.,Zyusin.(2004).*Design of Multi-channel Fringing Electric Field Sensors for Imaging Part II: Numerical Examples*.Conference Record of the 2004 IEEE International Symposium on Electric Insulation, Indianapolis, IN USA, 19-22 September 2004.

*Noise Analysis and Characterization of a Sigma-Delta Capacitive Microaccelerometer*

Haluk Klah, *Member, IEEE*, Junseok Chae, *Member, IEEE*, Navid Yazdi, and Khalil Najafi, *Fellow, IEEE*.

Tobey, Graamea, Huelsman. (1971). *Operational Amplifier Design and Applications*. New Delhi: McGRAW-HILL KOGAKUSHA, LTD.

Travis, Bill. (2003). *design ideas Video Multiplexer uses High-speed Op Amps*. Dallas: Texas Instrument.

*Analysis And Design of Analog Integrated Circuit fourth Edition*

Paul R. Gray ( univ. of California, Berkeley ), Paul J. Hurst ( Univ. of California, Davis ), Stephen H. Lewis ( Univ. of California, Davis ), Robert G. Meyer ( univ. of California, Berkeley ).

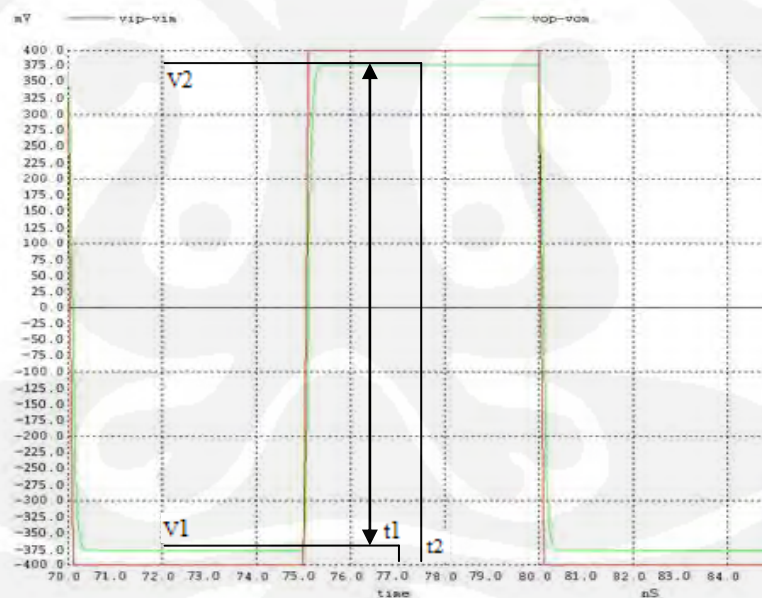
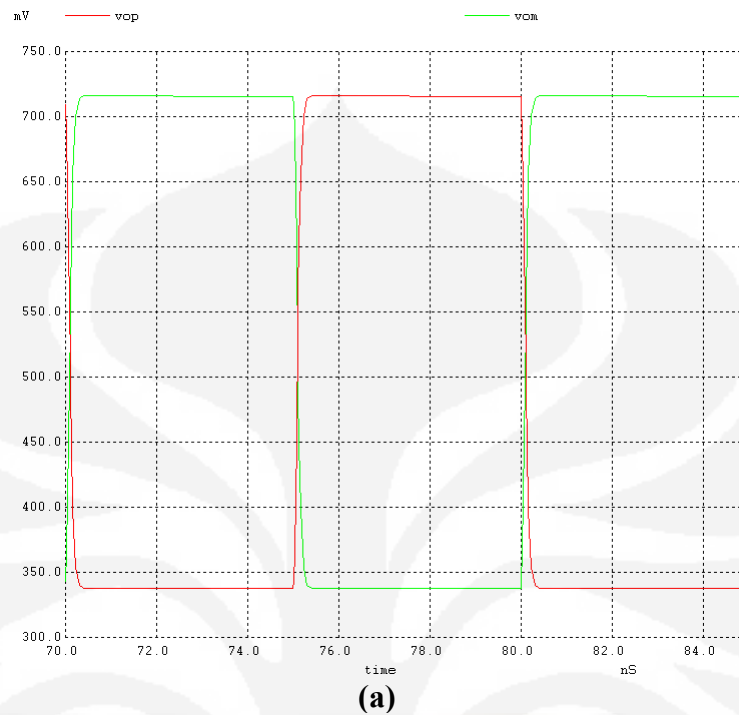
*PSPICE for Basic Microelectronics ( ORCAD include PSPICE 9.2.8 )*

*WinSPIC Versi 3 for Simulator*

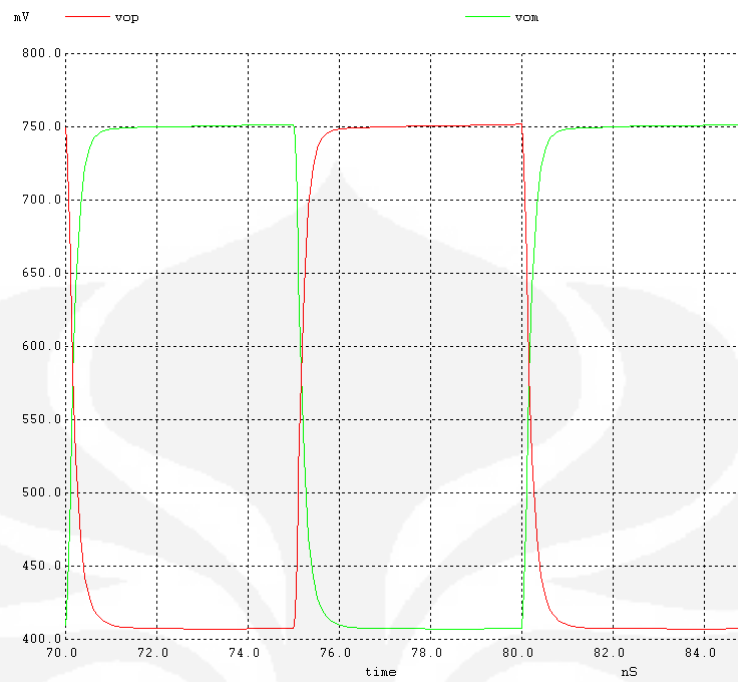


# LAMPIRAN 1

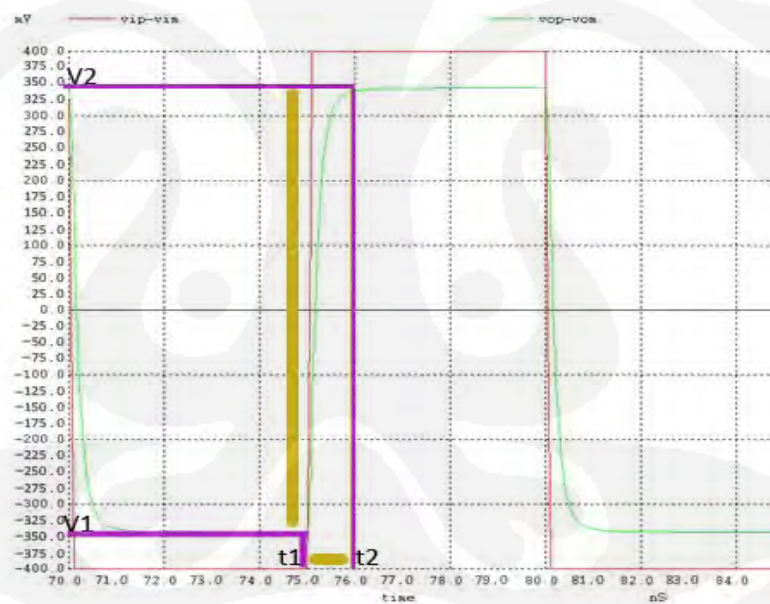
### 1. Hasil Simulasi Winspice Percobaan Pertama



Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$

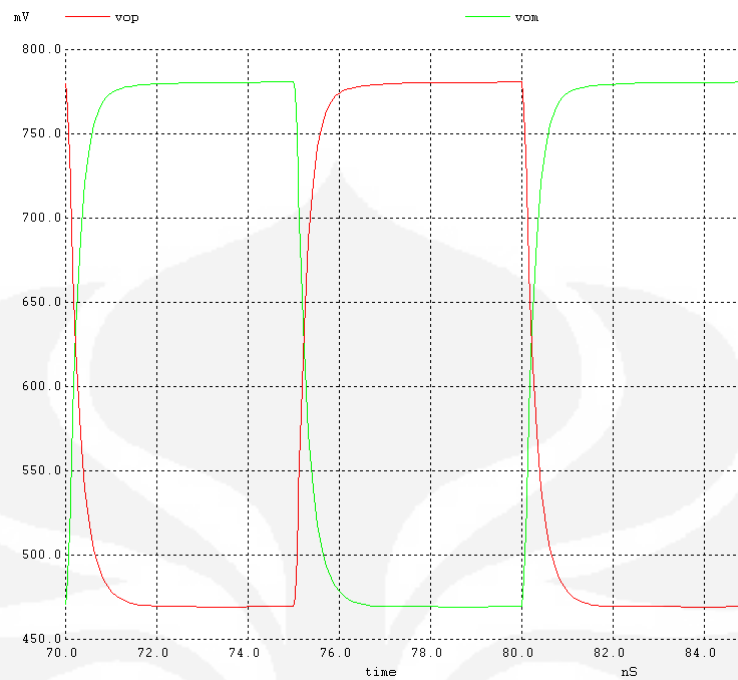


(a)

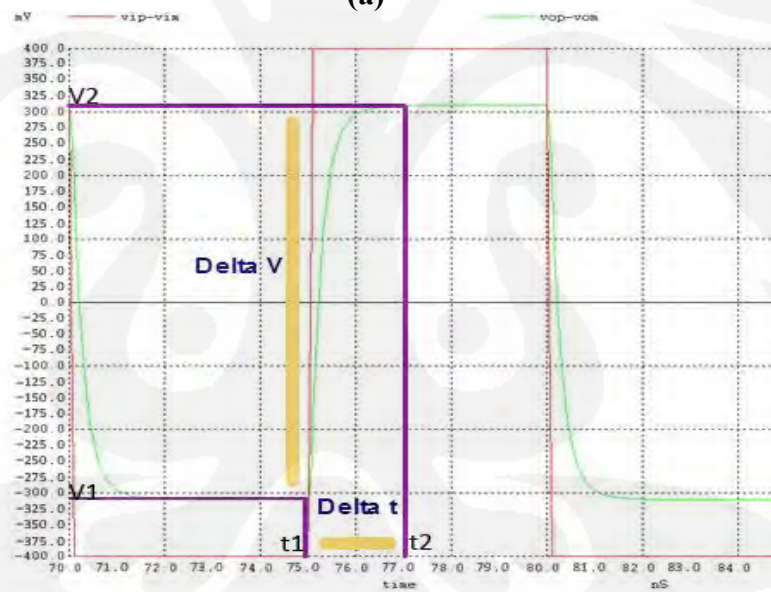


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 300 ohm (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$

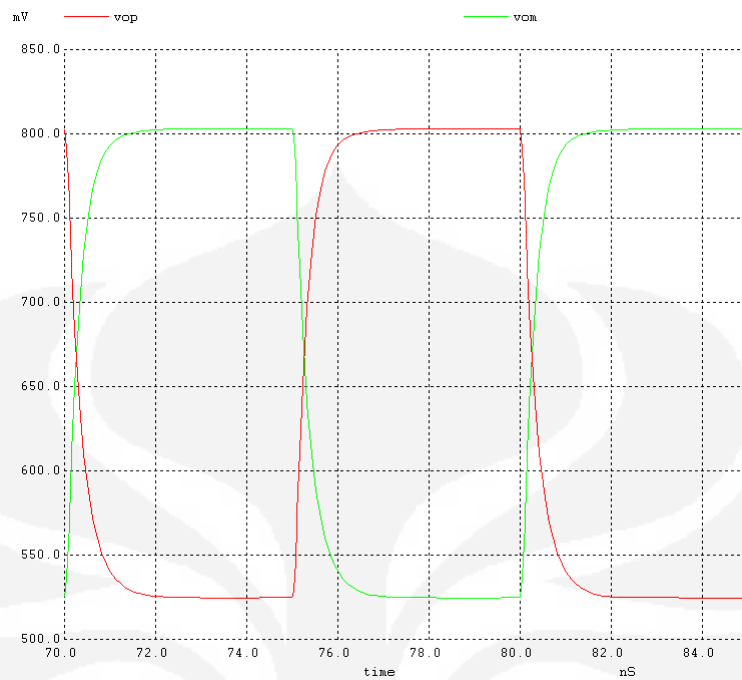


(a)

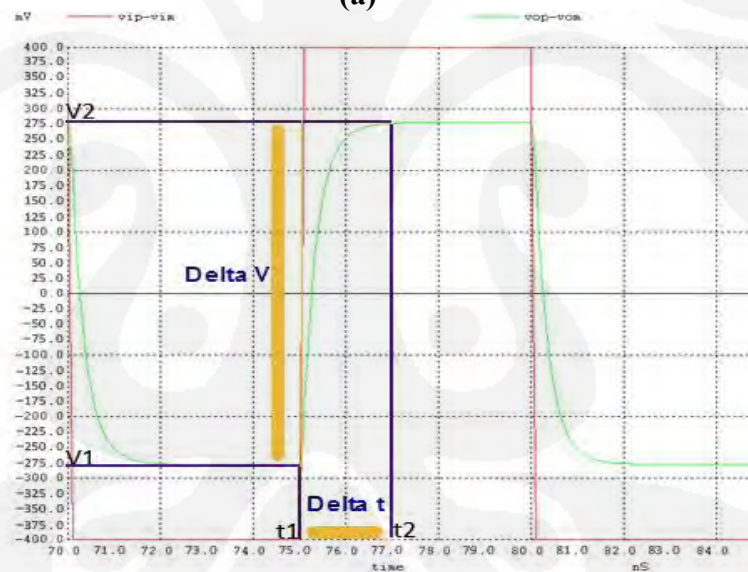


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  pada **PMOS 20/1** dan **NMOS 10/1** untuk resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai **500 ohm** a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$



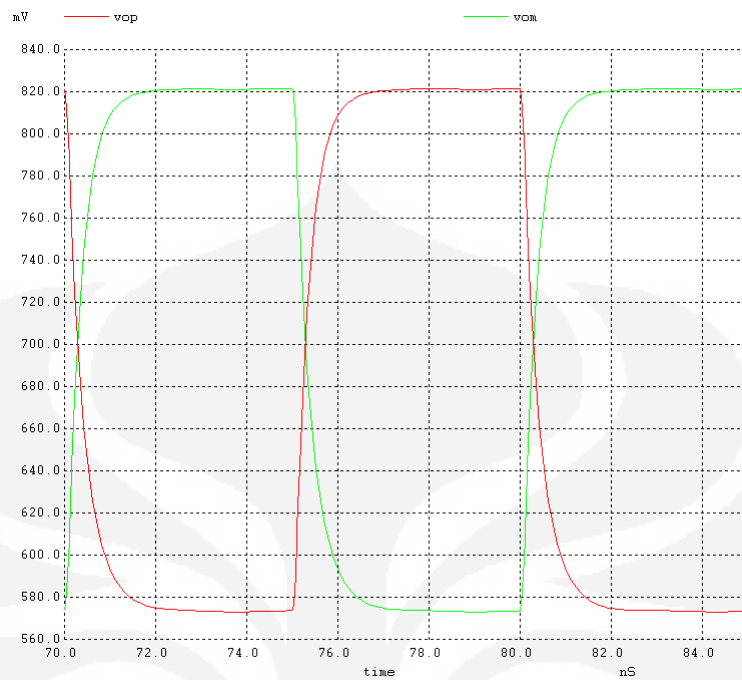
(a)



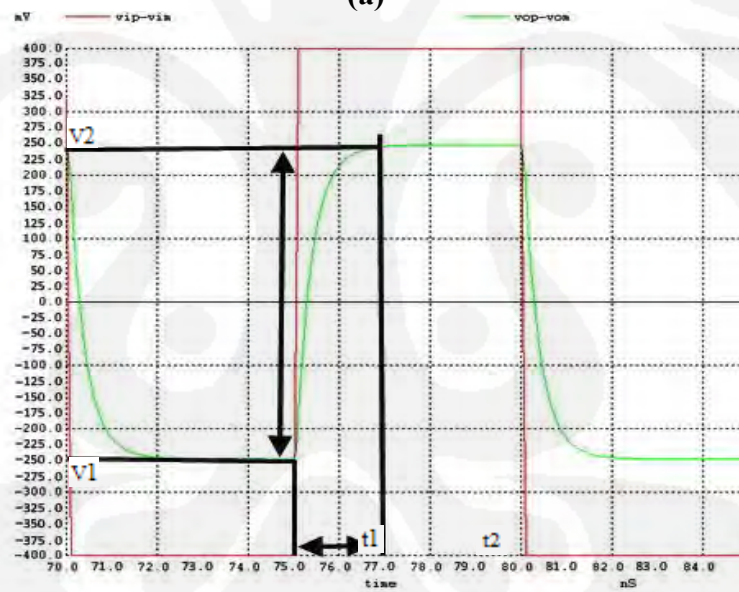
(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **700 ohm** (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$





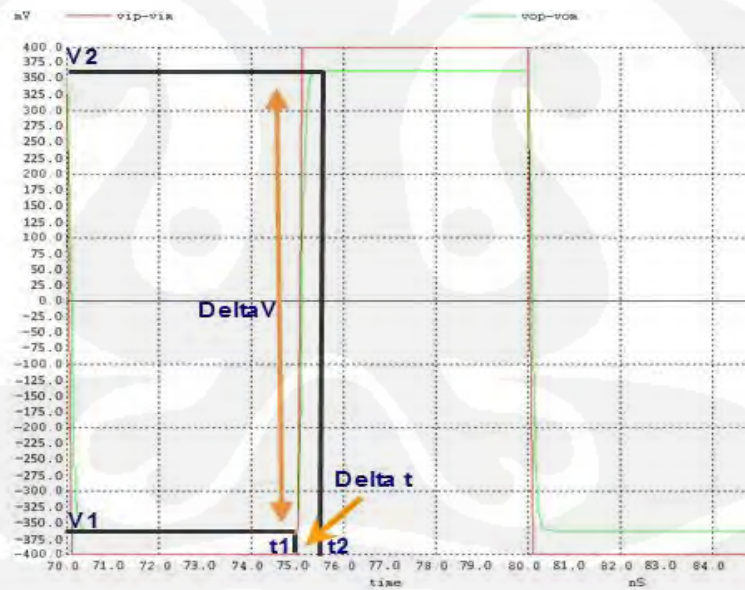
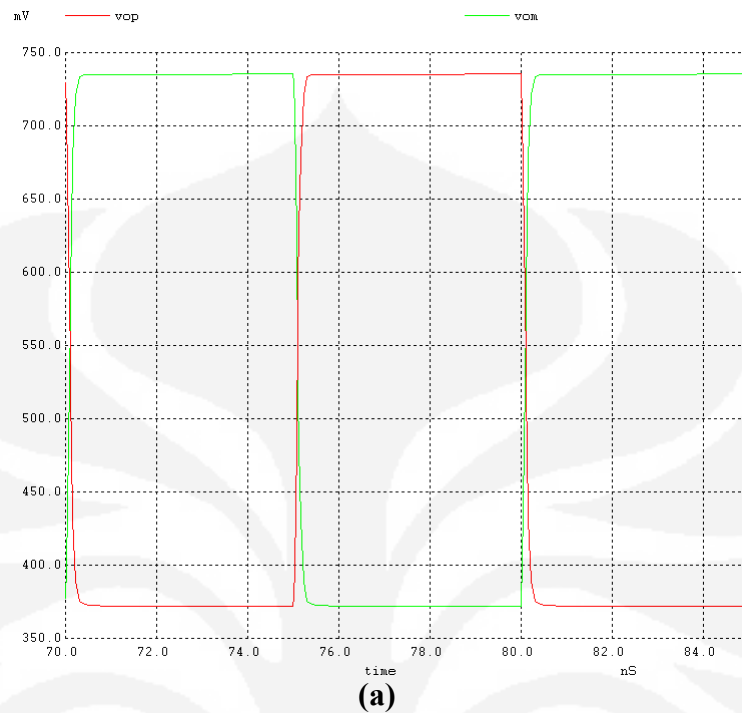
(a)



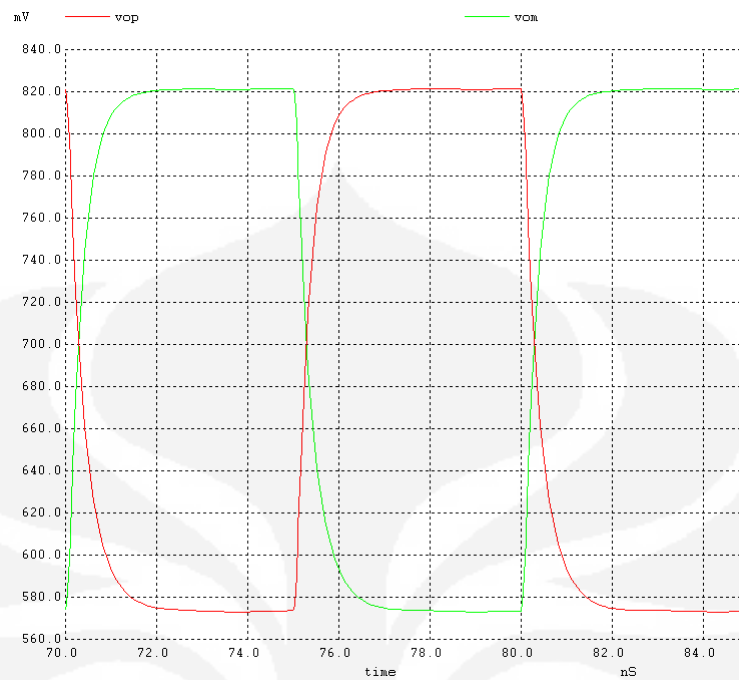
(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 20/1 dan NMOS 10/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 900 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

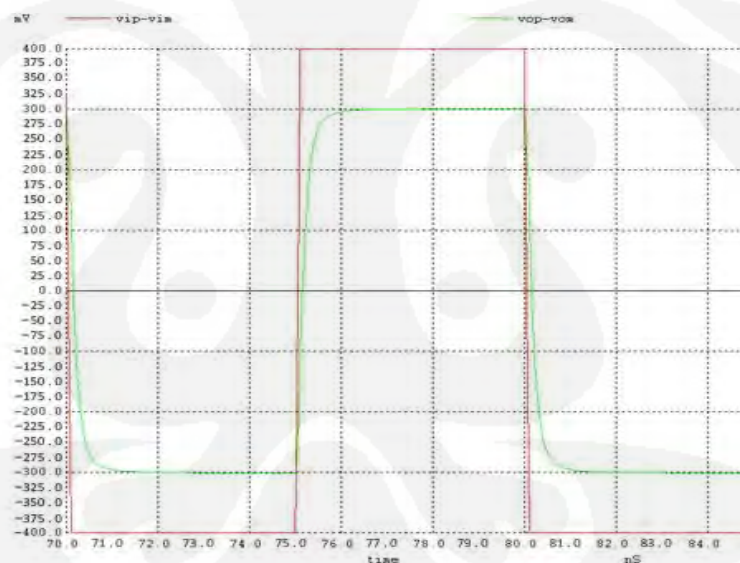
## 2. Hasil Simulasi Winspice Percobaan Kedua



Hasil simulasi Slew Rate dengan  $W/L$  di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  pada **PMOS 40/1** dan **NMOS 20/1** untuk resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai **100 ohm** (a) sinyal operasi keluaran  $Vop$  dan  $Vom$  (b) selisih sinyal operasi keluaran dari  $Vop$  dan  $Vom$

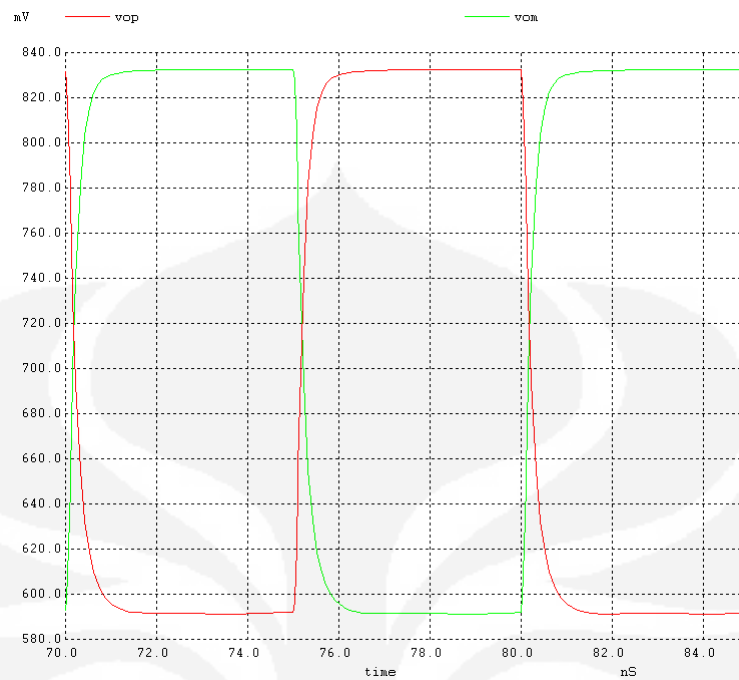


(a)

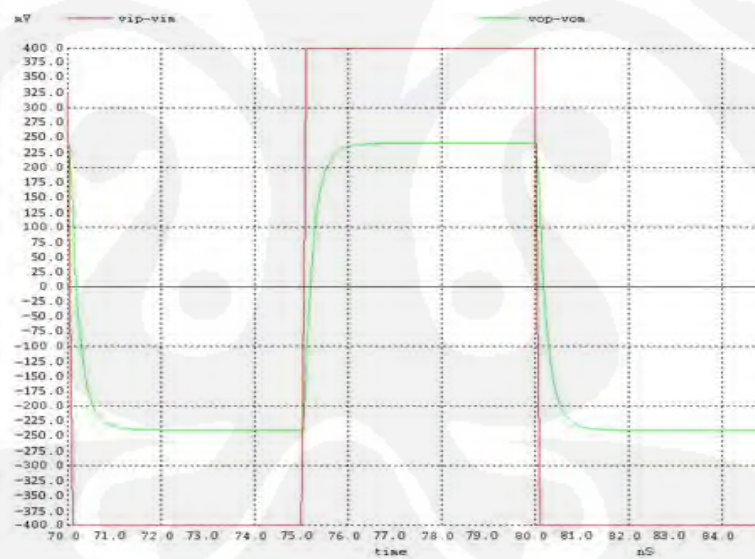


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 40/1 dan NMOS 20/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **300 ohm** (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

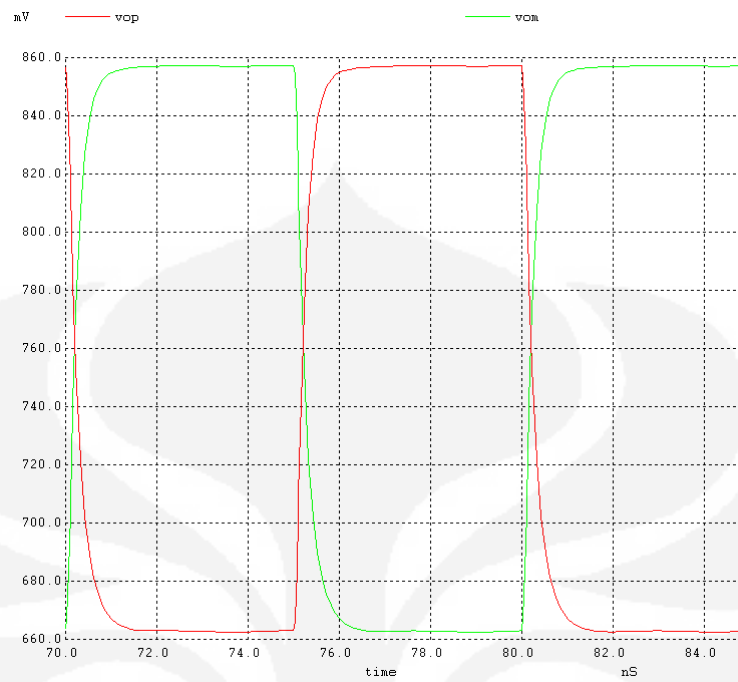


(a)

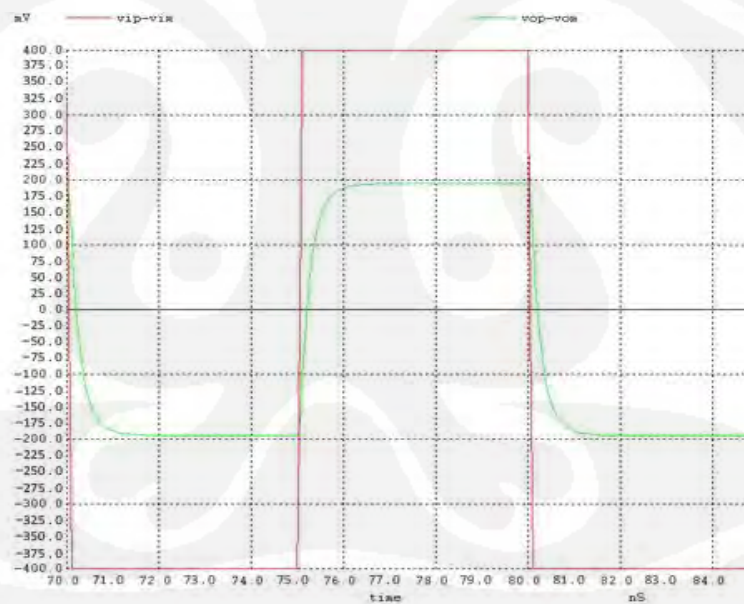


(b)

Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 40/1 dan NMOS 20/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **500 ohm** (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

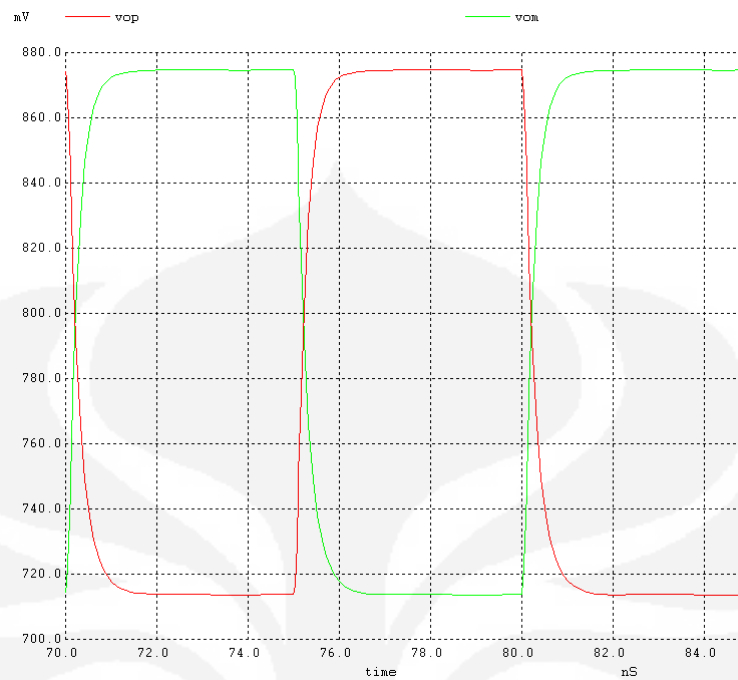


(a)

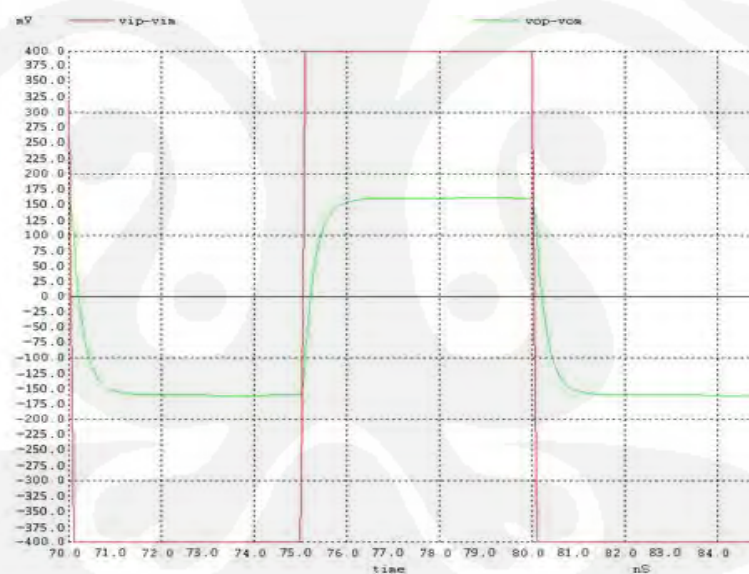


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  pada **PMOS 40/1** dan **NMOS 20/1** untuk resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai **700 ohm** (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$



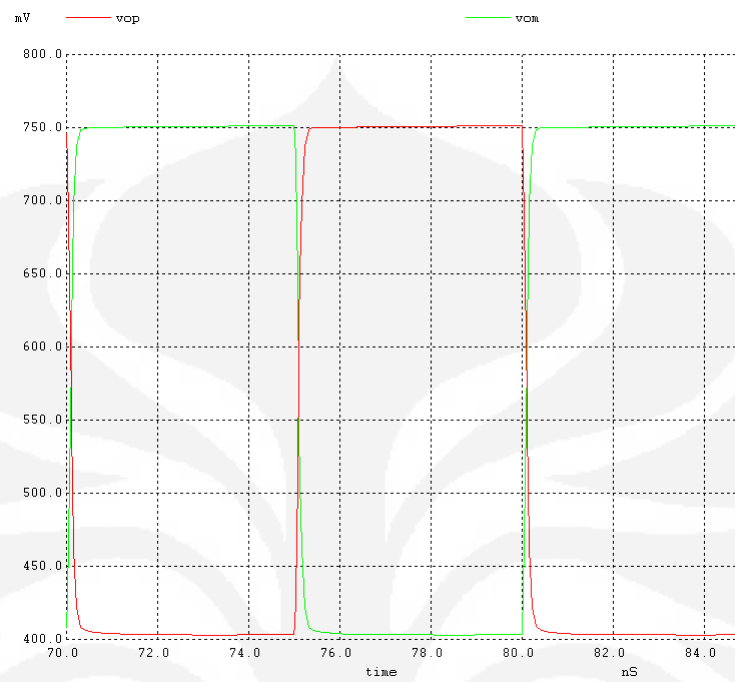
(a)



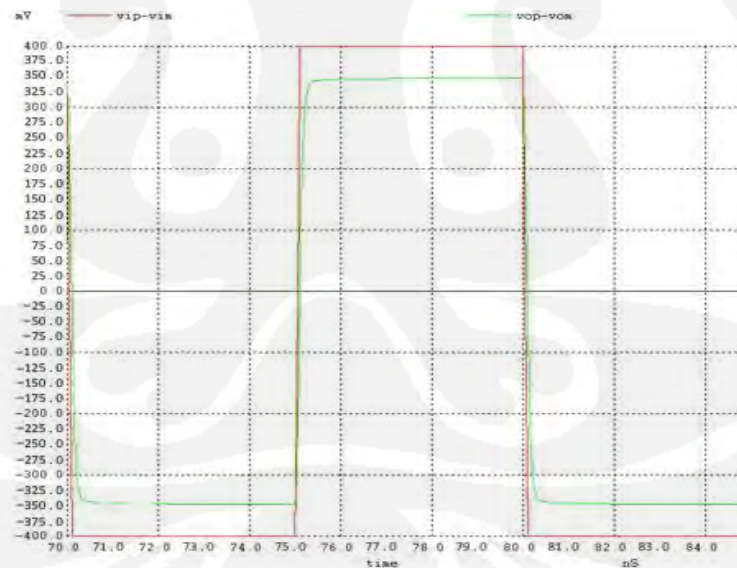
(b)

Hasil simulasi Slew Rate dengan  $W/L$  di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  pada **PMOS 40/1** dan **NMOS 20/1** untuk resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai **900 ohm** (a) sinyal operasi keluaran  $Vop$  dan  $Vo_m$  (b) selisih sinyal operasi keluaran dari  $Vop$  dan  $Vom$

### 3. Hasil Simulasi Winspice Percobaan Ketiga

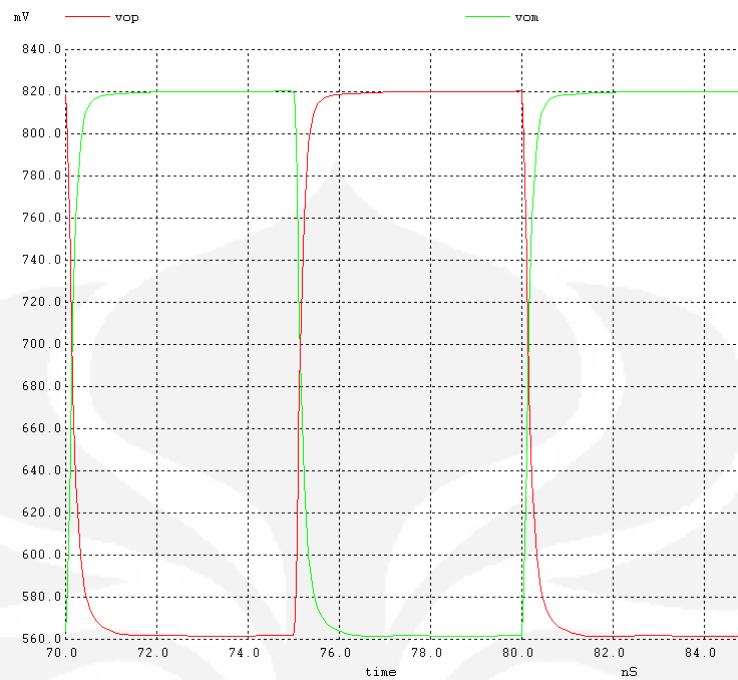


(a)

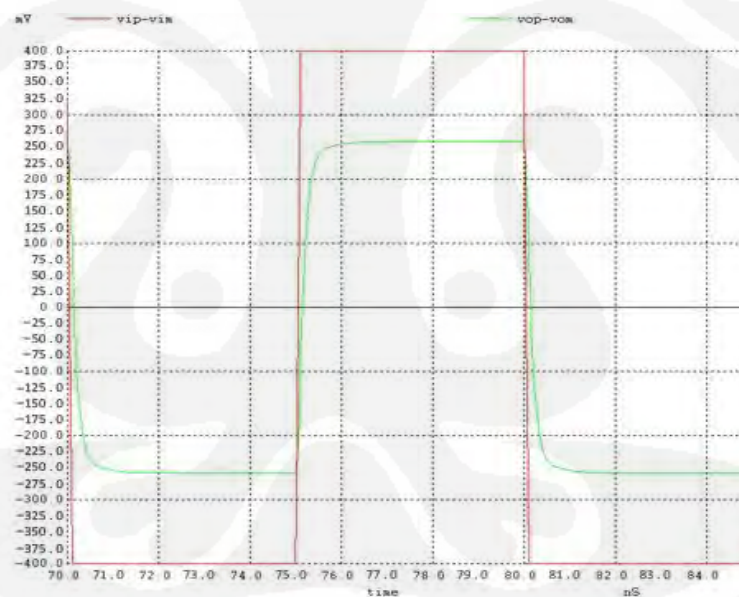


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  pada **PMOS 60/1** dan **NMOS 40/1** untuk resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai **100 ohm** (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$



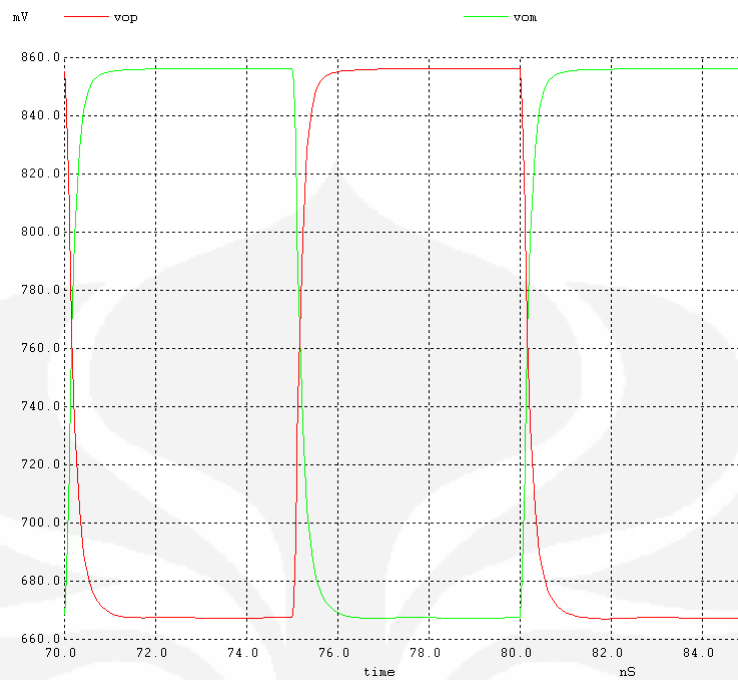
(a)



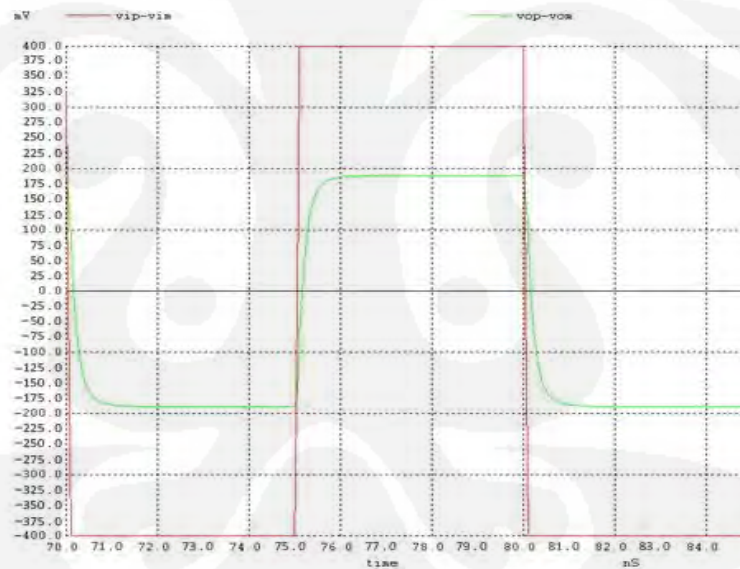
(b)

Hasil simulasi Slew Rate dengan  $W/L$  di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  pada **PMOS 60/1** dan **NMOS 40/1** untuk resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai **300 ohm** (a) sinyal operasi keluaran  $Vop$  dan  $Vom$  (b) selisih sinyal operasi keluaran dari  $Vop$  dan  $Vom$



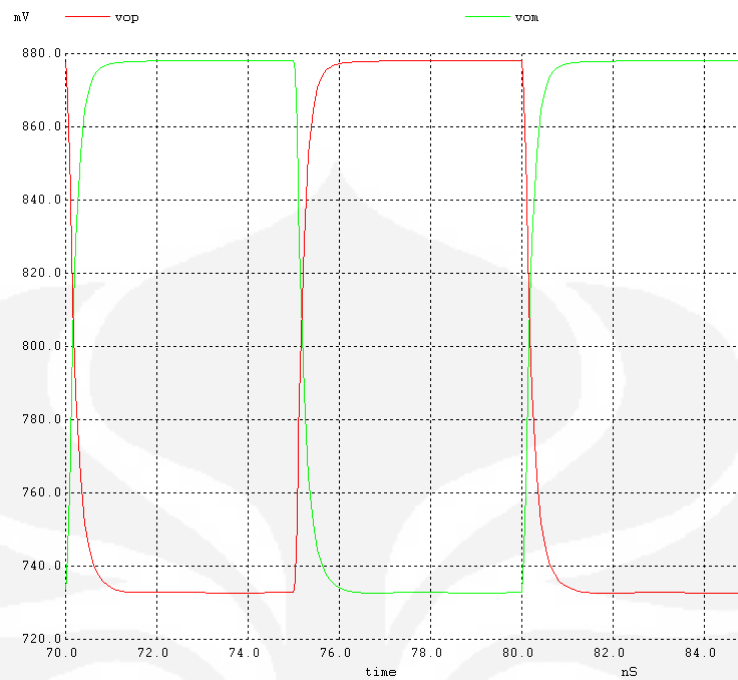


(a)

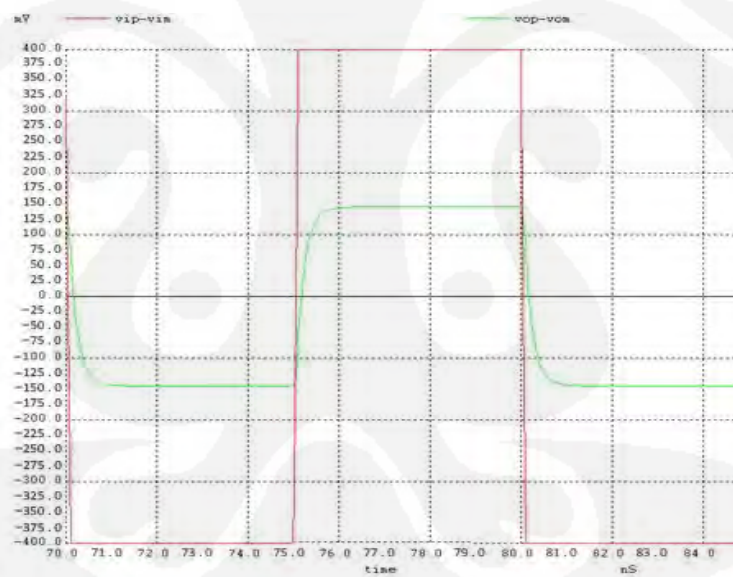


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di  $M1p$ ,  $M2n$ ,  $M3p$ ,  $M4n$   $M5n$  pada **PMOS 60/1** dan **NMOS 40/1** untuk resistansi di  $Rf1$ ,  $Rf2$ ,  $Ri1$  dan  $Ri2$  bernilai **500 ohm** (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$

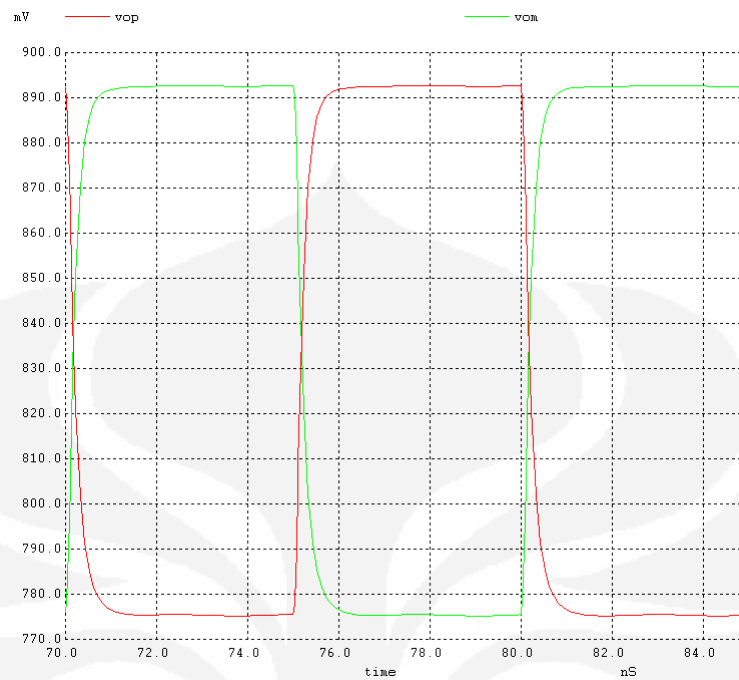


(a)

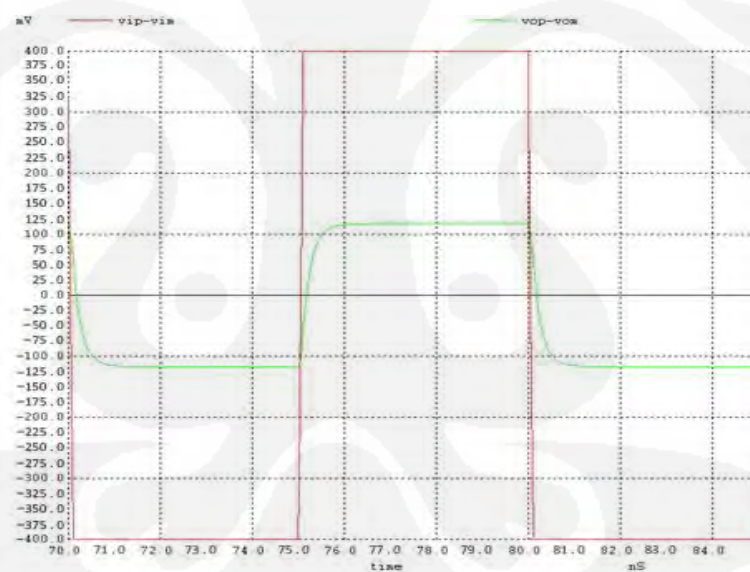


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 60/1 dan NMOS 40/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 700 ohm (a) sinyal operasi keluaran Vop dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari Vop dan Vom



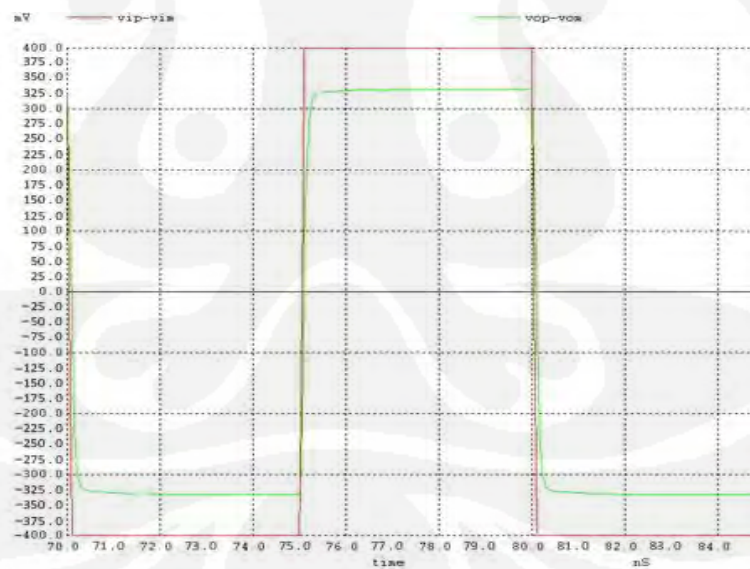
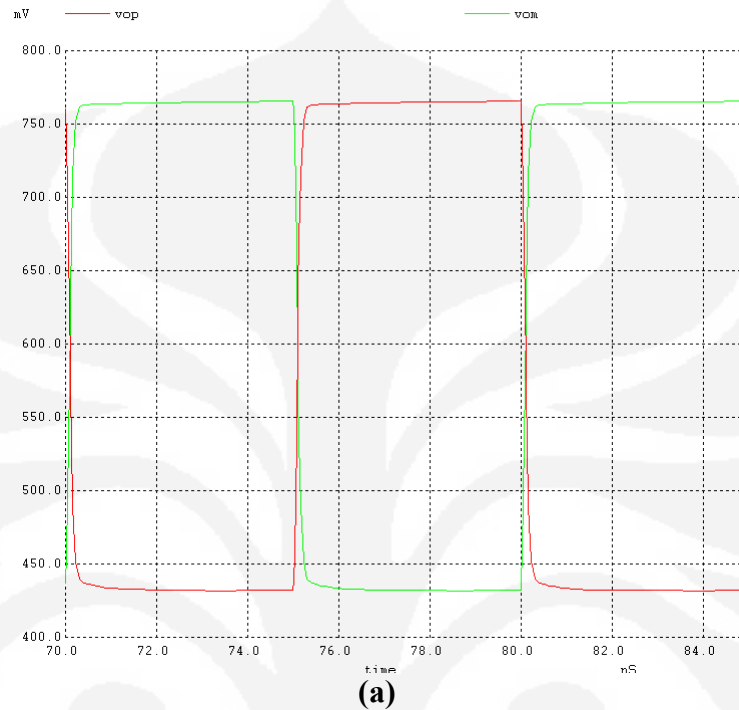
(a)



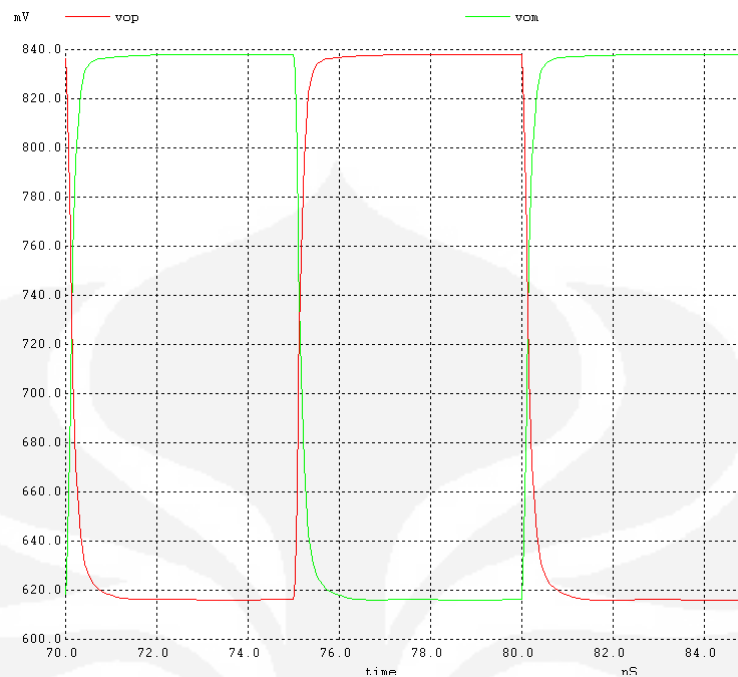
(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 60/1 dan NMOS 40/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **900 ohm** (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

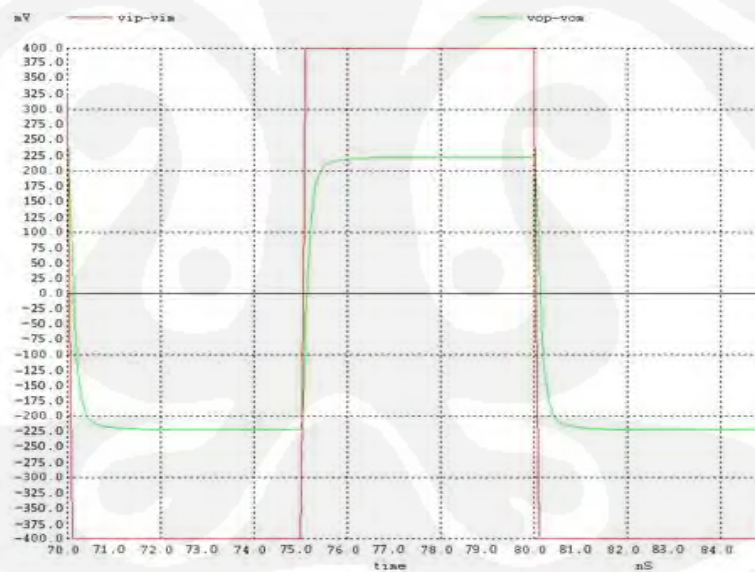
#### 4. Hasil Simulasi Winspice Percobaan Keempat



Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada **PMOS 80/1** dan **NMOS 60/1** untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **100 ohm** (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

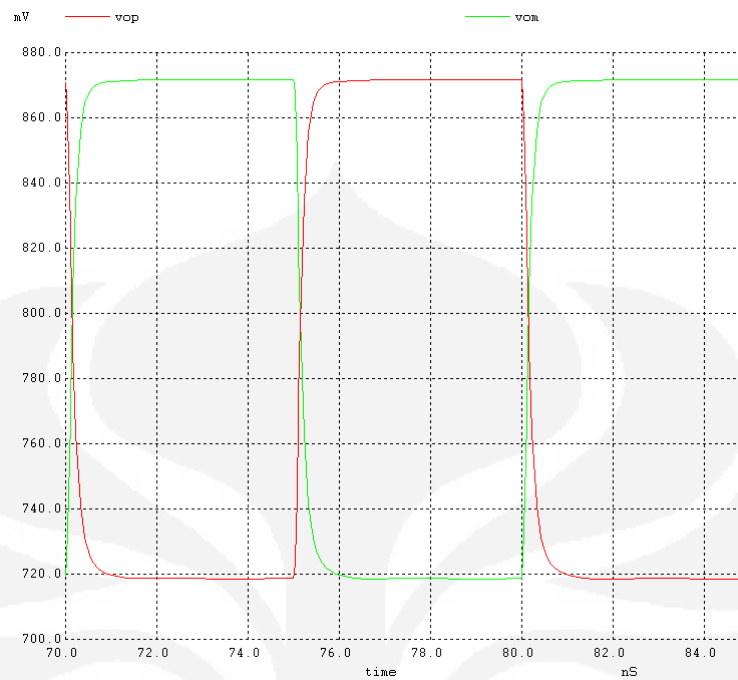


(a)

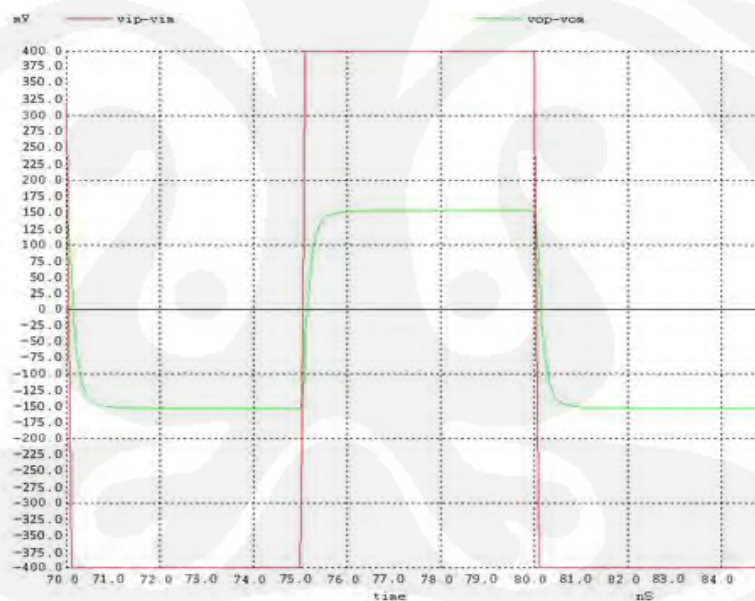


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada **PMOS 80/1** dan **NMOS 60/1** untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **300 ohm** (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$

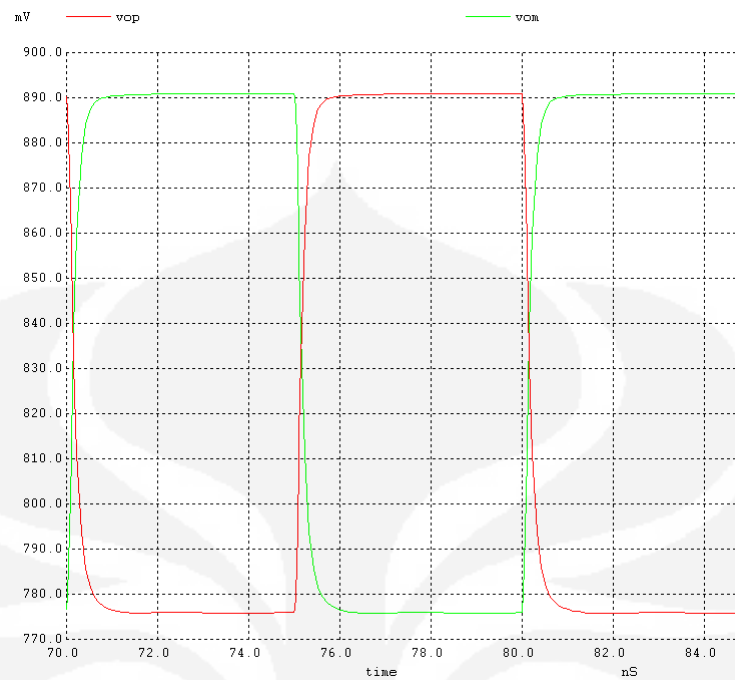


(a)

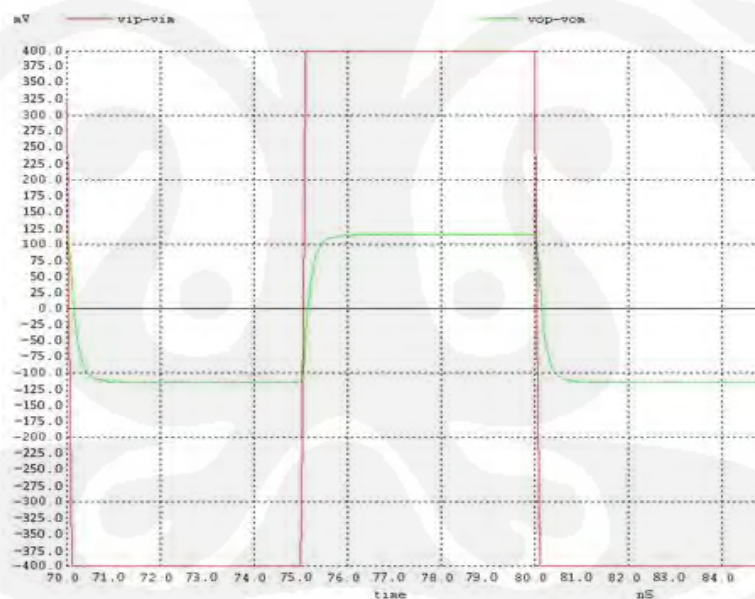


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 80/1 dan NMOS 60/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 500 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

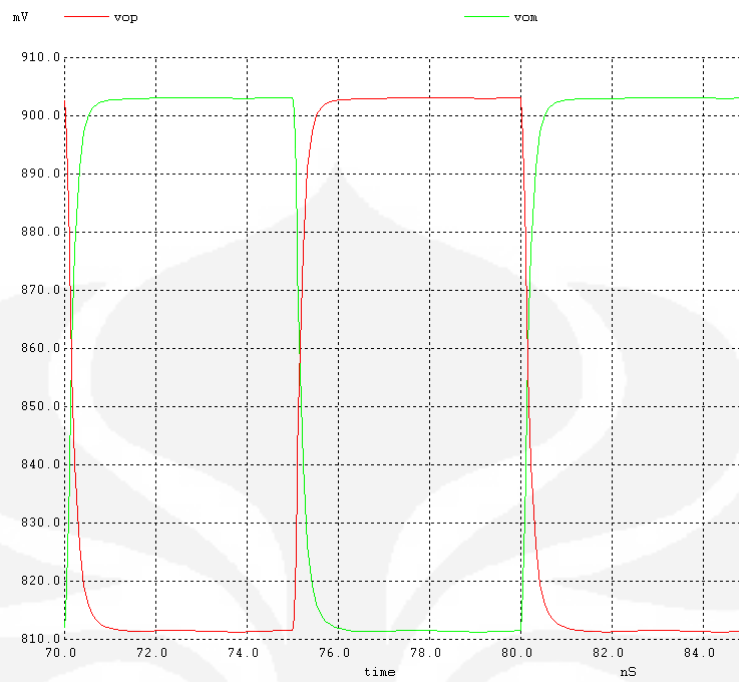


(a)

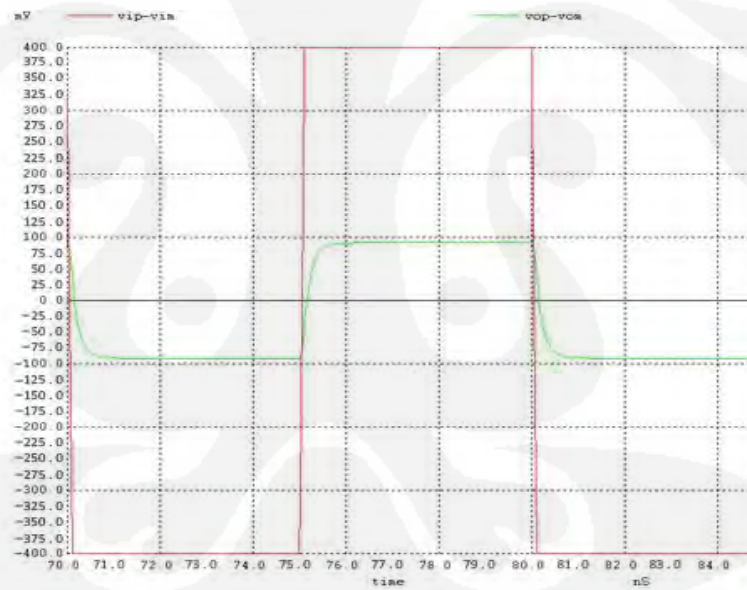


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 80/1 dan NMOS 60/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **700 ohm** (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$



(a)

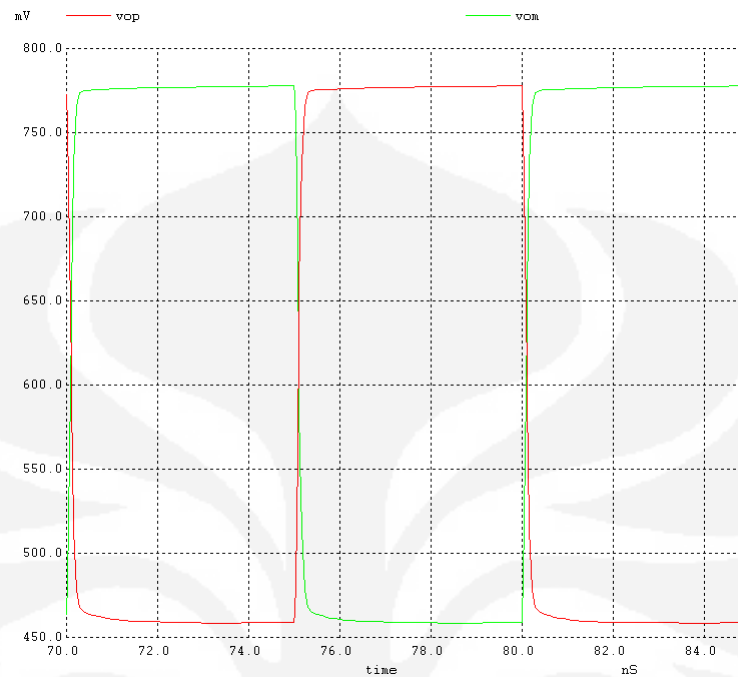


(b)

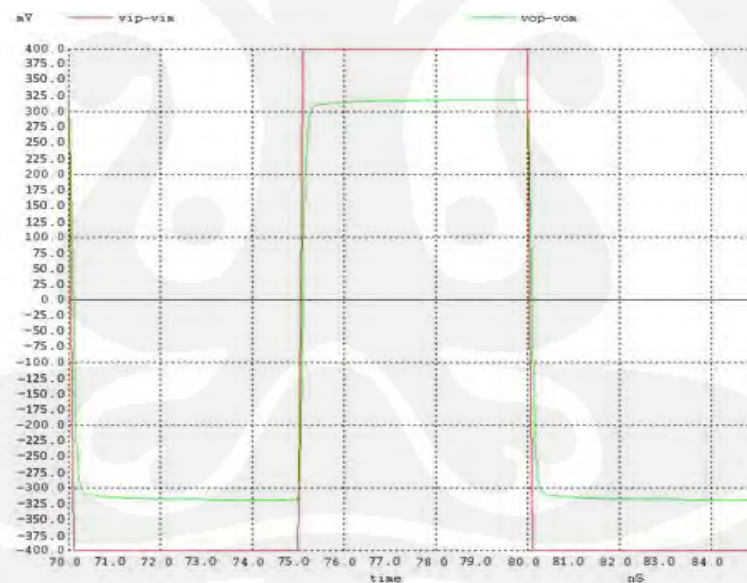
Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 80/1 dan NMOS 60/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 900 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom



## 5. Hasil Simulasi Winspice Percobaan Kelima

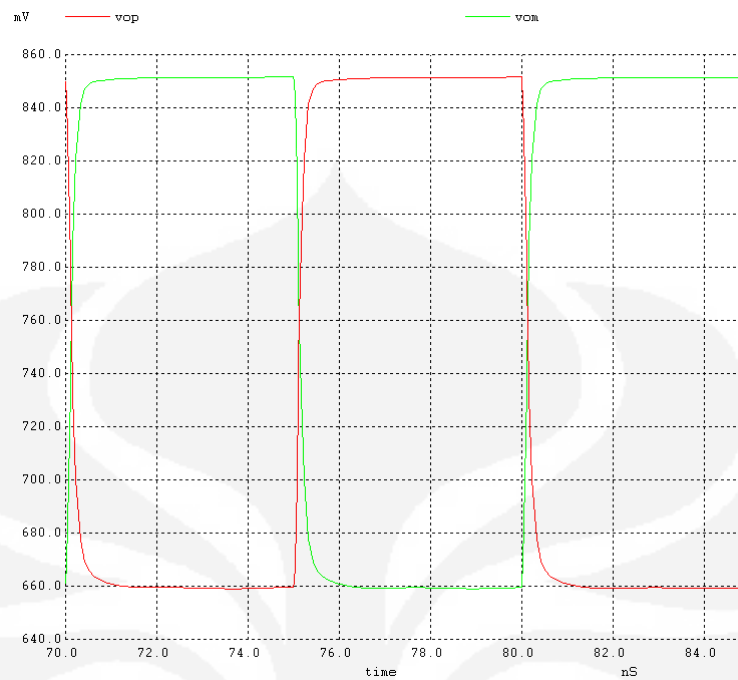


(a)

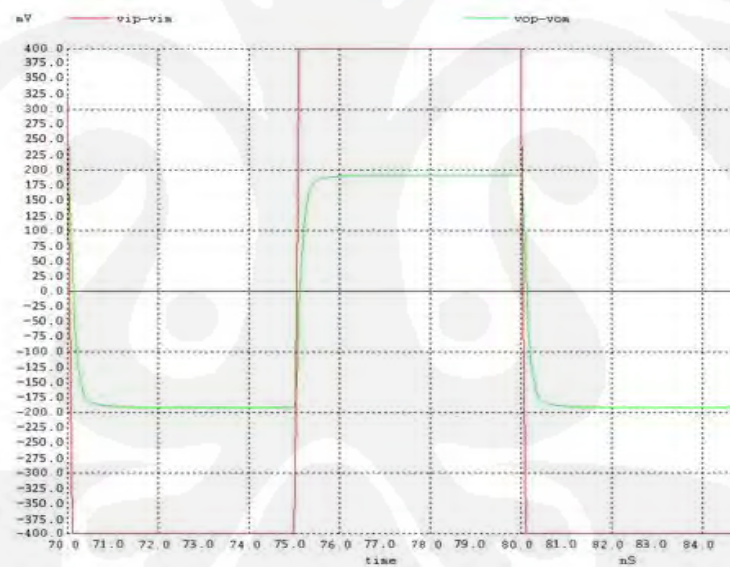


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 100/1 dan NMOS 80/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 100 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

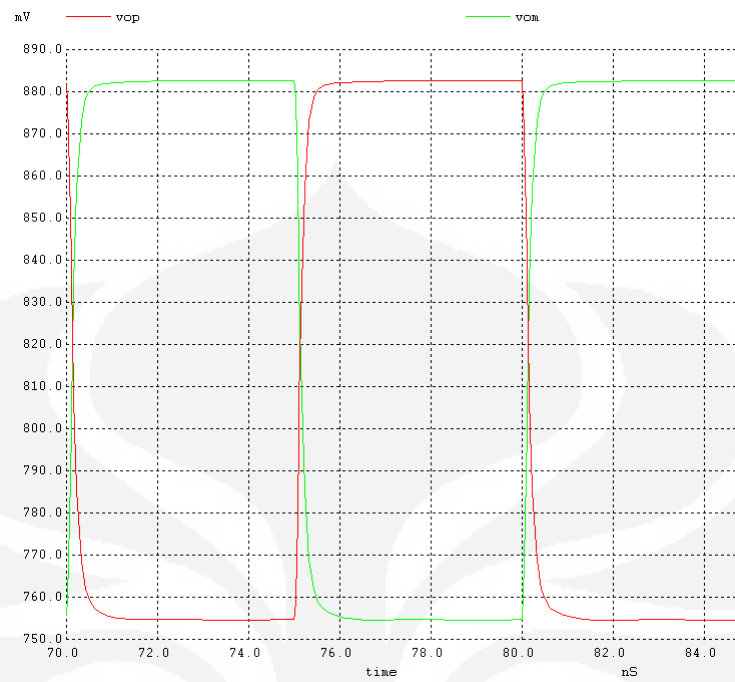


(a)

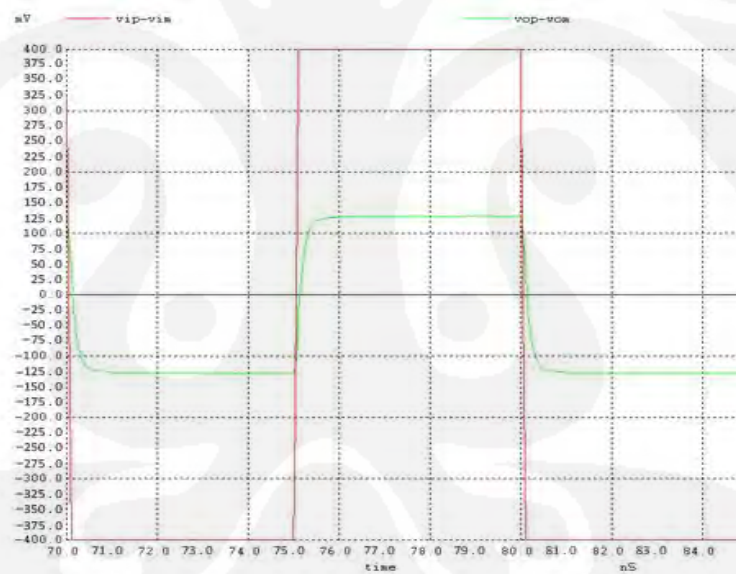


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 100/1 dan NMOS 80/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 300 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

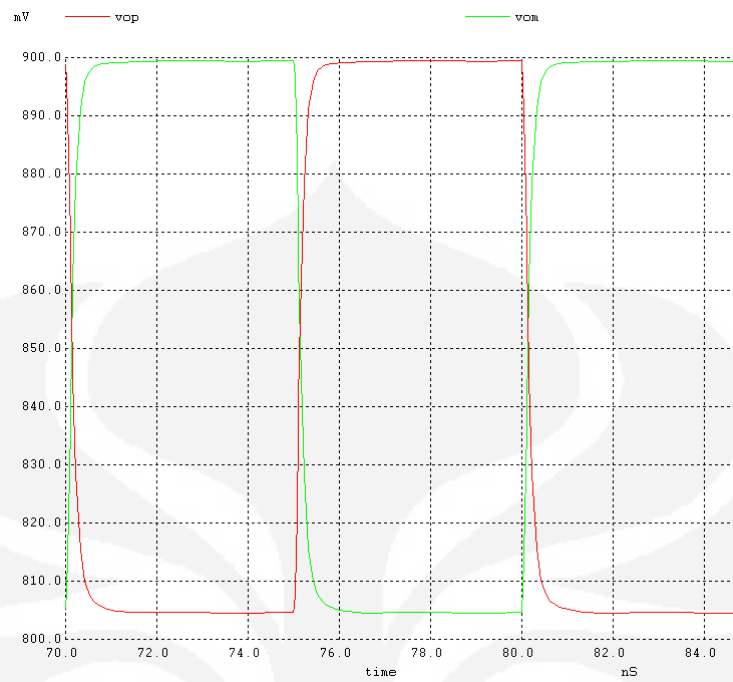


(a)

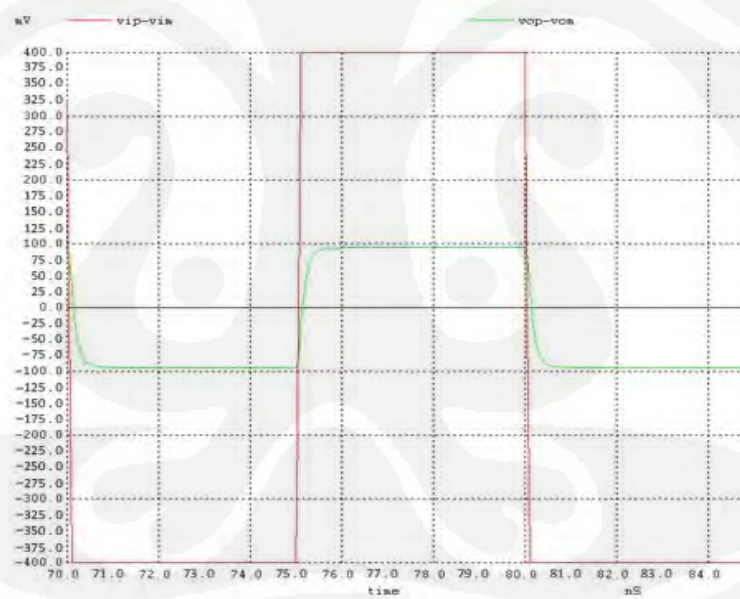


(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 100/1 dan NMOS 80/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai **500 ohm** (a) sinyal operasi keluaran  $V_{op}$  dan  $V_{om}$  (b) selisih sinyal operasi keluaran dari  $V_{op}$  dan  $V_{om}$

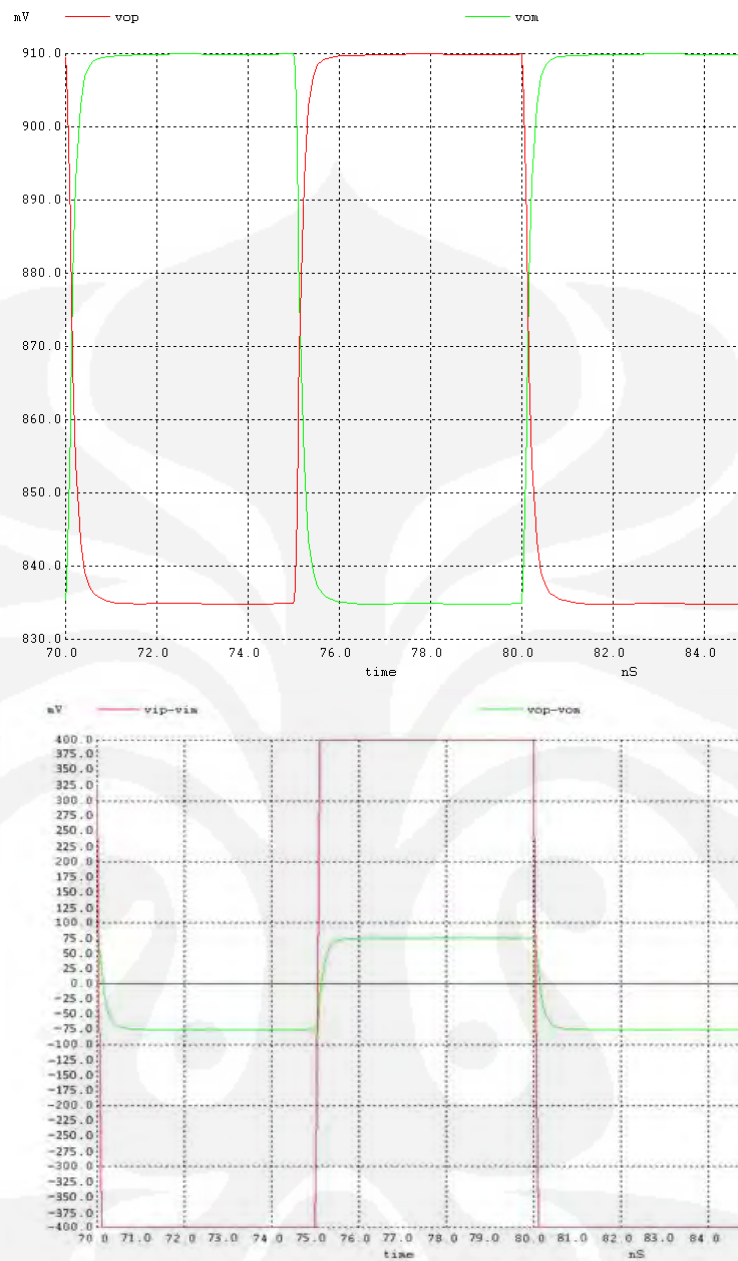


(a)



(b)

Hasil simulasi Slew Rate dengan  $W/L$  di M1p, M2n, M3p, M4n M5n pada PMOS 100/1 dan NMOS 80/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 700 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom



Hasil simulasi Slew Rate dengan W/L di M1p, M2n, M3p, M4n M5n pada PMOS 100/1 dan NMOS 80/1 untuk resistansi di Rf1, Rf2, Ri1 dan Ri2 bernilai 900 ohm (a) sinyal operasi keluaran Vop dan Vom (b) selisih sinyal operasi keluaran dari Vop dan Vom

# LAMPIRAN 2

## Netlist Program Winspice Uji Slew Rate

```

.control
destroy all
run
plot vop vom
plot vip vim vop-vom
.endc

.option scale=100n
.tran 100p 90n 70n 100p UIC

VDD      VDD      0      DC      1
vcm      vcm      0      DC      500m
vip      vip      0      DC      0      PULSE 700m 300m 0 100p 100p 4.9n 10n
vim      vim      0      DC      0      PULSE 300m 700m 0 100p 100p 4.9n 10n

*Netlist Program winspice kontrol perubahan Resistansi di Rf1, Rf2, Ri1 dan Ri2*
Rf1      vop      vm      25
Rf2      vom      vp      25
Ri1      vip      vm      25
Ri2      vim      vp      25
C1r      vop      0      250f
c1l      vom      0      250f

xopamp   vop      vom      vp      vm      VDD      vcm      opamp
.subckt  opamp   vop      vom      vop      vom      vp      vm      vcm      vdd      vcm
xbias   vbiasn  vbiasp  VDD      VDD      bias
xdiffamp vop1    vom1    vp      vm      vbiasn  cr      cl      vcmfb  vcm      vdd      diffamp
xbuffr  vop1    vom1    vop      vom      VDD      buff
xbuffl  vom1    vop1    vop      vom      VDD      buff
cc1     vop      cr      25f
cc2     vop      cl      25f
xcmfb   vop      vom      vcm      vcmfb  vbiasp  vdd      cmfb
.ends

.subckt  cmfb   vop      vom      vcm      vcmfb  vbiasp  vdd
Ra1     vop      vcma   20k
Ca1     vop      vcma   10f
Ra2     vom      vcma   20k
Ca2     vom      vcma   10f

Mp1     vss      vbiasp  VDD      VDD      P_50n L=1 W=20
Mp2     n1      vcma   VSS      VDD      P_50n L=1 W=20
Mp3     vcmfb   vcm     VSS      VDD      P_50n L=1 W=20
Mn1     n1      n5      0        0        N_50n L=1 W=10
Mn2     vcmfb   n5      0        0        N_50n L=1 W=10
.ends

**Netlist Program winspice kontrol perubahan nilai w di M1p, M2n, M3p, M4n M5n**
.subckt  buff   vp      vm      vout      VDD
M1p     vout    vp      VDD      VDD      P_50n L=1 W=20
M2n     vout    VDD    n1      0        N_50n L=1 W=10
M3p     n2     vm      VDD      VDD      P_50n L=1 W=20
M4n     n1     n1      0        0        N_50n L=1 W=10
M5n     n2     n1      vk      0        N_50n L=1 W=10
M6nL    vk     vcmfb  0        0        N_50n L=1 W=80
.ends

.subckt  diffamp vop      vom      vp      vm      vbiasn  n2R      n2L      vcmfb  vcm      vdd
M2R     n1t    vbiasn  0        0        N_50n L=1 W=10
M4R     n2R    vm      n1t      0        N_50n L=1 W=10
M6R     vop    n3p    n2R      0        N_50n L=1 W=10
M8R     vop    vws    n4R      VDD      P_50n L=1 W=20
M10R    n4R    n3      VDD      VDD      P_50n L=1 W=20

M1R     n1ws    vbiasn  0        0        N_50n L=1 W=10
M1LL    n1b    vcmfb  0        0        N_50n L=3 W=100
M1LR    n1b    vbiasn  0        0        N_50n L=1 W=10
M1LP    n1ta   vbiasn  0        0        N_50n L=1 W=10
M3R     vws    vcm     n1ws     0        N_50n L=1 W=410
M3P     n3P    n3P    n1ta     0        N_50n L=50 W=10
M3L     n2     vcm     n1b     0        N_50n L=1 W=10
M5L     n3     n3p    n2       0        N_50n L=1 W=10
M7R     vws    vws    VDD      VDD      P_50n L=3 W=100
M7L     n3     vws    n4       VDD      P_50n L=1 W=20
M9L     n4     n3     VDD      VDD      P_50n L=1 W=20
M9P     n3P    n3     VDD      VDD      P_50n L=1 W=20

M2L     n1t    vbiasn  0        0        N_50n L=1 W=10
M4L     n2L    vp      n1t      0        N_50n L=1 W=10
M6L     vom    n3p    n2L      0        N_50n L=1 W=10
M8L     vom    vws    n4L      VDD      P_50n L=1 W=20
M10L    n4L    n3     VDD      VDD      P_50n L=1 W=20
.ends

.subckt  bias  vbiasn  vbiasp  VDD
M1      vbiasn  vbiasn  0        0        N_50n L=1 W=10
M2      vreg    vreg    vr        0        N_50n L=1 W=40
M3      vbiasn  vbiasp  VDD      VDD      P_50n L=1 W=20
M4      vreg    vbiasp  VDD      VDD      P_50n L=1 W=20
Rbias   vr        0        4k

```

```
*amplifier
MA1  vamp  vreg  0    0    N_50n L=2  W=10
MA2  vbiasp vbiasn 0    0    N_50n L=2  W=10
MA3  vamp  vamp  VDD  VDD  P_50n L=2  W=20
MA4  vbiasp vamp  VDD  VDD  P_50n L=2  W=20

*start-up stuff
MSU1 vsur  vbiasn 0    0    N_50n L=1  W=10
MSU2 vsur  vsur  VDD  VDD  P_50n L=20 W=10
MSU3 vbiasp vsur  vbiasn 0    N_50n L=1  W=10

.ends
.include cmosedu_models.txt
.end
```