



UNIVERSITAS INDONESIA

**RANCANG BANGUN PERANGKAT PENGUJI CATU DAYA
PERSONAL COMPUTER TIPE ATX**

SKRIPSI

DIKA SETIAWAN

0405030303

**FAKULTAS TEKNIK
PROGRAM STUDI ELEKTRO
DEPOK
JUNI 2009**



UNIVERSITAS INDONESIA

**RANCANG BANGUN PERANGKAT PENGUJI CATU DAYA
PERSONAL COMPUTER TIPE ATX**

SKRIPSI

Diajukan sebagai salah satu syarat untuk memperoleh gelar sarjana teknik

DIKA SETIAWAN

0405030303

**FAKULTAS TEKNIK
PROGRAM STUDI ELEKTRO
KEKHUSUSAN ELEKTRONIKA
DEPOK
JUNI 2009**

HALAMAN PERNYATAAN ORISINALITAS

**Skripsi ini adalah hasil karya saya sendiri,
dan semua sumber baik yang dikutip maupun dirujuk
telah saya nyatakan dengan benar.**

Nama : Dika Setiawan

NPM : 0405030303

Tanda Tangan :

Tanggal : 17 Juni 2009

HALAMAN PENGESAHAN

Skripsi ini diajukan oleh :

Nama : Dika Setiawan

NPM : 04 05 03 0303

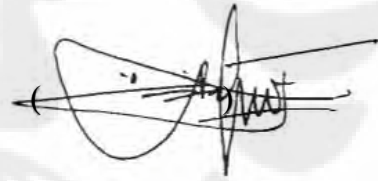
Program Studi : Teknik Elektro

Judul Skripsi : Rancang Bangun Perangkat Penguji Catu Daya *Personal Computer* tipe ATX

Telah berhasil dipertahankan di hadapan Dewan Penguji dan diterima sebagian persyaratan yang diperlukan untuk memperoleh gelar Sarjana Teknik pada Program Studi Teknik Elektro, Fakultas Teknik, Universitas Indonesia.

DEWAN PENGUJI

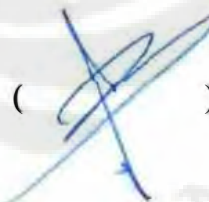
Pembimbing : Dr.Ir.Ridwan Gunawan, M.T.



Penguji : Aji Nur Widiyanto, S.T, M.T



Penguji : Budi Sudiarto, S.T, M.T



Ditetapkan di : Depok

Tanggal : 7 Juli 2009

KATA PENGANTAR / UCAPAN TERIMA KASIH

Puji syukur saya panjatkan kehadirat Allah SWT karena atas berkah, rahmat, dan kekuasaan-Nya, saya dapat menyelesaikan skripsi ini. Penulisan skripsi ini dilakukan dalam rangka memenuhi salah satu persyaratan untuk mencapai gelar Sarjana Teknik Jurusan Elektro pada Fakultas Teknik Universitas Indonesia. Saya menyadari bahwa, tanpa bantuan dan bimbingan dari berbagai pihak, dari masa perkuliahan sampai pada penyusunan skripsi ini, sangatlah sulit bagi saya untuk menyelesaikan skripsi ini. Oleh karena itu saya mengucapkan terima kasih yang sebesar-besarnya kepada :

- (1) Kedua orang tua saya, Warsini dan Pambudi Rahardjo, yang telah memberikan segalanya untuk saya, atas doa yang tiada henti, dukungan moril, materiil dari awal hingga saat ini, sehingga saya dapat menyelesaikan segalanya dengan baik;
- (2) Dr.Ir Ridwan Gunawan M.T., selaku dosen pembimbing yang telah menyediakan waktu, tenaga, dan pikiran untuk mengarahkan saya dalam penyusunan skripsi ini;
- (3) Boma Anantasatya Adi, yang telah banyak menginspirasi, memberikan ide-ide jenius, dan membantu saya dalam penyediaan berbagai peralatan yang dipakai pada skripsi ini;
- (4) Ingot Marito Nainggolan, yang telah banyak membantu saya dalam pembuatan program;
- (5) Sahabat-sahabat saya : Taufik Alif Kurniawan, Adrian Baskoro, Agus Setiawan, dan kawan-kawan saya yang telah banyak meluangkan waktu untuk berdiskusi dan menemani saya menyelesaikan skripsi ini, dan tak lupa
- (6) Segenap karyawan sekertariat Departemen Teknik Elektro terutama Bapak Tarki Dendi dan Purnomo Edi Raharjo yang telah memberikan saya banyak kemudahan dalam pemakaian fasilitas laboratorium dan sebagainya.

Akhir kata, saya berharap semoga Tuhan Yang Maha Esa membalas kebaikan semua pihak yang telah membantu. Semoga skripsi ini membawa manfaat bagi pengembangan ilmu pengetahuan dan teknologi.

Depok, 17 Juni 2009

Penulis

HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI TUGAS AKHIR UNTUK KEPENTINGAN AKADEMIS

Sebagai civitas akademik Universitas Indonesia, saya yang bertanda tangan dibawah ini:

Nama : Dika Setiawan
NPM : 0405030303
Program Studi : Teknik Elektro
Departemen : Teknik Elektro
Fakultas : Teknik
Jenis Karya : Skripsi

demikian perkembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia **Hak Bebas Royalti Noneksklusif (*Non-exclusive Royalty-Free Right*)** atas karya ilmiah saya yang berjudul :

Rancang Bangun Perangkat Penguji Catu Daya *Personal Computer* tipe ATX

Beserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Indonesia berhak menyimpan, mengalihmedia/format-kan, mengelola dalam bentuk pangkalan data (*database*), merawat, dan mempublikasikan tugas akhir saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai pemilik Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di : Depok

Pada tanggal : 17 Juni 2009

Yang menyatakan

(Dika Setiawan)

ABSTRAK

Nama : Dika Setiawan

Program Studi : Elektro

Judul : Rancang Bangun Perangkat Penguji Catu Daya *Personal Computer* Tipe
ATX

Pada skripsi ini akan dibahas desain (rancang bangun) dari sebuah perangkat penguji catu daya *personal computer* tipe ATX. Perangkat ini akan digunakan untuk menguji kemampuan sebuah catu daya ATX dalam menangani beban yang bervariasi. Perangkat ini hanya menguji keluaran catu daya pada rel 3,3 Volt, 5 Volt, dan 12 Volt. Masing-masing rel tegangan keluaran dihubungkan dengan sebuah beban variabel. Arus dan tegangan yang mengalir pada beban akan diukur oleh sensor arus dan tegangan. Pengaturan beban variabel dan monitoring arus dan tegangan, dikendalikan dari sebuah komputer melalui perantara sebuah microcontroller. Hasil pengujian yang berupa arus dan tegangan akan dibandingkan dengan standar yang dikeluarkan oleh Intel Corporation. Catu daya ATX yang baik akan dapat melewati proses pengujian yang dilakukan dengan alat ini dengan baik. Hasil pengujian menunjukkan bahwa di pasaran, masih terdapat catu daya ATX yang tidak memenuhi standar dan memiliki kapasitas yang tidak sesuai dengan kapasitas yang tertera pada labelnya.

Kata kunci :

Catu daya ATX, beban variabel, sensor arus, sensor tegangan, microcontroller, standar dari Intel Corporation

ABSTRACT

Name : Dika Setiawan

Study Program : Electrical Engineering

Title : Design and Construction of ATX Personal Computer's Power Supply Tester

This final project describe a design of a Power Supply Tester for testing ATX-type Personal Computer (PC) Power Supply. This instrument is use to test the power handling capability of a PC Power Supply when driving loads that varied. This instrument only test three main rails in the power supply output – 3,3 Volts rail, 5 Volts rail, and 12 Volts rail. Each rail is attached to a variable load. Voltage and current flowing into the load is sensed using current and voltage sensor. The variable load and current & voltage sensors is controlled using computer via a microcontroller. The result of the testing process – which are current and voltage from the tested power supply, will be compared with a standard from Intel Corporation. A good power supply will passed this test with a good result. The result from this experiment shows that unqualified ATX power supplies are still exist in the market.

Key words :

ATX power supply, variable load, current sensor, voltage sensor, microcontroller, Intel Corporation standard

DAFTAR ISI

HALAMAN JUDUL.....	i
HALAMAN PERNYATAAN ORISINALITAS	ii
HALAMAN PENGESAHAN	iii
KATA PENGANTAR / UCAPAN TERIMA KASIH	iv
LEMBAR PERSETUJUAN PUBLIKASI KARYA ILMIAH.....	v
ABSTRAK.....	vi
ABSTRACT.....	vii
DAFTAR ISI.....	viii
DAFTAR GAMBAR.....	ix
DAFTAR TABEL.....	x
BAB 1 PENDAHULUAN	1
1.1 Latar Belakang Masalah	1
1.2 Tujuan Penulisan.....	2
1.3 Pembatasan Masalah.....	2
1.4 Sistematika Penulisan	2
BAB 2 LANDASAN TEORI	3
2.1 Pendahuluan.....	3
2.2 Metal Oxide Semiconductor Field Effect Transistor (MOSFET) [2],[3],[4].....	3
2.3 Microcontroller (μ C).....	10
2.4 <i>Digital to Analog Converter</i> (DAC)	11
2.5 <i>Analog to Digital Converter</i> (ADC) Pada μ C ATmega32.....	13
2.6 Difference Amplifier (Penguat Differensial) [5]	17
BAB 3 RANCANG BANGUN DAN SIMULASI	20
3.1 Rancang Bangun dan Simulasi Beban Variabel	20
3.2 Rancang Bangun dan Simulasi Voltmeter	24
3.3 Rancang Bangun dan Simulasi Amperemeter	25
BAB 4 ANALISA DAN PENGUJIAN	28
4.1 Pengujian dan Analisa pada Bagian DAC	28
4.2 Pengujian dan Analisa Beban Variabel.....	29
4.2.1 Pengujian pada Rel 3,3 Volt	31
4.2.2 Pengujian pada Rel 5 Volt	34
4.2.3 Pengujian pada Rel 12 Volt	37
BAB 5 KESIMPULAN	41
DAFTAR ACUAN.....	42
DAFTAR PUSTAKA.....	43
LAMPIRAN 1 INTEL POWER SUPPLY DESIGN GUIDE	44
LAMPIRAN 2 DATASHEET MOSFET IRFP064N.....	46

DAFTAR GAMBAR

Gambar 2-1 Diagram blok rangkaian pengujian catu daya ATX	3
Gambar 2-2 Struktur n-channel enhancement-type MOSFET	4
Gambar 2-3 Prinsip pembentukan kanal pada E-MOSFET	5
Gambar 2-4 Fenomena saturasi pada E-MOSFET	6
Gambar 2-5 Kurva karakteristik drain (V_{DS} terhadap I_D)	7
Gambar 2-6 Simbol dari E-MOSFET tipe p (kanan) dan tipe n (kiri)	8
Gambar 2-7 Kurva karakteristik drain (kanan) dan kurva karakteristik transfer (kiri)	8
Gambar 2-8 Konfigurasi pin dari ATmega32	11
Gambar 2-9 DAC sederhana dengan inverting summer	11
Gambar 2-10 Rangkaian Ladder ($R/2R$)	12
Gambar 2-11 Diagram blok dan konfigurasi pin dari DAC0808	13
Gambar 2-12 Penguat Differensial sederhana	18
Gambar 2-13 Penguat differensial dengan input tegangan v_1 dan v_2	18
Gambar 3-1 Kurva karakteristik dari MOSFET IRFP064N	21
Gambar 3-2 Simulasi beban variabel dengan Multisim 10.1	22
Gambar 3-3 Skematik rangkaian DAC dan buffer	23
Gambar 4-1 Grafik V_{GS} terhadap I_D untuk rel 3,3 Volt	33
Gambar 4-2 Grafik V_{out} terhadap I_D untuk rel 3,3 Volt	33
Gambar 4-3 Grafik V_{GS} terhadap I_D untuk rel 5 Volt	36
Gambar 4-4 Grafik V_{out} terhadap I_D untuk rel 5 Volt	36
Gambar 4-5 Grafik V_{GS} terhadap I_D untuk rel 12 Volt	39
Gambar 4-6 Grafik V_{out} terhadap I_D untuk rel 12 Volt	39

DAFTAR TABEL

Tabel 2-1 Bit-bit dari register ADCSRA	14
Tabel 2-2 Konfigurasi bit-bit ADC Prescaler Select	15
Tabel 2-3 Konfigurasi bit-bit dari register ADMUX.....	15
Tabel 2-4 Konfigurasi bit 7 dan bit 6 register ADMUX.....	16
Tabel 2-5 Konfigurasi bit 4 – 0 dari register ADMUX	16
Tabel 2-6 Isi register ADCH dan ADCL untuk nilai ADLAR = 0 (<i>right adjusted</i>).....	16
Tabel 2-7 Isi register ADCH dan ADCL untuk nilai ADLAR = 1(<i>left adjusted</i>).....	17
Tabel 2-8 Bit-bit register SFIOR	17
Tabel 2-9 Konfigurasi bit 7, 6, dan 5 dari register SFIOR	17
Tabel 3-1 Data hasil simulasi beban variabel untuk berbagai nilai biner	23
Tabel 4-1 Perbandingan keluaran DAC hasil perhitungan dan pengukuran.....	29
Tabel 4-2 Standar regulasi tegangan keluaran dari catu daya tipe ATX	31
Tabel 4-3 Data hasil pengujian rel 3,3 Volt.....	32
Tabel 4-4 Data hasil pengujian rel 5 Volt.....	35
Tabel 4-5 Data hasil pengujian rel 12 Volt.....	38

BAB 1

PENDAHULUAN

1.1 Latar Belakang Masalah

Komputer personal pertama di dunia adalah IBM PC AT, yang diluncurkan oleh perusahaan komputer IBM pada tahun 1984. Kemudian seiring dengan perkembangan teknologi, pada tahun 1996, Intel Corporation meluncurkan komputer personal tipe ATX untuk menggantikan tipe AT yang dibuat tahun 1984. Komputer personal tipe ATX ini memiliki sistem catu daya yang berbeda dengan tipe AT, sehingga Intel Corporation mengeluarkan standar catu daya baru untuk personal komputer tipe ATX yang spesifikasinya dimuat dalam dokumen Intel Power Supply Design Guide [1].

Perkembangan teknologi multimedia yang semakin cepat menyebabkan munculnya piranti-piranti pendukung multimedia seperti VGA Card, TV Tuner, Sound Card, dan sebagainya yang dapat ditambahkan pada komputer personal. Penambahan aneka piranti pendukung tersebut menyebabkan meningkatnya konsumsi daya dari komputer personal tersebut sehingga dibutuhkan sebuah catu daya yang mampu menyuplai daya ke piranti-piranti tersebut secara kontinu dan stabil.

Pada kenyataannya, di pasaran banyak sekali beredar catu daya personal komputer tipe ATX yang tidak sesuai dengan spesifikasi yang tertera di labelnya. Hal ini menyebabkan banyak sekali catu daya tipe ATX yang rusak ketika diberi beban maksimum. Catu daya seperti ini sering dikenal dengan istilah *catu daya generik*.

Namun cukup banyak juga catu daya tipe ATX yang memang memiliki kemampuan yang sesuai dengan spesifikasi yang tertera pada labelnya. Catu daya seperti ini biasa dikenal dengan istilah *catu daya branded*. Sudah barang tentu catu daya branded ini harganya jauh lebih mahal daripada catu daya generik.

Berdasarkan fenomena ini, akan dibuat sebuah alat penguji catu daya tipe ATX, mengingat catu daya ATX merupakan catu daya yang paling banyak digunakan pada komputer personal di Indonesia. Alat ini berfungsi sebagai beban bagi catu daya sehingga kapasitas maksimum dari sebuah catu daya dapat diketahui. Dengan mengetahui kapasitas maksimumnya, kerusakan catu daya akibat beban lebih atau *overload* dapat dihindari.

1.2 Tujuan Penulisan

Tujuan penulisan skripsi ini adalah mendesain sebuah perangkat pengujian daya komputer personal tipe ATX untuk mengetahui kapasitas maksimum dari sebuah catu daya tipe ATX.

1.3 Pembatasan Masalah

Pada skripsi ini akan diuraikan secara rinci anatomi perangkat pengujian daya ATX yang akan dibuat. Selain itu juga akan dibahas cara menginterpretasikan data dari proses pengukuran yang dilakukan dengan alat tersebut.

1.4 Sistematika Penulisan

Sistematika penulisan dari skripsi ini adalah sebagai berikut. Bab satu adalah pendahuluan, yang terdiri dari latar belakang masalah, tujuan penulisan, pembatasan masalah, dan sistematika penulisan. Bab dua adalah landasan teori yang menjelaskan tentang komponen-komponen dasar penyusun perangkat yang akan dibahas pada bab tiga.

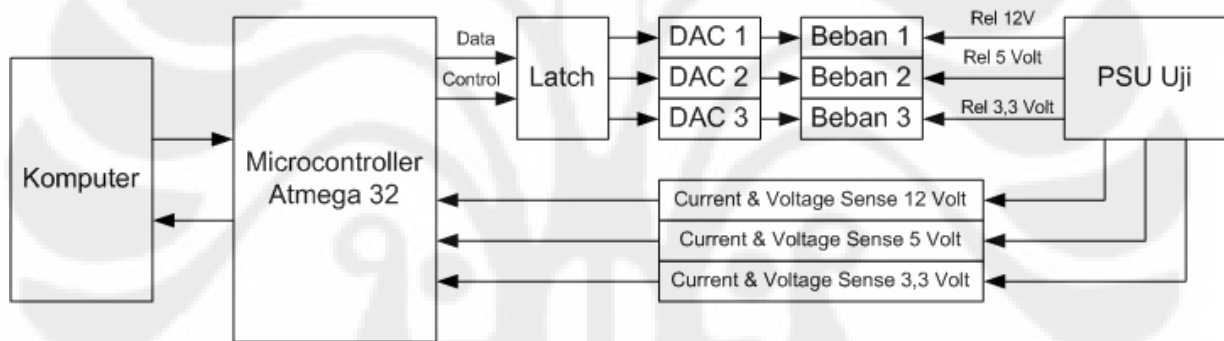
Bab tiga berisi rancang bangun dan simulasi dari perangkat pengujian daya komputer personal tipe ATX. Bab empat berisi analisa kinerja alat dan interpretasi dari output yang dihasilkan perangkat pengujian tersebut. Bab lima berisi kesimpulan yang merupakan penutup dari penulisan skripsi ini.

BAB 2

LANDASAN TEORI

2.1 Pendahuluan

Pada dasarnya, perangkat pengujian catu daya ATX yang akan dibuat terdiri dari tiga buah rangkaian beban variabel, sebuah rangkaian penahan (*latch*), tiga buah rangkaian *Digital to Analog Converter* (DAC), tiga buah rangkaian pengukur tegangan (*voltmeter*), tiga buah rangkaian pengukur arus (*amperemeter*), dan sebuah rangkaian antarmuka ke komputer untuk mengontrol rangkaian beban variabel dan memonitor hasil pengukuran. Masing-masing rangkaian terdiri dari beberapa komponen dasar yang akan dijelaskan lebih lanjut pada subbab selanjutnya. Gambar 2.1 menunjukkan diagram blok dari rangkaian pengujian catu daya switching yang akan dibuat.



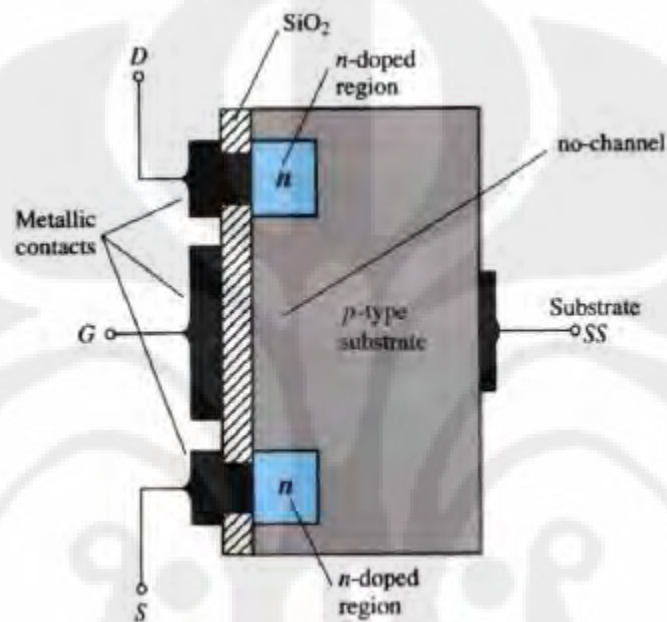
Gambar 2-1 Diagram blok rangkaian pengujian catu daya ATX

Berikut akan dijelaskan komponen-komponen dasar penyusun blok-blok tersebut.

2.2 Metal Oxide Semiconductor Field Effect Transistor (MOSFET) [2],[3],[4]

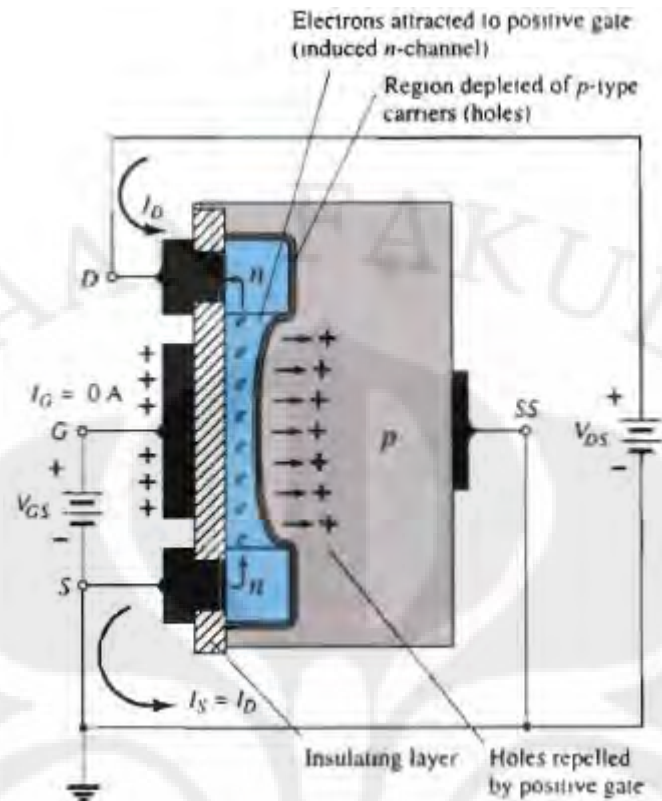
Pada dasarnya, MOSFET merupakan salah satu keluarga dari transistor efek medan (*Field Effect Transistor* atau FET). MOSFET itu sendiri ada dua jenis yaitu *depletion-type* MOSFET (D-MOSFET) dan *enhancement-type* MOSFET (E-MOSFET). D-MOSFET jarang digunakan pada aplikasi elektronika daya, dan yang paling sering digunakan E-MOSFET. Berdasarkan tipe kanal yang digunakan, maka E-MOSFET terbagi dua yaitu *n-channel* E-MOSFET dan *p-channel* E-MOSFET. Pada skripsi ini yang digunakan adalah *n-channel enhancement-type MOSFET*.

Struktur dasar dari sebuah *n-channel enhancement-type* MOSFET diperlihatkan pada gambar 2.2. MOSFET ini sebenarnya memiliki empat terminal, yaitu Gate (G), Drain (D), Source (S) dan Substrat (SS). Namun dalam fabrikasinya, terminal substrat dijadikan satu dengan terminal gate. Drain dan source dibangun diatas substrat tipe-p dengan mendoping salah satu sisi substrat dengan unsur golongan V seperti Boron, sehingga terbentuklah semikonduktor tipe-n.



Gambar 2-2 Struktur n-channel enhancement-type MOSFET

Dari gambar 2.2 terlihat bahwa yang menghubungkan drain dan source dengan dunia luar adalah sebuah *metal contact*. Sementara itu gate juga terhubung dengan metal contact namun tidak terhubung secara langsung ke substrat, melainkan terhubung ke lapisan silicon-dioxide (SiO_2). Lapisan SiO_2 ini berfungsi sebagai isolator sehingga tidak ada kontak langsung antara terminal gate dengan substrat. Dari gambar 2.2 juga terlihat tidak adanya kanal antara drain dan source, tidak seperti D-MOSFET. Untuk lebih memahami prinsip kerja dari E-MOSFET, perhatikan gambar 2.3 berikut.



Gambar 2-3 Prinsip pembentukan kanal pada E-MOSFET

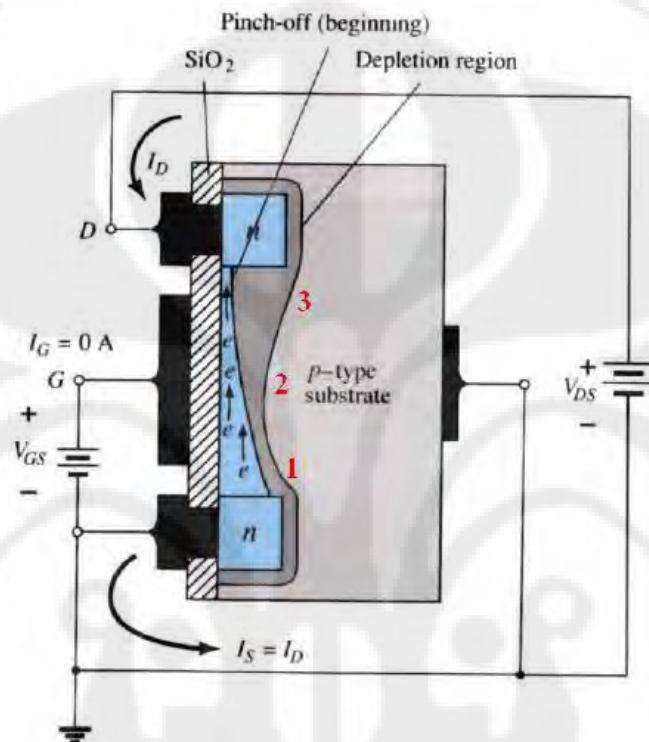
Jika $V_{GS} = 0$ dan V_{DS} bernilai lebih besar dari nol, maka arus I_D dari drain ke source tidak dapat mengalir karena tidak adanya kanal diantara drain dan source. Jika potensial V_{GS} dinaikkan ke suatu nilai tegangan positif (sebut saja 1 Volt), maka akan timbul medan listrik pada terminal gate. Medan listrik ini akan menarik elektron (yang merupakan pembawa minoritas) yang ada pada substrat-p ke daerah disekitar gate. Namun jika jumlah elektron yang berkumpul di dekat gate masih sangat sedikit, maka arus I_D juga belum bisa mengalir.

Jika V_{GS} dinaikkan lagi besarnya, maka elektron yang tertarik ke daerah gate juga semakin banyak. Demikian seterusnya jika tegangan V_{GS} terus menerus dianikkan maka jumlah elektron yang berkumpul di gate akan semakin banyak hingga sampai suatu batas V_{GS} tertentu, kanal yang berada diantara drain dan source terbentuk. Ini menyebabkan drain dan source tersambung sehingga arus I_D dapat mengalir dari drain ke source. Tegangan V_{GS} minimum yang dibutuhkan untuk membentuk kanal diantara drain dan source disebut tegangan threshold (V_{th}).

Semakin besar nilai V_{GS} maka semakin lebar pula kanal yang terbentuk diantara drain dan source sehingga resistansi antara terminal drain dan source berkurang. Hal ini menyebabkan arus I_D yang mengalir bisa semakin besar. Fenomena melebar dan

menyempitnya kanal antara drain dan source akibat pengaruh medan listrik pada gate, menyebabkan komponen ini dinamakan *field-effect transistor* atau transistor efek medan.

Jika kita menahan nilai V_{GS} pada suatu nilai yang konstan dan kita menaikkan nilai V_{DS} secara terus menerus, maka arus I_D akan mencapai kondisi saturasi. Artinya, penambahan nilai V_{DS} akan menghasilkan arus I_D yang cenderung konstan. Fenomena ini dapat dijelaskan dengan bantuan gambar 2.4 sebagai berikut.

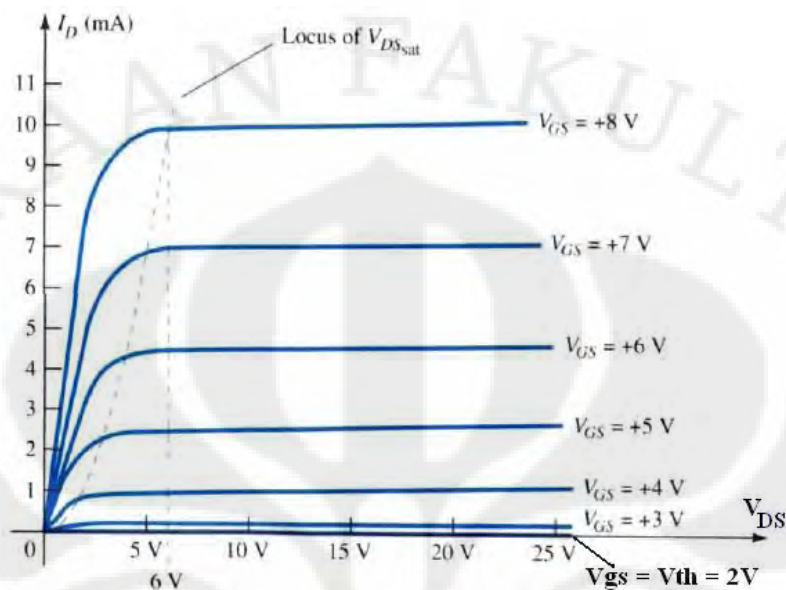


Gambar 2-4 Fenomena saturasi pada E-MOSFET

Jika tegangan antara gate dan ketiga daerah pada kanal dianalisa, maka dapat disimpulkan bahwa tegangan di daerah 1 dan 2 adalah $V_{G1} = V_{G2} = V_{GS}$. Sedangkan pada daerah 3 yang merupakan perbatasan gate dan source, $V_{G3} = V_{GS} - V_{DS} = V_{GD}$. Jika V_{GS} dijaga konstan dan V_{DS} terus dinaikkan, maka tegangan di perbatasan antara kanal dan drain (V_{G3} atau V_{GD}) akan menurun, dan bahkan mungkin berada di bawah tegangan thresholdnya. Hal itu menyebabkan konsentrasi elektron menurun sehingga kanal menyempit dan menyebabkan resistansinya meningkat. Ketika V_{DS} terus naik namun resistansi kanal juga ikut naik, maka dapat disimpulkan bahwa arus yang melalui kanal tersebut dapat dikatakan relatif konstan. Dengan kata lain, kenaikan V_{DS} tidak menyebabkan kenaikan I_D , sehingga kondisi ini disebut kondisi saturasi pada MOSFET.

Jika kurva V_{DS} terhadap I_D untuk beberapa nilai V_{GS} tertentu digambar, maka akan diperoleh kurva seperti pada gambar 2.5 yang sering disebut sebagai kurva karakteristik

drain. Dari kurva tersebut terlihat bahwa untuk nilai $V_{GS} = 8 \text{ V}$, kondisi saturasi terjadi saat $V_{DS} = 6 \text{ Volt}$. Untuk nilai V_{GS} yang lebih rendah, maka nilai saturasi untuk V_{DS} juga makin rendah. Hal tersebut tampak sebagai locus dari nilai-nilai saturasi V_{DS} .

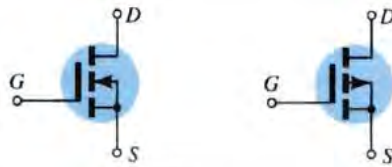


Gambar 2-5 Kurva karakteristik drain (V_{DS} terhadap I_D)

Kurva pada gambar 2.5 diatas dapat dibagi menjadi dua daerah, yakni daerah disebelah kiri locus (yang disebut *ohmic region*) dan daerah di sebelah kanan locus (*saturation region*). Pada ohmic region, perbandingan antara tegangan (V_{DS}) dan arus (I_D) yang melalui kanal bersifat linear, sehingga dapat dikatakan bahwa MOSFET seolah berkelakuan seperti sebuah resistor. Pada saturation region, arus (I_D) akan cenderung konstan untuk kenaikan tegangan (V_{DS}) hingga tegangan breakdown (BV_{DSS}) terlampaui.

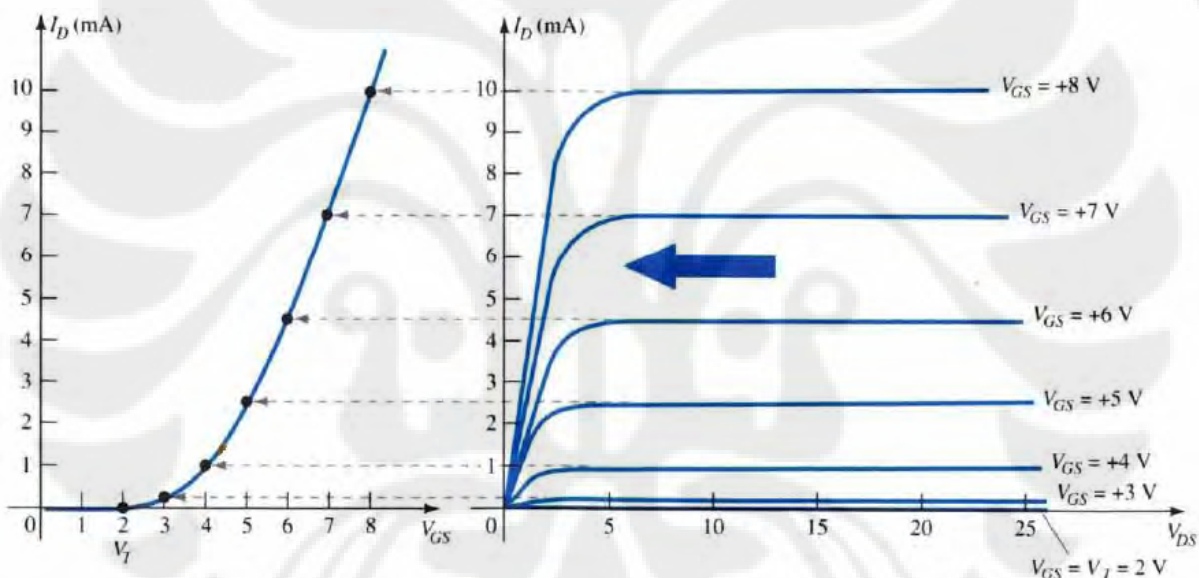
Pada ohmic region, nilai resistansi dari kanal dapat dilihat dari kemiringan kurva V_{DS} terhadap I_D . Semakin tegak kemiringan kurva maka semakin rendah pula resistansinya. Semakin condong kurva maka semakin tinggi pula resistansinya. Artinya, nilai resistansi kanal antara drain dan source dapat diatur dengan cara mengatur kemiringan kurva, dan pengaturan kemiringan kurva dapat dilakukan dengan mengatur nilai tegangan V_{GS} . Dapat disimpulkan bahwa pada linear region, MOSFET dapat berfungsi sebagai resistor variabel yang nilainya dapat diatur dengan mengatur tegangan V_{GS} .

Gambar 2.6 menunjukkan simbol dari sebuah E-MOSFET tipe p dan tipe n. Dari simbol itu terlihat garis putus-putus antara drain dan source yang melambangkan fakta bahwa kanal tidak akan terbentuk saat tidak ada tegangan pada gate. Adanya garis terpisah pada gate melambangkan bahwa gate terisolasi (tidak tersambung secara fisik) dengan kanal antara drain dan source.



Gambar 2-6 Simbol dari E-MOSFET tipe p (kanan) dan tipe n (kiri)

Pada sebuah E-MOSFET terdapat tiga daerah operasi yang berbeda, yaitu daerah cutoff (*cutoff region*), daerah linear (*linear region*), dan daerah saturasi (*saturation region*). Daerah linear dan saturasi dapat dilihat dengan jelas pada kurva karakteristik drain, sementara daerah cutoff dapat dilihat dengan jelas pada kurva karakteristik transfer. Gambar 2.7 menunjukkan kurva karakteristik transfer yang dibuat berdampingan dengan kurva karakteristik drain. Berikut akan dijelaskan permodelan E-MOSFET secara matematis untuk ketiga daerah operasi tersebut.



Gambar 2-7 Kurva karakteristik drain (kanan) dan kurva karakteristik transfer (kiri)

1. Daerah Cutoff

Pada daerah ini, tegangan bias antara gate dan source (V_{GS}) pada MOSFET tidak cukup untuk membentuk kanal antara drain dan source sehingga belum terjadi proses konduksi arus dari drain dan source ($I_D = 0$). Secara matematis kondisi ini dapat ditulis

$$V_{GS} < V_{th}$$

Daerah ini ditunjukkan oleh adanya garis lurus dari titik asal pada sumbu x kurva karakteristik transfer. Kurva karakteristik transfer dibuat dari kurva karakteristik drain dengan mengambil nilai-nilai arus saturasi untuk nilai-nilai V_{GS} yang berbeda-beda. Dengan melihat kurva karakteristik transfer, pengaruh kenaikan V_{GS} terhadap I_D dapat

dilihat secara langsung dan jelas. Kurva karakteristik transfer akan dijadikan acuan dalam pembuatan skripsi ini.

2. Daerah Linear

Pada daerah ini, tegangan antara gate dan source sudah lebih besar dari tegangan threshold, atau secara matematis

$$V_{GS} - V_{DS} > V_{th}$$

Selama kondisi tersebut berlaku, tegangan di setiap titik pada kanal lebih besar daripada tegangan threshold. Jika dilihat pada kurva karakteristik, daerah ini berada di sebelah kiri locus dari $V_{DS, SAT}$. $V_{DS, SAT}$ adalah suatu level tegangan V_{DS} tertentu saat arus drain (I_D) mulai mengalami saturasi. Kurva yang terbentuk pada daerah linear ini memiliki bentuk yang mirip kurva parabolik. Ini berarti persamaan kurvanya adalah persamaan kuadrat yang dapat didekati dengan persamaan

$$I_D = k \left[2 V_{GS} - V_{th} V_{DS} - V_{DS}^2 \right] \quad (2.1)$$

$$k = \frac{\mu \epsilon W}{2tL} \quad (2.2)$$

dengan :

k = konstanta MOSFET (A/V^2)

μ = mobilitas elektron rata-rata yang melawati kanal ($cm^2/V.sec$)

ϵ = konstanta dielektrik ($8,85 \times 10^{-14} F/cm$)

W = lebar kanal antara drain dan source (μm)

t = ketebalan dielektrik (μm)

L = panjang kanal (μm)

Penentuan konstanta k dari datasheet adalah sangat sulit mengingat datasheet tidak menyediakan data mengenai struktur devais dari MOSFET, sehingga nilai k harus ditentukan dari persamaan 2.1 yaitu :

$$k = \frac{I_D}{2 V_{GS} - V_{th} V_{DS} - V_{DS}^2} \quad (2.3)$$

Untuk nilai V_{GS} yang berbeda-beda, nilai k yang diperoleh juga berbeda-beda. Hal ini karena bentuk kurva karakteristik drain yang dihasilkan juga berbeda-beda untuk nilai V_{GS} yang berbeda-beda.

3. Daerah Saturasi

Pada daerah ini, tegangan antara gate dan beberapa daerah pada kanal sudah lebih kecil daripada tegangan saturasi, atau secara matematis

$$V_{GS} - V_{DS} < V_{th}$$

Fenomena ini sudah dijelaskan melalui gambar 2.4. akibatnya, arus drain (I_D) cenderung konstan walaupun nilai V_{DS} terus dinaikkan, sehingga nilai I_D hanya ditentukan oleh nilai V_{GS} saja. Kondisi saturasi ini dimulai saat $V_{GS} - V_{DS} = V_{th}$ (atau $V_{DS} = V_{GS} - V_{th}$) sehingga jika kondisi tersebut dimasukkan ke persamaan 2.1 akan diperoleh

$$I_D = k \left[2 V_{GS} - V_{th} \quad V_{GS} - V_{th} - V_{GS} - V_{th} \right]^2$$

$$I_D = k V_{GS} - V_{th}^2 \quad (2.4)$$

Persamaan 2.4 dapat digambarkan seperti kurva karakteristik transfer pada gambar 2.7.

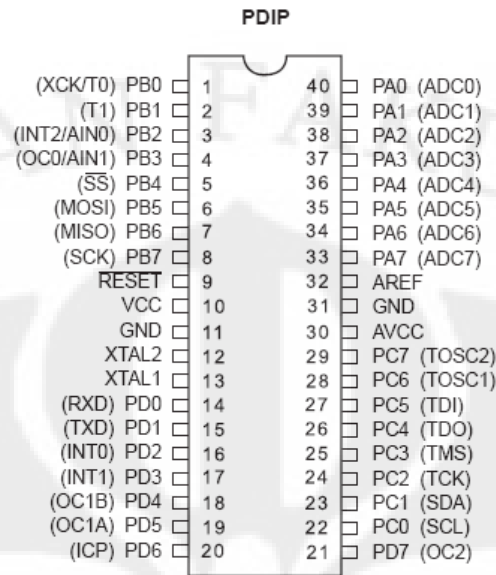
2.3 Microcontroller (μC)

Microcontroller adalah sebuah rangkaian terpadu (*integrated circuit*) yang didalamnya terdapat sebuah unit pemroses pusat (*Central Processing Unit* atau CPU) yang relatif kecil, yang dikombinasikan dengan perangkat-perangkat pendukung seperti osilator, timer, antarmuka input-output, dan memori. μC berbeda mikroprosesor, dimana pada sekeping chip mikroprosesor hanya terdapat sebuah CPU sedangkan pada sekeping chip μC terdapat CPU dan berbagai piranti pendukungnya. Namun, kemampuan μC jauh lebih rendah dan lebih terbatas dibandingkan dengan kemampuan mikroprosesor.

μC banyak digunakan karena banyak sekali aplikasi yang hanya membutuhkan sistem pemrosesan yang sederhana, seperti sistem tata udara (Air Conditioner atau AC), pemanggang otomatis (microwave), sistem pengontrol mesin otomatis, *remote control* dan sebagainya. Aplikasi-aplikasi tersebut akan menjadi sangat rumit dan tidak ekonomis jika dibangun menggunakan mikroprosesor. Hal tersebut membuat μC sangat lekat dengan dunia kontrol dan otomasi.

Pada skripsi ini, digunakan μC seri ATmega32 buatan Atmel. μC ini memiliki 40 pin - seperti pada gambar 2.8, 32 kilobyte Flash Memory, 2 kilobyte RAM, 1024 byte EEPROM, dengan 32 line input-output serbaguna yang terbagi ke dalam empat port (PORTA, PORTB, PORTC, dan PORTD). μC ini juga memiliki delapan channel *Analog-to-Digital Converter*

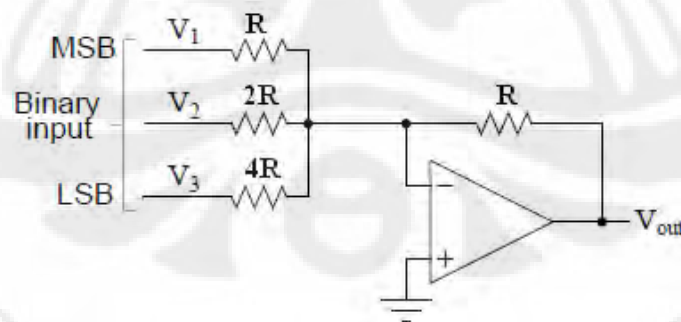
(ADC) 10 bit, empat channel *Pulse Width Modulation* (PWM), dua buah *timer/counter* 8 bit, sebuah *timer/counter* 16 bit, dan masih banyak fitur-fitur lainnya.



Gambar 2-8 Konfigurasi pin dari ATmega32

2.4 Digital to Analog Converter (DAC)

Sebuah *digital-to-analog converter* (DAC) berfungsi mengubah sinyal digital dalam bentuk bit-bit yang diskrit menjadi sebuah level tegangan yang kontinu. Biasanya bit yang bernilai 0 merepresentasikan tegangan 0 Volt dan bit yang bernilai 1 merepresentasikan tegangan 5 Volt. Sebuah DAC sederhana dapat dibangun dari sebuah op-amp dan beberapa buah resistor yang membentuk konfigurasi *inverting summer* seperti tampak pada gambar 2.9 berikut.



Gambar 2-9 DAC sederhana dengan inverting summer

Tegangan output dari rangkaian pada gambar 2.9 di atas adalah

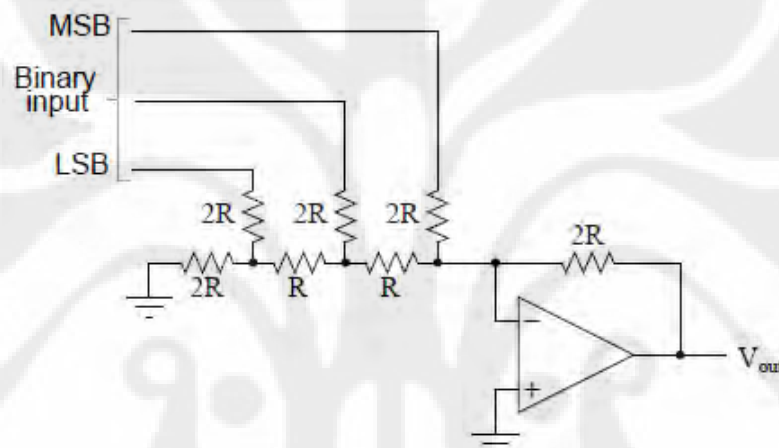
$$-V_{out} = \frac{R_f}{R_1} V_1 + \frac{R_f}{R_2} V_2 + \frac{R_f}{R_3} V_3 \quad (2.5)$$

V_1 disebut sebagai *Most Significant Bit* (MSB) dan V_3 disebut *Least Significant Bit* (LSB). Tegangan V_1 , V_2 , dan V_3 dapat bernilai 0 atau 5 Volt sesuai dengan bit yang diinginkan. Sebagai contoh, untuk nilai bit [101] (atau 5 desimal) tegangan output yang dihasilkan adalah

$$-V_{out} = 1 \cdot 5 + 0,5 \cdot 0 + 0,25 \cdot 5 = 6,25V$$

atau $V_{out} = -6,25$ Volt.

Rangkaian lain yang paling sering digunakan sebagai DAC sederhana adalah rangkaian ladder (rangkaian R/2R) seperti ditunjukkan pada gambar 2.10 berikut. Rangkaian ini memiliki kelebihan dibandingkan dengan rangkaian sebelumnya, yakni nilai resistor yang dipakai hanya dua macam yaitu R dan 2R, sementara pada rangkaian sebelumnya nilai R_1 , R_2 , R_3 , dan R_f yang dipakai harus berbeda-beda.



Gambar 2-10 Rangkaian Ladder (R/2R)

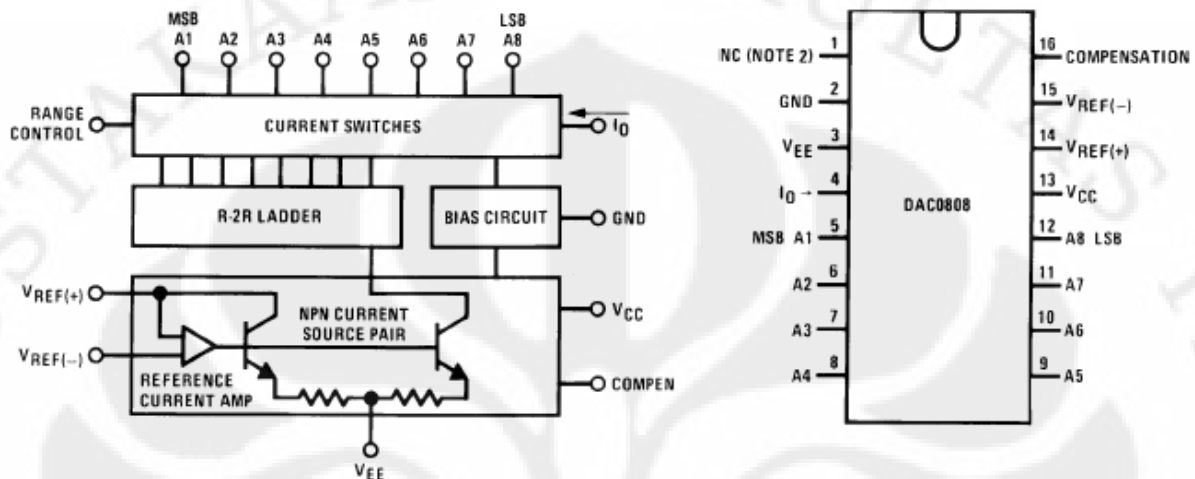
Pada sebuah DAC, kenaikan satu bit LSB akan menyebabkan kenaikan tegangan output. Salah satu cara untuk mengukur kualitas dari sebuah DAC adalah dengan melihat resolusinya. Resolusi sebuah DAC menyatakan perbandingan antara penambahan LSB dan keluaran maksimum. Besaran ini dinyatakan dengan rumus

$$\text{Resolusi} = \frac{1}{2^n - 1} \quad (2.6)$$

Dengan n adalah jumlah bit dari DAC tersebut.

Sebagai contoh, sebuah DAC 8-bit memiliki resolusi $1/255$ atau $0,392\%$ atau 1 bagian dalam 255. Artinya setiap kenaikan satu bit LSB, DAC tersebut akan menghasilkan kenaikan tegangan sebesar $0,392\%$ dari sebelumnya. Semakin tinggi resolusi sebuah DAC, maka semakin baik DAC tersebut karena semakin banyak level tegangan yang dapat dihasilkan oleh DAC tersebut.

Saat ini, DAC dapat dengan mudah diperoleh dipasaran dalam bentuk IC, baik yang beresolusi tinggi maupun rendah. Semakin tinggi resolusinya, maka semakin mahal harganya. Salah satu DAC yang paling banyak terdapat di pasaran adalah DAC0808 buatan National Semiconductor dengan resolusi delapan bit. Diagram blok dan tata letak pin dari DAC0808 dapat dilihat pada gambar 2.11.



Gambar 2-11 Diagram blok dan konfigurasi pin dari DAC0808

Dengan menggunakan IC ini, dapat dibuat sebuah DAC delapan bit dengan resolusi $1/255$. Input DAC yang berupa bit-bit dihubungkan ke pin 5 (untuk MSB) hingga pin 12 (untuk LSB). Sementara output dari DAC terletak pada pin 4. DAC ini dapat dihubungkan dengan sumber tegangan referensi positif (pin 14) atau negatif (pin 15).

2.5 Analog to Digital Converter (ADC) Pada μC ATmega32

Analog to Digital Converter (ADC) digunakan untuk mengubah sinyal analog menjadi sinyal digital. Proses konversi dari bentuk analog ke bentuk digital ini menjadi sangat penting mengingat data digital lebih mudah untuk diolah atau diproses ketimbang dalam bentuk analog. Data digital ini kemudian dapat ditransfer ke komputer untuk diolah dan ditampilkan dalam bentuk tulisan, gambar, grafik, dan lain sebagainya.

Karena mengubah sinyal analog (yang biasanya berupa tegangan) ke dalam digit-digit data biner, maka sebuah ADC memiliki resolusi. Resolusi ini dinyatakan dalam satuan bit. Semakin tinggi resolusi dari sebuah ADC, maka semakin presisi pula keluarannya. Sebuah ADC 10 bit memiliki rentang output hingga 2^{10} atau (0 – 1023). Selain itu sebuah ADC juga memiliki tegangan referensi yang dapat berupa tegangan referensi internal atau eksternal. Tegangan referensi eksternal dihubungkan ke pin 32 (AREF) dari ATmega32. Misalkan sebuah ADC 10 bit memiliki tegangan referensi sebesar 5 volt, maka ketika tegangan

inputnya 0 volt, nilai outputnya adalah nol. Jika tegangan inputnya 2,5 volt, maka nilai outputnya adalah 512, dan jika tegangan inputnya 5 volt, maka nilai outputnya adalah 1023.

μC ATmega32 memiliki 8 kanal ADC yang terdapat pada PORT A (pin 33 – 40). Kedelapan ADC tersebut dapat beroperasi pada mode *Single Conversion* dan mode *Free Running*. Pada mode single conversion, ADC akan berhenti bekerja ketika proses konversi selesai. Pada mode free running, proses konversi dilakukan secara terus menerus. Ketika proses konversi pertama selesai, maka proses konversi kedua akan langsung dilakukan dan begitu seterusnya.

Sebuah ADC membutuhkan clock agar dapat melakukan proses konversi. Clock untuk ADC ini biasanya diperoleh dengan membagi clock sistem dengan menggunakan prescaler untuk mendapatkan clock yang lebih rendah. Clock sistem dapat dibagi menjadi 2, 4, 16, 32, 64, dan 128 dengan mengatur prescaler ini. Biasanya sebuah ADC membutuhkan clock antara 50 kHz hingga 200 kHz.

Konfigurasi dari ADC dalam μC ATmega32 dapat diatur melalui empat register utamanya, yakni *ADC Multiplexer Selection Register (ADMUX)*, *ADC Control and Status Register (ADCSRA)*, *ADC Data Register (ADCL & ADCH)*, dan *Special Function Input/Output Register (SFIO)*. Register ADMUX berfungsi untuk memilih tegangan referensi dan kanal ADC yang akan dipakai. Register ADCSRA berfungsi mengontrol kinerja dan status ADC. Register ADCL dan ADCH merupakan tempat penyimpanan data (bit-bit) hasil konversi. Penjelasan lengkap mengenai konfigurasi dari masing-masing register akan dijelaskan sebagai berikut.

Register pertama yang harus dikonfigurasi ketika akan menggunakan fitur ADC dari ATmega 32 adalah ADCSRA, yang merupakan register delapan bit. Tabel 2.7 menampilkan konfigurasi dari kedelapan bit dari register ADCSRA.

Tabel 2-1 Bit-bit dari register ADCSRA

Bit	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit 7 dari register ADCSRA bernama **ADC Enable (ADEN)** yang berfungsi mengaktifkan dan menonaktifkan ADC. Jika ADEN bernilai 1 maka ADC akan aktif dan jika bernilai 0 maka ADC akan mati. Bit 6 merupakan bit **ADC Start Conversion (ADSC)** yang berfungsi memilih menjalankan proses konversi. Pada mode *Single Conversion*, bit ini harus bernilai 1 dan setelah proses konversi selesai maka bit ini akan bernilai 0 kembali secara

otomatis. Untuk memulai proses konversi selanjutnya, bit ini harus diberi nilai 1 kembali. Pada mode *Free Running*, bit ini juga harus bernilai 1.

Bit 5 merupakan **ADC Auto Trigger Enable (ADATE)**. Ketika bit ini bernilai 1, maka Auto Triggering dari ADC akan diaktifkan. Sumber trigger dapat dipilih dari bit **ADC Trigger Select (ADTS)** yang ada pada **Special Function Input/Output Register (SFIO)**. Bit 4 dan bit 3 dari register ADMUX merupakan bit **ADC Interrupt Flag (ADIF)** dan bit **ADC Interrupt Enable (ADIE)**. Keduanya mengatur mekanisme interrupt dari ADC.

Bit 2, bit 1, dan bit 0 dari register ADMUX merupakan bit **ADC Prescaler Select (ADPS)**. Ketiga bit ini berfungsi memilih nilai prescaler yang tepat untuk menghasilkan clock ADC dari clock sistem. Tabel 2.8 memuat konfigurasi dari ketiga bit ini.

Tabel 2-2 Konfigurasi bit-bit ADC Prescaler Select

ADPS2	ADPS1	ADPS0	Division Factor
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

Register kedua yang harus diatur dalam penggunaan ADC adalah ADC Multiplexer Selection Register (ADMUX). ADMUX merupakan register delapan bit yang konfigurasi ditunjukkan pada tabel 2.9 berikut.

Tabel 2-3 Konfigurasi bit-bit dari register ADMUX

Bit	7	6	5	4	3	2	1	0	ADMUX
	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit 7 dan bit 6 dari register ADMUX adalah bit **Reference Selection (REFS1 dan REFS0)**. Tegangan referensi internal tidak dapat digunakan jika pada pin AREF terdapat sumber tegangan referensi eksternal. Tabel 2.10 menunjukkan konfigurasi dari bit 7 dan bit 6 register ADMUX ini.

Tabel 2-4 Konfigurasi bit 7 dan bit 6 register ADMUX

REFS1	REFS0	Voltage Reference Selection
0	0	AREF, Internal Vref turned off
0	1	AVCC with external capacitor at AREF pin
1	0	Reserved
1	1	Internal 2.56V Voltage Reference with external capacitor at AREF pin

Bit 5 merupakan **ADC Left Adjust Result (ADLAR)**, yang mempengaruhi representasi dari hasil konversi ADC yang terdapat pada ADC Data Register. Pembahasan lebih lanjut mengenai ADLAR terdapat pada penjelasan ADC Data Register.

Bit 4, 3, 2, 1, dan 0 merupakan bit-bit **Analog Channel and Gain Selection (MUX4:0)**. Nilai dari kelima bit tersebut menentukan kanal ADC mana yang akan diaktifkan. Tabel 2.11 menunjukkan konfigurasi dari kelima bit tersebut.

Tabel 2-5 Konfigurasi bit 4 – 0 dari register ADMUX

MUX4..0	Single Ended Input
00000	ADC0
00001	ADC1
00010	ADC2
00011	ADC3
00100	ADC4
00101	ADC5
00110	ADC6
00111	ADC7

Register ketiga yang harus dikonfigurasi adalah ADC Data Register (ADCL dan ADCH). Ketika proses konversi yang dilakukan oleh ADC selesai, maka hasilnya ditaruh pada kedua register ini. Bit ADLAR pada register ADMUX mempengaruhi cara hasil konversi dibaca dari ADC Data Register. Jika bit ADLAR bernilai 0, maka data hasil konversi akan bersifat *right adjusted* seperti terlihat pada tabel 2.12. Jika bit ADLAR bernilai 1, maka data hasil konversi akan bersifat *left adjusted* seperti terlihat pada tabel 2.13.

Tabel 2-6 Isi register ADCH dan ADCL untuk nilai ADLAR = 0 (*right adjusted*)

-	-	-	-	-	-	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCH								ADCL							

Tabel 2-7 Isi register ADCH dan ADCL untuk nilai ADLAR = 1 (*left adjusted*)

ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	-	-	-	-	-	-
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCH								ADCL							

Register terakhir yang harus dikonfigurasi adalah **Special Function Input/Output Register (SFIO)**. SFIO merupakan register delapan bit seperti ditunjukkan pada tabel 2.14. Bit 7, 6, dan 5 (ADTS2, ADTS1, dan ADTS0) berfungsi memilih sumber trigger mana yang akan dijadikan sumber trigger bagi ADC. Konfigurasi bit 7, 6, dan 5 disajikan pada tabel 2.15.

Tabel 2-8 Bit-bit register SFIO

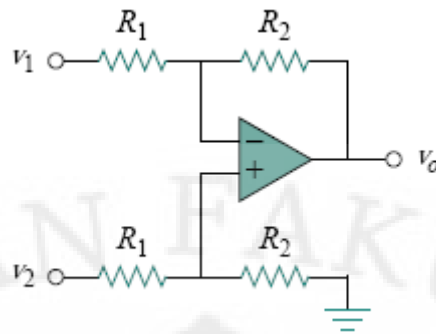
Bit	7	6	5	4	3	2	1	0
	ADTS2	ADTS1	ADTS0	-	ACME	PUD	PSR2	PSR10
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

Tabel 2-9 Konfigurasi bit 7, 6, dan 5 dari register SFIO

ADTS2	ADTS1	ADTS0	Trigger Source
0	0	0	Free Running mode
0	0	1	Analog Comparator
0	1	0	External Interrupt Request 0
0	1	1	Timer/Counter0 Compare Match
1	0	0	Timer/Counter0 Overflow
1	0	1	Timer/Counter Compare Match B
1	1	0	Timer/Counter1 Overflow
1	1	1	Timer/Counter1 Capture Event

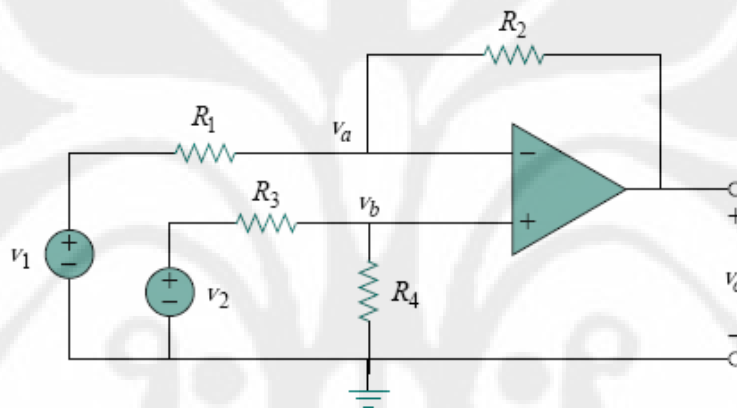
2.6 Difference Amplifier (Penguat Differensial) [5]

Penguat differensial merupakan sebuah rangkaian yang memperkuat selisih (*difference*) tegangan diantara kedua inputnya. Penguat differensial sederhana terdiri dari sebuah operational amplifier (op amp) dan beberapa buah resistor seperti ditunjukkan pada gambar 2.12 berikut.



Gambar 2-12 Penguat Differensial sederhana

Persamaan matematis yang menghubungkan antara tegangan input dan output dari sebuah penguat differensial dapat diselesaikan dengan menggunakan hukum Kirchoff untuk arus. Untuk lebih jelasnya perhatikan gambar 2.13 berikut ini.

Gambar 2-13 Penguat differensial dengan input tegangan v_1 dan v_2

Dengan menggunakan hukum arus Kirchoff pada simpul a, diperoleh

$$\frac{v_1 - v_a}{R_1} = \frac{v_a - v_o}{R_2}$$

$$v_o = \left(\frac{R_2}{R_1} + 1 \right) v_a - \frac{R_2}{R_1} v_1 \quad (2.7)$$

Dengan menggunakan hukum arus Kirchoff pada simpul b, diperoleh

$$\frac{v_2 - v_b}{R_3} = \frac{v_b - 0}{R_4}$$

$$v_b = \frac{R_4}{R_3 + R_4} v_2 \quad (2.8)$$

Karena pada op amp ideal selisih tegangan di terminal inverting input dan non-inverting input adalah nol, maka $v_a = v_b$, sehingga dengan mensubstitusi persamaan 2.9 ke persamaan 2.8 diperoleh

$$v_o = \frac{R_2}{R_1} \frac{1 + R_1/R_2}{1 + R_3/R_4} v_2 - \frac{R_2}{R_1} v_1 \quad (2.9)$$

Pada penguat differensial ini, jika kedua tegangan inputnya bernilai sama ($v_1 = v_2$), maka output yang dihasilkan haruslah bernilai nol ($v_o = 0$). Hal tersebut akan terjadi jika

$$\frac{R_1}{R_2} = \frac{R_3}{R_4} \quad (2.10)$$

Dengan memasukkan persamaan 2.11 ke dalam persamaan 2.10 akan diperoleh

$$v_o = \frac{R_2}{R_1} v_2 - v_1 \quad (2.11)$$

BAB 3

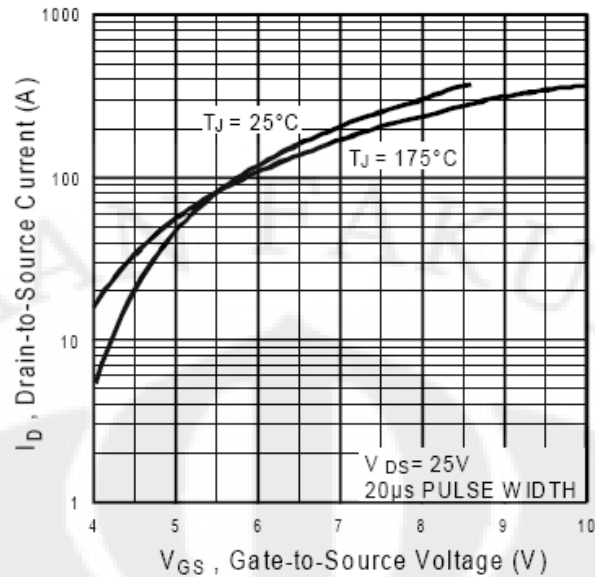
RANCANG BANGUN DAN SIMULASI

Pada bab ini akan dijelaskan rancang bangun dan simulasi dari perangkat pengujian catu daya PC tipe ATX. Rancang bangun dan simulasi akan dibahas per blok, mengacu pada diagram blok pada gambar 2.1 di bab 2. Simulasi pada bab ini dilakukan dengan bantuan *software* (perangkat lunak) Multisim 10.1 buatan National Instruments.

3.1 Rancang Bangun dan Simulasi Beban Variabel

Pada subbab ini akan dijelaskan rancang bangun dan simulasi dari beban variabel yang akan dipakai pada skripsi ini. Pada dasarnya, beban variabel dibuat dengan memanfaatkan resistansi dari kanal yang terdapat diantara terminal drain dan source dari sebuah E-MOSFET. Nilai resistansi antara drain dan source (R_{DS}) ini besarnya akan berubah-ubah sesuai dengan nilai tegangan antara terminal gate dan source (V_{GS}). Semakin besar nilai V_{GS} , maka semakin kecil nilai R_{DS} . Untuk nilai tegangan antara drain dan source (V_{DS}) yang konstan, perubahan nilai R_{DS} akan menyebabkan perubahan arus yang mengalir dari drain source (I_D). Perubahan nilai I_D ini akan menyebabkan perubahan daya yang didisipasi pada MOSFET. Adanya disipasi daya inilah yang menyebabkan MOSFET bersifat sebagai beban, dimana daya yang diberikan pada MOSFET akan diubah sepenuhnya ke dalam energi panas. Energi panas yang dihasilkan akan disalurkan ke pendingin untuk dilepaskan ke udara. Dengan kata lain, besarnya daya yang didisipasi oleh MOSFET berbanding lurus dengan nilai tegangan V_{GS} yang diberikan.

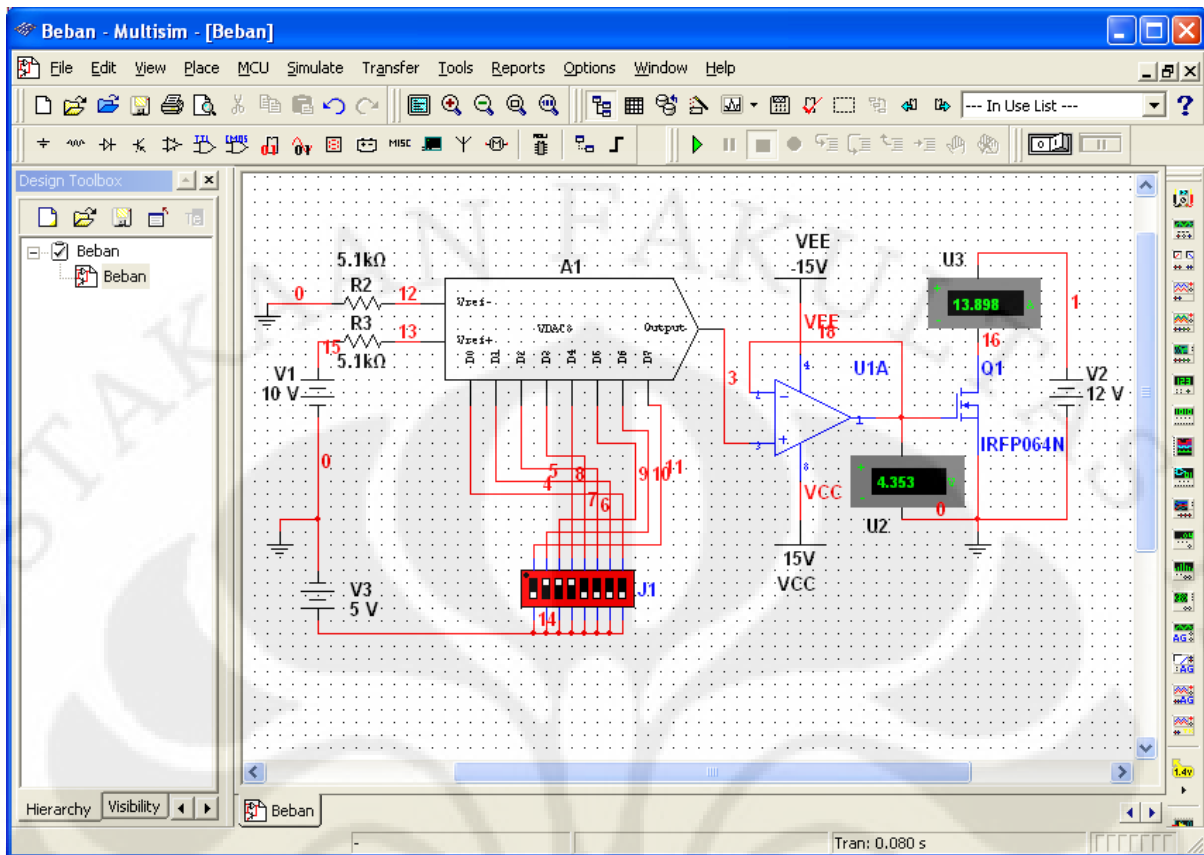
Hubungan antara tegangan V_{GS} dengan arus I_D dapat dilihat dari kurva karakteristik MOSFET yang ada pada datasheet. Pada skripsi ini digunakan E-MOSFET dengan nomor seri IRFP064N buatan International Rectifier. Kurva karakteristik dari IRFP064N dapat dilihat pada gambar 3.1 berikut.



Gambar 3-1 Kurva karakteristik dari MOSFET IRFP064N

Dengan menjaga temperatur kerja MOSFET pada suhu 25° Celcius maka kita akan mendapati perubahan arus I_D yang sangat drastis dari 5,5 A menjadi 48 A untuk perubahan tegangan V_{GS} yang hanya sebesar 1 V. Oleh karena itu dibutuhkan mekanisme pengaturan tegangan V_{GS} yang presisi dengan *increment* (kenaikan) yang perlahan agar perubahan arus yang terjadi tidak terlalu besar atau dapat dikatakan masih linear.

Salah satu cara yang paling efektif untuk menghasilkan pengaturan tegangan V_{GS} yang akurat adalah dengan menggunakan DAC. Dengan menggunakan DAC, kenaikan V_{GS} dapat diatur perlahan-lahan sehingga arus I_D juga akan naik secara perlahan. Semakin tinggi resolusi dari DAC yang dipakai, maka akan dihasilkan kenaikan tegangan yang perlahan tapi presisi. Perubahan tegangan output dari DAC dilakukan dengan menaikkan nilai biner yang menjadi input dari DAC.



Gambar 3-2 Simulasi beban variabel dengan Multisim 10.1

Gambar 3.2 menunjukkan gambar rangkaian dari beban variabel sekaligus dengan hasil simulasinya dengan bantuan Multisim 10.1. Rangkaian beban variabel ini terdiri dari sebuah MOSFET (Q1), sebuah DAC (A1) beserta tegangan referensinya (V1), sebuah buffer (U1A), sebuah amperemeter DC (U3), sebuah voltmeter DC (U2), dan sebuah sumber tegangan uji 12 V (V2). VCC dan VEE merupakan sumber tegangan untuk mengaktifkan buffer. Masukan ADC yang sesungguhnya berasal dari μC ATmega32, yang pada simulasi ini digantikan dengan sebuah saklar delapan kanal (J1) dan sumber tegangan 5 Volt (V3). Saklar yang aktif (ON) akan menghasilkan tegangan 5 Volt yang dapat dianalogikan dengan biner 1 dari μC . Sedangkan saklar yang tidak aktif (OFF) akan menghasilkan tegangan 0 Volt yang dapat dianalogikan dengan biner 0 dari μC .

DAC yang dipakai pada simulasi ini sama dengan DAC yang akan dipakai pada skripsi, dan memiliki resolusi delapan bit dengan sumber tegangan referensi sebesar 10 Volt. DAC tersebut akan memiliki nilai desimal hingga 2^8 (0 – 255) atau nilai biner dari [0000 0000] hingga [1111 1111]. Nilai-nilai biner pada simulasi ini dimasukkan ke DAC melalui pin D0 (LSB) hingga D7 (MSB).

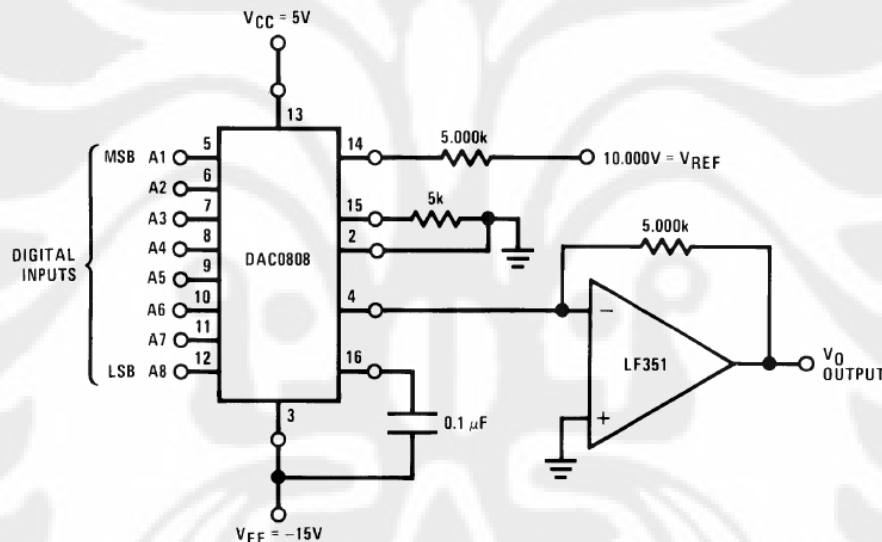
Output dari DAC ini kemudian dimasukkan ke sebuah op-amp yang berfungsi sebagai buffer (penahan) sebelum output ini dihubungkan ke MOSFET. Buffer ini berfungsi melindungi DAC dari gangguan jika terjadi kerusakan pada MOSFET. Gambar 3.3 menunjukkan skematik rangkaian DAC dan buffer sesungguhnya yang dipakai pada skripsi ini. Tegangan output yang dihasilkan oleh DAC pada simulasi dapat dihitung dengan rumus

$$V_{OUT} = \left(\frac{D7}{2} + \frac{D6}{4} + \frac{D5}{8} + \frac{D4}{16} + \frac{D3}{32} + \frac{D2}{64} + \frac{D1}{128} + \frac{D0}{256} \right) V_{REF} \quad (3.1)$$

Sedangkan tegangan output yang dihasilkan dari rangkaian DAC pada gambar 3.3 dapat dihitung dengan rumus

$$V_{OUT} = \left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256} \right) 10\text{Volt} \quad (3.2)$$

Dengan A1 merupakan nilai MSB dan A8 merupakan nilai LSB.



Gambar 3-3 Skematik rangkaian DAC dan buffer

Adapun hasil simulasi untuk berbagai nilai biner yang dimasukkan ke DAC disajikan dalam tabel 3.1 berikut.

Tabel 3-1 Data hasil simulasi beban variabel untuk berbagai nilai biner

Desimal	Biner	U2 (V)	U3 (A)
90	0101 1010	3,498	0,000012
97	0110 0001	3,809	0,198
100	0110 0100	3,886	0,923
103	0110 0100	4,042	3,760
106	0110 1010	4,120	5,786
109	0110 1101	4,275	10,882
112	0111 0000	4,353	13,898
115	0111 0011	4,508	20,752

Pada tabel 3.1 terlihat hubungan antara nilai biner yang dimasukkan ke DAC dengan arus yang mengalir pada MOSFET. Nilai biner akan lebih mudah dibaca jika melihat nilai desimalnya. Dari tabel 3.1 terlihat bahwa ketika nilai biner yang masuk ke DAC dinaikkan, maka nilai tegangan output yang dihasilkan oleh DAC juga naik. Kenaikan tegangan output ini sama dengan kenaikan tegangan pada gate dari MOSFET (V_{GS}). Kenaikan V_{GS} ini akan menyebabkan kenaikan arus I_D . Arus I_D yang besar akan menyebabkan disipasi daya yang besar pada MOSFET. Disipasi daya ini akan menjadi beban bagi catu daya yang diuji. Dapat disimpulkan bahwa beban yang diberikan ke catu daya uji dapat diatur secara linear dengan mengatur nilai biner dari DAC.

3.2 Rancang Bangun dan Simulasi Voltmeter

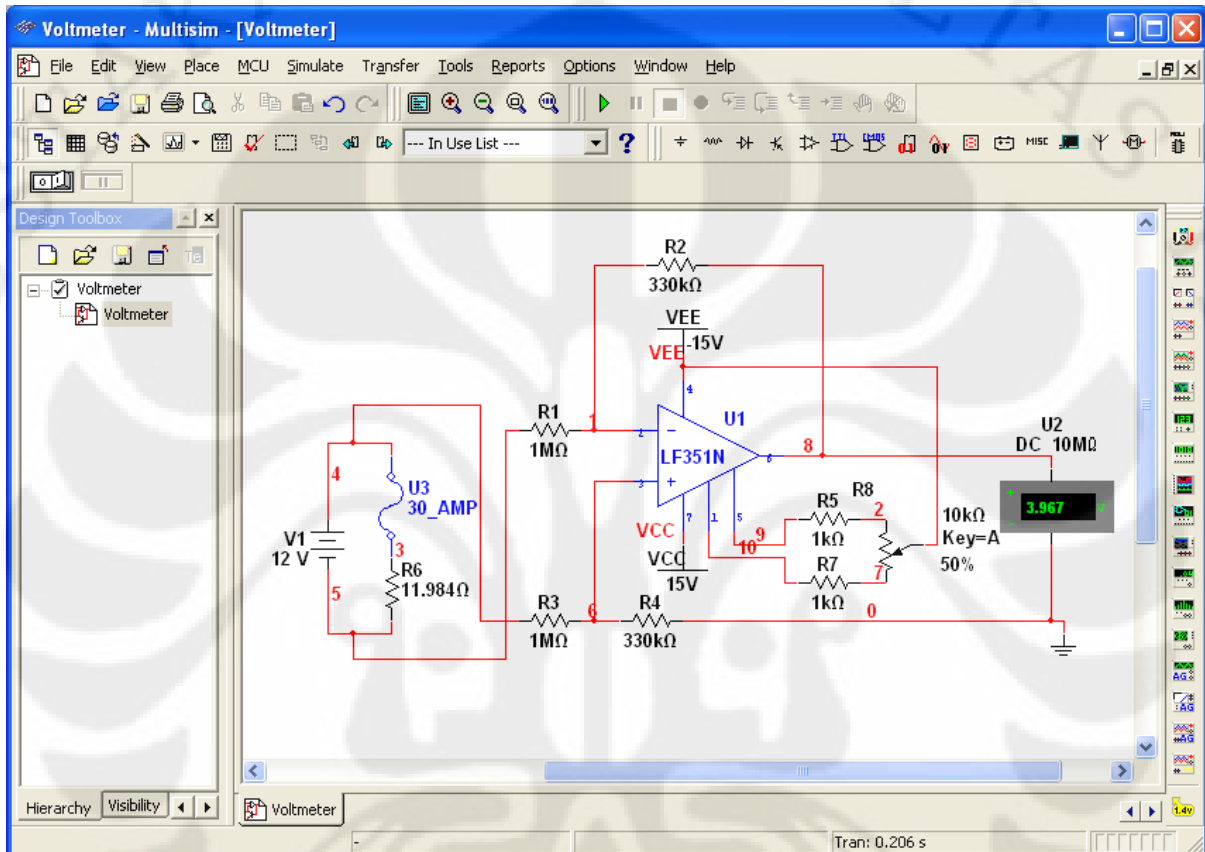
Pada dasarnya, voltmeter yang akan dibuat pada skripsi ini dibangun menggunakan konsep penguat differensial seperti yang telah dijelaskan pada subbab 2.6. Tegangan dari catu daya yang akan diuji, dihubungkan ke penguat differensial ini, kemudian outputnya dimasukkan ke ADC yang ada di μC . μC kemudian akan mengubah tegangan ini menjadi data digital 10 bit yang akan disimpan pada ADC Data Register. Data digital ini kemudian akan dikirim ke komputer untuk diolah dan ditampilkan.

Penguat differensial pada voltmeter ini berfungsi melakukan *scaling* (penyekalaan) tegangan dari level tegangan maksimum catu daya ke level tegangan maksimum yang dapat diterima ADC. Proses *scaling* ini sangat penting mengingat tegangan keluaran dari catu daya uji diperkirakan dapat mencapai 12 Volt lebih, sementara tegangan maksimum yang boleh masuk ke ADC pada μC hanya 5 Volt. Proses *scaling* ini dapat dilakukan dengan mengatur nilai R_2 pada persamaan 2.12 sedemikian hingga diperoleh tegangan output maksimum sebesar 5 Volt.

Pada gambar 3.4 terlihat rangkaian voltmeter yang akan digunakan pada skripsi ini. Voltmeter ini terdiri dari sebuah op amp bernomor seri LF351, dua buah resistor 1 M Ω dan dua buah resistor 330 k Ω . Sumber tegangan V_1 melambangkan tegangan output dari catu daya yang akan diuji, sedangkan U_2 merupakan voltmeter DC yang berfungsi mengukur tegangan keluaran dari rangkaian penguat differensial ini. R_5 , R_7 , dan R_8 merupakan rangkaian *offset null*, yang berfungsi menolak tegangan keluaran dari op-amp saat tegangan masukan op-amp bernilai nol. Jika rangkaian *offset null* ini tidak dipasang, maka op-amp akan tetap menghasilkan tegangan keluaran walaupun tidak terdapat tegangan masukan.

Dari hasil simulasi ini terlihat bahwa tegangan output dari penguat differensial tidak melebihi batas tegangan maksimum yang dapat diterima ADC, yakni 5 Volt. Simulasi ini membuktikan adanya *scaling* tegangan yang dilakukan oleh penguat differensial sesuai dengan persamaan 2.12 pada subbab 2.6, dimana

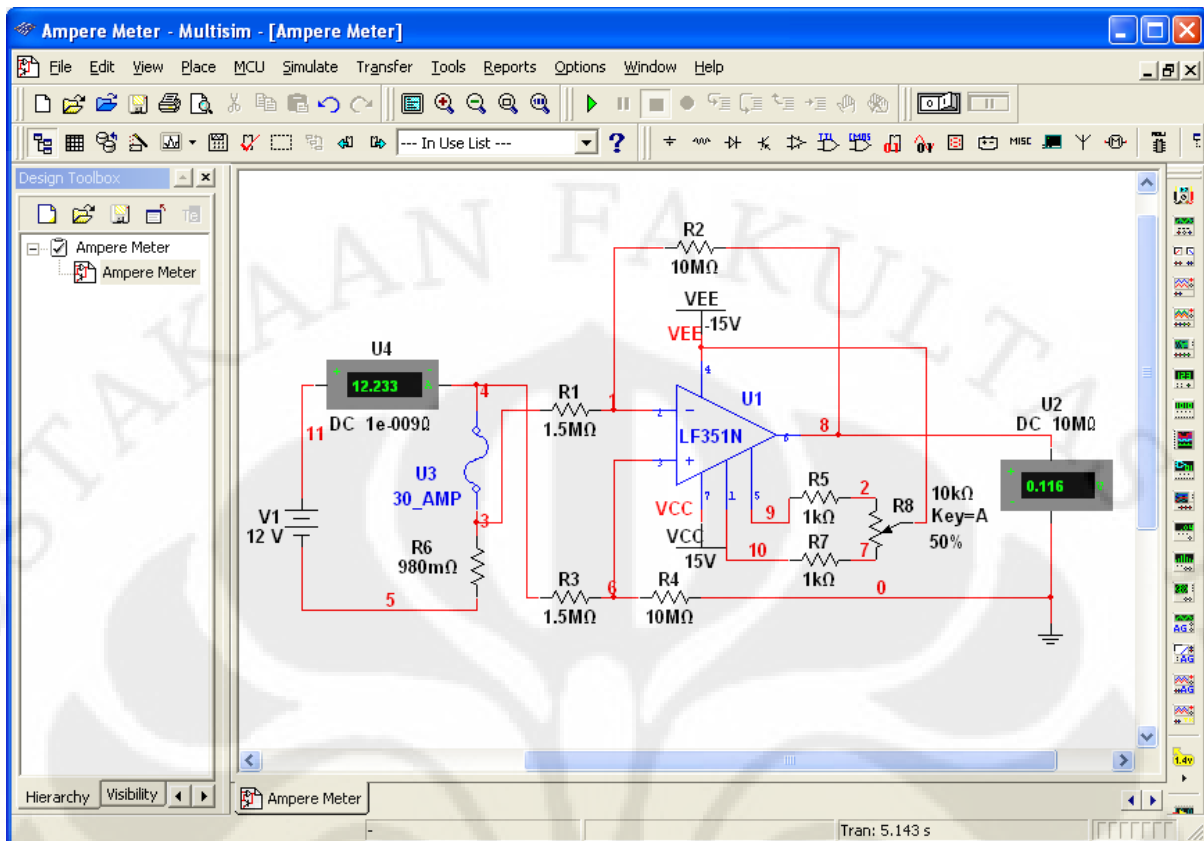
$$v_o = \frac{R_2}{R_1} v_2 - v_1 = \frac{330\text{k}\Omega}{1000\text{k}\Omega} 12\text{V} = 3.960\text{V}$$



Gambar 3.4 Rangkaian dan hasil simulasi voltmeter

3.3 Rancang Bangun dan Simulasi Amperemeter

Pada dasarnya, amperemeter yang akan dibuat pada skripsi ini dibangun menggunakan konsep penguat differensial seperti yang telah dijelaskan pada subbab 2.6. Metode pengukuran arus yang akan digunakan pada skripsi ini adalah dengan mengukur *voltage drop* (tegangan jatuh) yang terdapat pada sekering pengaman yang menghubungkan catu daya uji dengan beban. Untuk lebih jelasnya, perhatikan gambar 3.5 berikut ini.



Gambar 3.5 Rangkaian dan hasil simulasi amperemeter

Pada gambar 3.5 terdapat sebuah rangkaian penguat differensial seperti tampak pada gambar 3.4. Bedanya, penguat differensial pada rangkaian amperemeter ini digunakan untuk mengukur tegangan jatuh pada sekering pengaman U3. V1 melambangkan catu daya yang akan diuji, sedangkan R4 melambangkan beban variabel yang sudah dibahas pada subbab 3.1. Sekering U3 pada simulasi ini memiliki nilai hambatan sebesar $0,020 \Omega$. Nilai ini diambil dari pengukuran tahanan sekering sesungguhnya yang dipakai pada skripsi ini menggunakan sebuah LCR Meter merk Boonton 5110.

Dengan mengasumsikan nilai tahanan sekering sebesar 0.020Ω dan nilai resistansi beban sebesar $0,980 \Omega$, maka secara perhitungan, arus yang akan mengalir melalui sekering adalah sebesar 12 Ampere. Arus 12 Ampere ini akan menyebabkan jatuh tegangan sebesar $0,24 \text{ Volt}$ pada sekering. Tegangan jatuh pada sekering inilah yang akan menjadi masukan bagi penguat differensial yang kemudian akan diumpungkan ke ADC pada μC .

Pengukuran arus dengan metode seperti diatas adalah sangat umum digunakan dan dapat dikatakan cukup valid, mengingat tegangan jatuh pada sekering akan terus naik seiring dengan kenaikan arus yang melewati sekering tersebut. Pada umumnya, pada rangkaian amperemeter digunakan resistor yang sangat kecil nilainya (dibawah $0,1 \Omega$) untuk

menghindari tegangan jatuh yang besar pada amperemeter. Namun resistor yang nilai tahanannya sangat kecil tersebut, sangat sukar didapatkan di pasaran, sehingga digunakanlah sekering sebagai penggantinya. Selain itu, sekering pada rangkaian amperemeter ini juga berfungsi sebagai pengaman terhadap kelebihan arus yang mungkin terjadi pada saat pengujian sehingga resiko terjadinya kerusakan pada catu daya uji dan beban variabel dapat diminimalisir.



BAB 4

ANALISA DAN PENGUJIAN

Semua data pada bab ini diukur menggunakan dua buah Multimeter Digital (M2036) buatan Brown Boveri Corporation – Jerman untuk pengukuran tegangan dan arus. Analisa pada bab ini terdiri dari empat bagian, yaitu bagian DAC, bagian rel 3,3 Volt, bagian rel 5 Volt, dan bagian rel 12 Volt.

4.1 Pengujian dan Analisa pada Bagian DAC

Skematik dari rangkaian DAC yang dipakai pada skripsi ini terdapat pada gambar 3.3 pada bab tiga. Namun ada sedikit perubahan yang terdapat pada rangkaian yang sesungguhnya, yakni :

1. Op-amp yang digunakan bukan seri LF351 melainkan seri LF353
2. Resistor umpan balik yang menghubungkan output op-amp dengan inverting input op-amp bukan 5,000 k Ω , melainkan 5,1 k Ω
3. Tegangan referensi yang digunakan adalah 8,879 Volt

Hal tersebut dikarenakan sulitnya memperoleh komponen yang sama dengan skematik sehingga digunakanlah komponen-komponen yang paling mendekati spesifikasi aslinya.

Pada subbab ini akan dibandingkan data tegangan keluaran DAC dari hasil perhitungan dan dari hasil pengukuran. Perhitungan tegangan keluaran DAC dilakukan dengan menggunakan persamaan 3.2 pada bab 3. Karena DAC yang dipakai memiliki 256 level kenaikan tegangan, maka pada tabel 4.1 hanya akan disajikan beberapa data saja.

Dari data yang terdapat pada tabel 4.1 dapat disimpulkan hal-hal berikut ini.

1. Kenaikan satu bit LSB akan menghasilkan kenaikan tegangan sebesar 0,033 Volt atau 33 mV. Kenaikan tegangan sebesar 33 mV sudah dianggap cukup untuk digunakan pada skripsi ini.
2. Persentase kesalahan yang dihasilkan sangatlah kecil (di bawah 0,02 %). Perbedaan antara hasil perhitungan dan pengukuran mungkin hanya disebabkan karena adanya rugi-rugi tegangan pada kabel penghubung
3. DAC merupakan sistem yang sesuai untuk menghasilkan kenaikan tegangan pada gate dari MOSFET (V_{GS}) yang perlahan dan bertahap secara presisi.

Tabel 4-1 Perbandingan keluaran DAC hasil perhitungan dan pengukuran

Desimal	Biner								Vout hitungan	Vout pengukuran	Error (%)
	A1	A2	A3	A4	A5	A6	A7	A8	(Volt)	(Volt)	
1	0	0	0	0	0	0	0	1	0.034683594	0.0351	0.012006
2	0	0	0	0	0	0	1	0	0.069367188	0.069	0.005293
3	0	0	0	0	0	0	1	1	0.104050781	0.1037	0.003371
4	0	0	0	0	0	1	0	0	0.138734375	0.1396	0.006239
5	0	0	0	0	0	1	0	1	0.173417969	0.1743	0.005086
15	0	0	0	0	1	1	1	1	0.520253906	0.5212	0.001819
30	0	0	0	1	1	1	1	0	1.040507813	1.0418	0.001242
60	0	0	1	1	1	1	0	0	2.081015625	2.0856	0.002203
90	0	1	0	1	1	0	1	0	3.121523438	3.128	0.002075
120	0	1	1	1	1	0	0	0	4.16203125	4.172	0.002395
150	1	0	0	1	0	1	1	0	5.202539063	5.215	0.002395
180	1	0	1	1	0	1	0	0	6.243046875	6.259	0.002555
210	1	1	0	1	0	0	1	0	7.283554688	7.299	0.002121
240	1	1	1	1	0	0	0	0	8.3240625	8.343	0.002275
255	1	1	1	1	1	1	1	1	8.844316406	8.863	0.002112

4.2 Pengujian dan Analisa Beban Variabel

Pada skripsi ini akan diujikan tiga rel utama dari catu daya tipe ATX, yakni rel 3,3 Volt, 5 Volt, dan 12 Volt. Hal itu dikarenakan tiga rel utama tersebut menghasilkan arus paling besar diantara yang lain. Adapun rel -5 Volt, -12 Volt, dan 5VSB tidak diujikan dalam skripsi ini karena ketiga rel tersebut hanya menghasilkan arus yang kecil (di bawah 2 Ampere).

Berdasarkan teori pada subbab 2.2, jika sebuah MOSFET memiliki nilai $V_{GS} - V_{DS} < V_{th}$, maka MOSFET tersebut bekerja pada daerah saturasi, sehingga kenaikan arus drain hanya akan terjadi jika tegangan antara gate dan source dinaikkan. Dari data hasil pengujian ketiga rel diperoleh fakta bahwa MOSFET bekerja pada daerah saturasi, sehingga berdasarkan persamaan 2.4, arus yang mengalir pada drain (I_D) adalah

$$I_D = k (V_{GS} - V_{th})^2$$

Dengan k adalah konstanta MOSFET yang dipengaruhi oleh struktur devais dari MOSFET itu sendiri. Pada datasheet MOSFET tidak terdapat keterangan mengenai struktur devais dari MOSFET yang digunakan, sehingga nilai k harus diaproksimasi dari kurva karakteristik V_{GS} terhadap I_D pada gambar 3.1. Tanpa perlu menghitung nilai k, grafik V_{GS} terhadap I_D sudah dapat ditebak, yakni kira-kira berbentuk parabolik.

Proses pengambilan data pada pengujian beban variabel ini dilakukan dengan metode sebagai berikut. Pertama, nilai biner yang dimasukkan ke DAC dinaikkan setiap satu tempat

desimal. Kenaikan satu tempat desimal ini diatur oleh oleh μC . Kenaikan satu desimal (misalnya dari 67 ke 68) akan menyebabkan perubahan data biner yang masuk ke DAC (dari [0100 0011] ke [0100 0100]). Perubahan nilai biner ini akan menyebabkan kenaikan tegangan keluaran dari rangkaian DAC sehingga tegangan antara gate dan source dari MOSFET (V_{GS}) juga ikut naik. Selanjutnya, diberikan jeda waktu sekitar 10 detik setelah V_{GS} dinaikkan agar sistem (catu daya yang diuji dan rangkaian beban) mencapai kondisi tunaknya. Setelah itu baru nilai arus drain yang terbaca pada multimeter pertama dan nilai tegangan keluaran catu daya yang terbaca pada multimeter kedua diambil.

Tegangan V_{GS} ini dinaikkan terus hingga arus drain yang terbaca pada multimeter mendekati 15 Ampere. Hal ini dikarenakan batas ukur maksimum dari multimeter yang dipakai pada pengujian ini hanya mencapai 15 Ampere sehingga tidak mungkin lagi menaikkan nilai V_{GS} hingga maksimal. Setelah arus drain mendekati nilai 15 Ampere, nilai masukan bagi DAC diturunkan lagi perlahan-lahan sehingga nilai V_{GS} menurun. Setiap penurunan satu desimal, diberikan jeda sekitar 10 detik agar sistem stabil. Setelah itu data arus dan tegangan diambil, sama seperti ketika V_{GS} dinaikkan. Nilai desimal yang tertera pada tabel data akan dipakai untuk merepresentasikan nilai biner yang dikirim oleh μC ke DAC.

Perlu diketahui bahwa data-data dan grafik yang terdapat pada skripsi ini dicantumkan hanya sebagai bukti bahwa alat yang dibuat pada skripsi ini sudah sesuai dengan dasar teori yang ada ada, bukan sebagai data yang harus dianalisa dan disesuaikan dengan rumus.

Tabel 4.2 di bawah ini menunjukkan standar regulasi tegangan keluaran arus searah dari sebuah catu daya tipe ATX yang diambil dari dokumen Intel Power Supply Design Guide yang terdapat pada lampiran. Nilai-nilai pada tabel 4.2 ini akan dipakai pada skripsi ini sebagai acuan dalam analisa kestabilan tegangan keluaran dari catu daya uji.

Tabel 4-2 Standar regulasi tegangan keluaran dari catu daya tipe ATX

Output	Range	Min.	Nom.	Max.	Unit
+12V1DC ⁽¹⁾	±5%	+11.40	+12.00	+12.60	Volts
+12V2DC ⁽³⁾	±5%	+11.40	+12.00	+12.60	Volts
+5VDC	±5%	+4.75	+5.00	+5.25	Volts
+3.3VDC ⁽²⁾	±5%	+3.14	+3.30	+3.47	Volts
-12VDC	±10%	-10.80	-12.00	-13.20	Volts
+5VSB	±5%	+4.75	+5.00	+5.25	Volts

⁽¹⁾ At +12 VDC peak loading, regulation at the +12 VDC output can go to ± 10%.

⁽²⁾ Voltage tolerance is required at main connector and S-ATA connector (if used).

⁽³⁾ Minimum voltage during peak is greater than 11.0 VDC

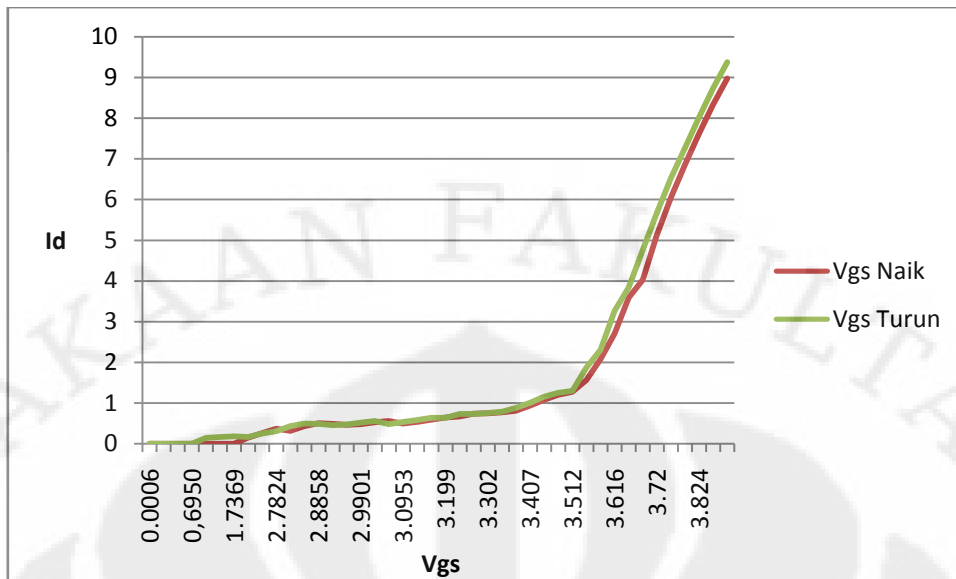
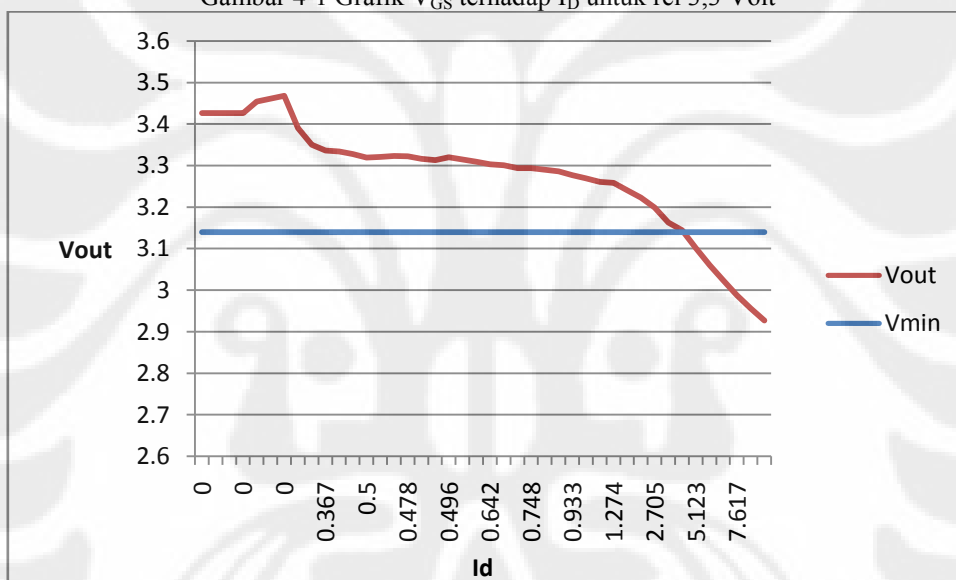
4.2.1 Pengujian pada Rel 3,3 Volt

Pada pengujian rel 3,3 volt ini, MOSFET berada pada daerah saturasinya sehingga arus yang mengalir pada drain hanya dipengaruhi oleh kenaikan tegangan antara gate dan source. Tabel 4.3 menunjukkan data hasil pengamatan tegangan keluaran catu daya dan arus drain ketika V_{GS} dinaikkan dan diturunkan. Pada tabel 4.3 juga terdapat nilai tegangan keluaran dari catu daya ketika V_{GS} dinaikkan dan diturunkan.

Gambar 4.1 menunjukkan grafik V_{GS} terhadap I_D untuk data percobaan penaikan V_{GS} dan percobaan penurunan V_{GS} . Grafik dari percobaan penaikan V_{GS} adalah yang berwarna coklat, dan grafik dari percobaan penurunan V_{GS} adalah yang berwarna hijau. Pada gambar 4.2 terdapat grafik tegangan keluaran catu daya terhadap arus keluaran catu daya (I_D) yang berwarna merah dan grafik tegangan keluaran minimum yang diizinkan yang berwarna biru. Nilai tegangan maksimum yang diizinkan untuk rel 3,3 Volt mengacu pada tabel 4.2 adalah sebesar 3,14 Volt.

Tabel 4-3 Data hasil pengujian rel 3,3 Volt

Dec	Vgs (Volt)	Id (Vgs naik) (Ampere)	Vsupply (naik) (Volt)	Id (Vgs turun) (Ampere)	Vsupply (turun) (Volt)
0	0.0006	0	3.426	0	3.427
1	0.0351	0	3.426	0	3.427
10	0.3473	0	3.426	0	3.427
20	0,6950	0	3.426	0	3.427
30	1.0418	0	3.454	0.14	3.43
40	1.3912	0	3.461	0.164	3.464
50	1.7369	0	3.468	0.181	3.468
60	2.0856	0.149	3.39	0.165	3.366
70	2.4348	0.26	3.35	0.253	3.352
80	2.7824	0.367	3.336	0.309	3.344
81	2.8169	0.316	3.334	0.43	3.329
82	2.8512	0.433	3.328	0.499	3.319
83	2.8858	0.5	3.319	0.49	3.321
84	2.9216	0.49	3.321	0.456	3.324
85	2.9561	0.465	3.323	0.47	3.324
86	2.9901	0.478	3.322	0.517	3.323
87	3.025	0.528	3.316	0.556	3.318
88	3.0605	0.56	3.313	0.483	3.321
89	3.0953	0.496	3.32	0.533	3.316
90	3.128	0.538	3.315	0.581	3.31
91	3.163	0.587	3.309	0.633	3.305
92	3.199	0.642	3.303	0.633	3.305
93	3.234	0.672	3.301	0.733	3.296
94	3.267	0.74	3.294	0.734	3.295
95	3.302	0.748	3.294	0.758	3.291
96	3.338	0.774	3.29	0.784	3.289
97	3.372	0.811	3.286	0.877	3.282
98	3.407	0.933	3.277	1.006	3.274
99	3.442	1.076	3.269	1.153	3.264
100	3.477	1.204	3.261	1.247	3.259
101	3.512	1.274	3.258	1.3	3.257
102	3.545	1.566	3.241	1.868	3.231
103	3.58	2.075	3.223	2.302	3.213
104	3.616	2.705	3.199	3.263	3.173
105	3.65	3.583	3.163	3.836	3.15
106	3.684	4.029	3.144	4.758	3.11
107	3.72	5.123	3.101	5.665	3.071
108	3.754	6.044	3.06	6.525	3.033
109	3.788	6.854	3.024	7.261	2.999
110	3.824	7.617	2.988	8.017	2.987
111	3.859	8.332	2.956	8.732	2.98
112	3.894	8.971	2.927	9.371	2.976

Gambar 4-1 Grafik V_{GS} terhadap I_D untuk rel 3,3 VoltGambar 4-2 Grafik V_{out} terhadap I_D untuk rel 3,3 Volt

Dari grafik pada gambar 4.1 terbukti bahwa kenaikan V_{GS} akan menyebabkan penurunan resistansi kanal antara drain dan source sehingga untuk tegangan antara drain dan source (V_{DS}) yang konstan akan dihasilkan kenaikan arus (I_D). Pada tabel 4.2 tidak disajikan data untuk nilai desimal 112 sampai 255. Hal itu karena pada nilai desimal tersebut arus I_D yang mengalir nilainya sudah melebihi batas ukur dari multimeter yang digunakan (15 Ampere) sehingga dikhawatirkan jika V_{GS} terus dinaikkan, akan terjadi kerusakan pada multimeter sehingga pengujian dihentikan ketika arus yang terbaca pada multimeter sudah mendekati 15 Ampere.

Pada gambar 4.1, kurva berwarna coklat dan hijau bentuknya sedikit berbeda, padahal secara ideal kedua kurva tersebut seharusnya sama. Hal tersebut disebabkan adanya sifat

histerisis dari material MOSFET yang dipakai sehingga ketika nilai V_{GS} diturunkan, arus yang terbaca pada multimeter sedikit berbeda.

Pada gambar 4.2 grafik yang berwarna coklat merupakan grafik antara arus (I_D) dan tegangan keluaran (V_{out}) dari catu daya uji sedangkan grafik yang berwarna biru merupakan grafik tegangan keluaran minimum yang diizinkan, yang mengacu pada tabel 4.2. Tegangan minimum yang diizinkan untuk rel 3,3 Volt adalah sebesar 3,14 Volt. Dari gambar 4.2 terlihat bahwa tegangan keluaran dari catu daya uji terus menerus naik saat arus keluarannya naik. Untuk arus I_D diatas 5,123 Ampere, tegangan keluaran catu daya uji sudah dibawah nilai standar tegangan minimum yang diizinkan. Hal ini dapat menyebabkan menurunnya kinerja piranti yang terhubung dengan catu daya tersebut.

Pengukuran tegangan keluaran catu daya untuk setiap kenaikan arus keluaran ditujukan untuk mengetahui kemampuan dari catu daya uji untuk menjaga kestabilan tegangan keluarannya. Ketika dibebani, sebuah catu daya yang baik akan menghasilkan tegangan keluaran yang tidak melebihi batas maksimum dan minimum tegangan yang terdapat pada standar, sehingga piranti yang terhubung dengannya tidak rusak.

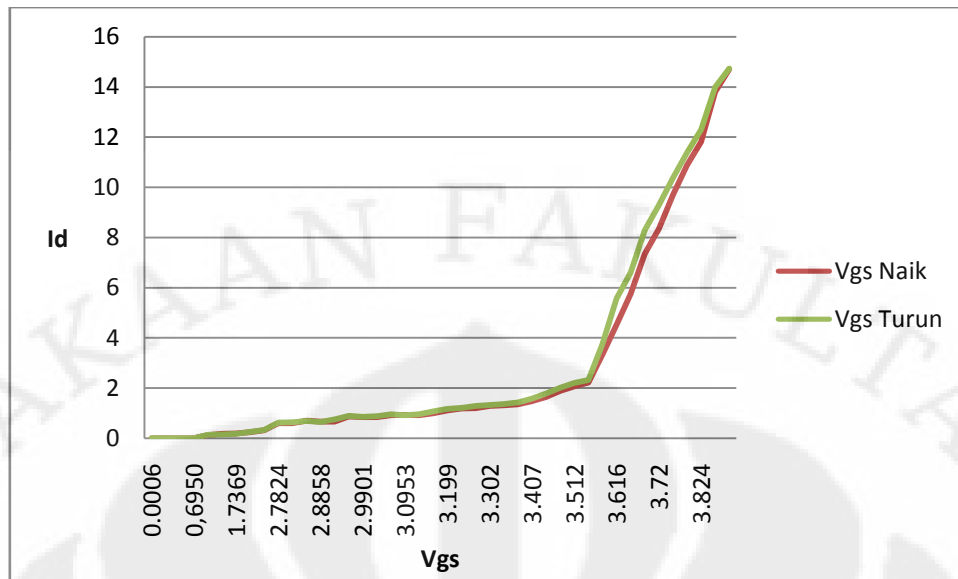
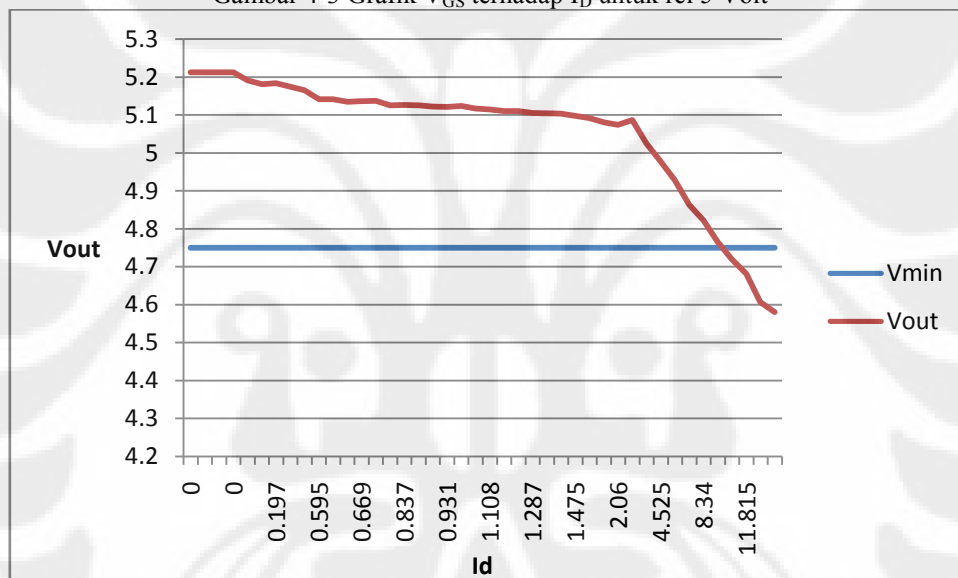
4.2.2 Pengujian pada Rel 5 Volt

Pada pengujian rel 5 volt ini, MOSFET berada pada daerah saturasinya sehingga arus yang mengalir pada drain hanya dipengaruhi oleh kenaikan tegangan antara gate dan source. Tabel 4.4 menunjukkan data hasil pengamatan tegangan keluaran catu daya dan arus drain ketika V_{GS} dinaikkan dan diturunkan.

Gambar 4.3 menunjukkan grafik V_{GS} terhadap I_D untuk data percobaan kenaikan V_{GS} dan percobaan penurunan V_{GS} . Grafik dari percobaan kenaikan V_{GS} adalah yang berwarna coklat, dan grafik dari percobaan penurunan V_{GS} adalah yang berwarna hijau. Pada gambar 4.4 terdapat grafik tegangan keluaran catu daya terhadap arus keluaran catu daya (I_D) yang berwarna merah dan grafik tegangan keluaran minimum yang diizinkan yang berwarna biru. Nilai tegangan minimum yang diizinkan untuk rel 5 Volt mengacu pada tabel 4.2, yakni sebesar 4,75 Volt.

Tabel 4-4 Data hasil pengujian rel 5 Volt

Dec	Vgs (Volt)	Id (Vgs naik) (Ampere)	Vsupply (naik) (Volt)	Id (Vgs turun) (Ampere)	Vsupply (turun) (Volt)
0	0.0006	0	5.212	0	5.207
1	0.0351	0	5.212	0	5.207
10	0.3473	0	5.212	0	5.207
20	0,6950	0	5.212	0	5.207
30	1.0418	0.124	5.191	0.134	5.188
40	1.3912	0.177	5.181	0.159	5.181
50	1.7369	0.197	5.183	0.177	5.183
60	2.0856	0.246	5.174	0.255	5.173
70	2.4348	0.319	5.165	0.329	5.164
80	2.7824	0.595	5.141	0.628	5.139
81	2.8169	0.596	5.141	0.632	5.141
82	2.8512	0.705	5.134	0.694	5.134
83	2.8858	0.669	5.136	0.646	5.138
84	2.9216	0.668	5.137	0.746	5.133
85	2.9561	0.861	5.125	0.889	5.133
86	2.9901	0.837	5.126	0.854	5.124
87	3.025	0.843	5.125	0.878	5.124
88	3.0605	0.916	5.122	0.954	5.121
89	3.0953	0.931	5.121	0.916	5.121
90	3.128	0.912	5.123	0.959	5.118
91	3.163	0.998	5.117	1.066	5.112
92	3.199	1.108	5.114	1.176	5.106
93	3.234	1.184	5.11	1.211	5.104
94	3.267	1.2	5.11	1.286	5.103
95	3.302	1.287	5.105	1.33	5.099
96	3.338	1.31	5.104	1.363	5.1
97	3.372	1.348	5.103	1.433	5.096
98	3.407	1.475	5.097	1.575	5.091
99	3.442	1.649	5.091	1.785	5.081
100	3.477	1.887	5.08	2.009	5.074
101	3.512	2.06	5.074	2.207	5.065
102	3.545	2.219	5.086	2.32	5.059
103	3.58	3.336	5.025	3.766	5.003
104	3.616	4.525	4.977	5.575	4.937
105	3.65	5.757	4.928	6.6	4.884
106	3.684	7.343	4.863	8.289	4.816
107	3.72	8.34	4.822	9.28	4.773
108	3.754	9.698	4.765	10.373	4.73
109	3.788	10.878	4.719	11.38	4.692
110	3.824	11.815	4.681	12.289	4.66
111	3.859	13.799	4.606	13.987	4.604
112	3.894	14.705	4.58	14.728	4.58

Gambar 4-3 Grafik V_{GS} terhadap I_D untuk rel 5 VoltGambar 4-4 Grafik V_{out} terhadap I_D untuk rel 5 Volt

Dari grafik pada gambar 4.3 terbukti bahwa kenaikan V_{GS} akan menyebabkan penurunan resistansi kanal antara drain dan source sehingga untuk tegangan antara drain dan source (V_{DS}) yang konstan akan dihasilkan kenaikan arus (I_D). Pada tabel 4.3 tidak disajikan data untuk nilai desimal 112 sampai 255. Hal itu karena pada nilai desimal tersebut arus I_D yang mengalir nilainya sudah melebihi batas ukur dari multimeter yang digunakan (15 Ampere) sehingga dikhawatirkan jika V_{GS} terus dinaikkan, akan terjadi kerusakan pada multimeter sehingga pengujian dihentikan ketika arus yang terbaca pada multimeter sudah mendekati 15 Ampere.

Pada gambar 4.3, kurva berwarna coklat dan hijau bentuknya sedikit berbeda, padahal secara ideal kedua kurva tersebut seharusnya sama. Hal tersebut disebabkan adanya sifat

histerisis dari material MOSFET yang dipakai sehingga ketika nilai V_{GS} diturunkan, arus yang terbaca pada multimeter sedikit berbeda.

Pada gambar 4.4 grafik yang berwarna coklat merupakan grafik antara arus (I_D) dan tegangan keluaran (V_{out}) dari catu daya uji sedangkan grafik yang berwarna biru merupakan grafik tegangan keluaran minimum yang diizinkan, yakni sebesar 4,75 Volt. Dari gambar 4.2 terlihat bahwa tegangan keluaran dari catu daya uji cenderung turun saat arus keluarannya naik. Untuk arus I_D diatas 8,34 Ampere, tegangan keluaran catu daya uji sudah dibawah nilai standar tegangan minimum yang diizinkan. Hal ini tentunya dapat menyebabkan terganggunga kinerja piranti yang terhubung dengan catu daya tersebut.

Pengukuran tegangan keluaran catu daya untuk setiap kenaikan arus keluaran ditujukan untuk mengetahui kemampuan dari catu daya uji untuk menjaga kestabilan tegangan keluarannya. Ketika dibebani, sebuah catu daya yang baik akan menghasilkan tegangan keluaran yang tidak melebihi batas maksimum dan minimum tegangan yang terdapat pada standar, sehingga piranti yang terhubung dengannya tidak rusak.

Dari gambar 4.4 juga dapat diketahui bahwa daya maksimum yang dihasilkan oleh catu daya uji tidak terlalu besar sehingga kenaikan arus yang besar dikompensasi dengan penurunan tegangan yang cukup signifikan. Penurunan tegangan yang terjadi ini tentunya dapat menurunkan performa dari piranti yang terhubung dengan catu daya tersebut.

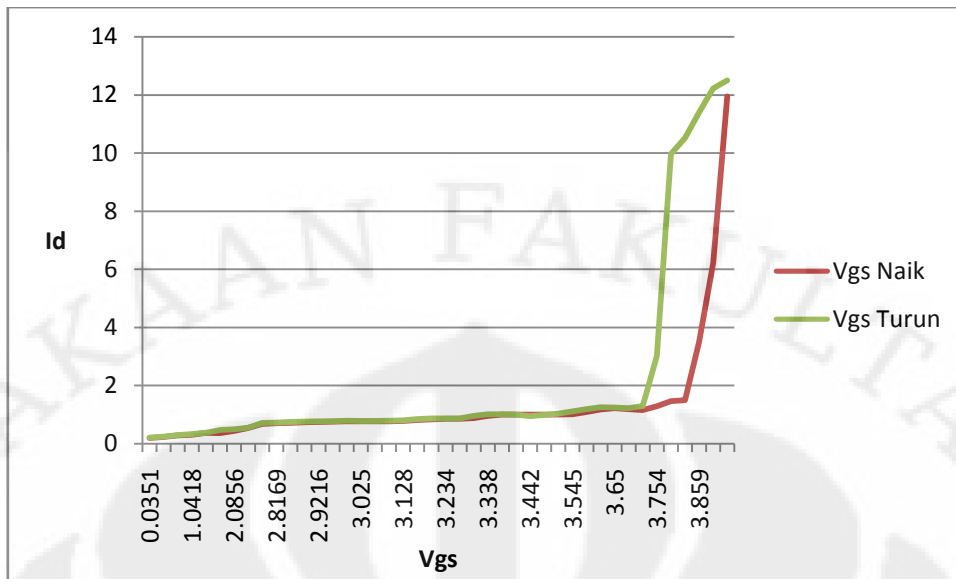
4.2.3 Pengujian pada Rel 12 Volt

Pada pengujian rel 12 volt ini, MOSFET berada pada daerah saturasinya sehingga arus yang mengalir pada drain hanya dipengaruhi oleh kenaikan tegangan antara gate dan source. Tabel 4.5 menunjukkan data hasil pengamatan tegangan keluaran catu daya dan arus drain ketika V_{GS} dinaikkan dan diturunkan.

Gambar 4.5 menunjukkan grafik V_{GS} terhadap I_D untuk data percobaan kenaikan V_{GS} dan percobaan penurunan V_{GS} . Grafik dari percobaan kenaikan V_{GS} adalah yang berwarna coklat, dan grafik dari percobaan penurunan V_{GS} adalah yang berwarna hijau. Pada gambar 4.6 terdapat grafik tegangan keluaran catu daya terhadap arus keluaran catu daya (I_D) yang berwarna merah dan grafik tegangan keluaran minimum yang diizinkan yang berwarna biru. Nilai tegangan minimum yang diizinkan untuk rel 12 Volt mengacu pada tabel 4.2, yakni sebesar 11,40 Volt.

Tabel 4-5 Data hasil pengujian rel 12 Volt

Dec	Vgs (Volt)	Id (Vgs naik) (Ampere)	Vsupply (naik) (Volt)	Id (Vgs turun) (Ampere)	Vsupply (turun) (Volt)
1	0.0351	0.195	11.844	0.201	11.849
10	0.3473	0.229	11.833	0.235	11.836
20	0,6950	0.285	11.814	0.289	11.814
30	1.0418	0.31	11.804	0.325	11.808
40	1.3912	0.369	11.793	0.367	11.796
50	1.7369	0.356	11.794	0.466	11.776
60	2.0856	0.442	11.774	0.485	11.768
70	2.4348	0.532	11.762	0.541	11.758
80	2.7824	0.685	11.736	0.705	11.729
81	2.8169	0.702	11.733	0.72	11.729
82	2.8512	0.715	11.737	0.738	11.729
83	2.8858	0.731	11.729	0.748	11.727
84	2.9216	0.742	11.727	0.763	11.724
85	2.9561	0.753	11.727	0.768	11.722
86	2.9901	0.766	11.726	0.781	11.723
87	3.025	0.77	11.725	0.775	11.722
88	3.0605	0.771	11.724	0.775	11.722
89	3.0953	0.77	11.724	0.79	11.718
90	3.128	0.78	11.72	0.8	11.716
91	3.163	0.815	11.717	0.844	11.709
92	3.199	0.837	11.714	0.862	11.706
93	3.234	0.852	11.713	0.862	11.708
94	3.267	0.855	11.713	0.864	11.709
95	3.302	0.88	11.708	0.95	11.693
96	3.338	0.952	11.698	1.009	11.686
97	3.372	0.998	11.695	1.006	11.686
98	3.407	1.003	11.696	0.99	1.689
99	3.442	0.999	11.697	0.936	11.696
100	3.477	1.002	11.697	0.978	11.688
101	3.512	0.996	11.697	1.024	11.684
102	3.545	1.009	11.695	1.1	11.673
103	3.58	1.092	11.684	1.186	11.663
104	3.616	1.174	11.675	1.249	11.658
105	3.65	1.223	11.674	1.241	11.658
106	3.684	1.192	11.678	1.215	11.659
107	3.72	1.151	11.688	1.29	11.637
108	3.754	1.285	11.673	3.016	11.431
109	3.788	1.464	11.654	9.96	10.638
110	3.824	1.5	11.649	10.517	10.79
111	3.859	3.5	11.337	11.403	10.408
112	3.894	6.206	10.901	12.229	10.368
113	3.928	11.95	10.368	12.5	10.205

Gambar 4-5 Grafik V_{GS} terhadap I_D untuk rel 12 VoltGambar 4-6 Grafik V_{out} terhadap I_D untuk rel 12 Volt

Dari grafik pada gambar 4.5 terbukti bahwa kenaikan V_{GS} akan menyebabkan penurunan resistansi kanal antara drain dan source sehingga untuk tegangan antara drain dan source (V_{DS}) yang konstan akan dihasilkan kenaikan arus (I_D). Pada tabel 4.5 tidak disajikan data untuk nilai desimal 113 sampai 255. Hal itu karena pada nilai desimal tersebut arus I_D yang mengalir nilainya sudah melebihi batas ukur dari multimeter yang digunakan (15 Ampere) sehingga dikhawatirkan jika V_{GS} terus dinaikkan, akan terjadi kerusakan pada multimeter sehingga pengujian dihentikan ketika arus yang terbaca pada multimeter sudah mendekati 15 Ampere.

Pada gambar 4.5, kurva berwarna coklat dan hijau bentuknya sedikit berbeda, padahal secara ideal kedua kurva tersebut seharusnya sama. Hal tersebut disebabkan adanya sifat

histerisis dari material MOSFET yang dipakai sehingga ketika nilai V_{GS} diturunkan, arus yang terbaca pada multimeter sedikit berbeda.

Pada gambar 4.6 grafik yang berwarna coklat merupakan grafik antara arus (I_D) dan tegangan keluaran (V_{out}) dari catu daya uji sedangkan grafik yang berwarna biru merupakan grafik tegangan keluaran minimum yang diizinkan, yakni sebesar 11,40 Volt. Dari gambar 4.2 terlihat bahwa tegangan keluaran dari catu daya uji cenderung turun saat arus keluarannya naik. Untuk arus I_D diatas 1,285 Ampere, tegangan keluaran catu daya uji sudah dibawah nilai standar tegangan minimum yang diizinkan. Hal ini tentunya dapat menyebabkan terganggunya kinerja piranti yang terhubung dengan catu daya tersebut.

Pengukuran tegangan keluaran catu daya untuk setiap kenaikan arus keluaran ditujukan untuk mengetahui kemampuan dari catu daya uji untuk menjaga kestabilan tegangan keluarannya. Ketika dibebani, sebuah catu daya yang baik akan menghasilkan tegangan keluaran yang tidak melebihi batas maksimum dan minimum tegangan yang terdapat pada standar, sehingga piranti yang terhubung dengannya tidak rusak.

Dari gambar 4.6 juga dapat diketahui bahwa daya maksimum yang dihasilkan oleh catu daya uji tidak terlalu besar sehingga kenaikan arus yang besar dikompensasi dengan penurunan tegangan yang cukup signifikan. Penurunan tegangan yang terjadi ini tentunya dapat menurunkan performa dari piranti yang terhubung dengan catu daya tersebut.

BAB 5

KESIMPULAN

Setelah sistem dianalisa dan diuji maka dapat disimpulkan hal-hal sebagai berikut.

1. Perangkat penguji catu daya yang dibuat pada skripsi ini dapat digunakan untuk mengetahui kapasitas daya maksimum dari sebuah catu daya PC tipe ATX. Perangkat ini berfungsi sebagai beban bagi catu daya yang diuji dan bekerja dengan cara mendisipasi daya yang diambil dari catu daya uji menjadi panas.
2. Hasil pengujian dari sebuah catu daya generik pada ketiga rel tegangan (3,3 Volt, 5 Volt, dan 12 Volt) menunjukkan adanya penurunan tegangan hingga dibawah standar, yakni
 - 3,101 Volt untuk arus beban 5,123 A, dari arus maksimum yang seharusnya (24 A)
 - 4,719 Volt untuk arus beban 11,380 A, dari arus maksimum yang seharusnya (37 A)
 - 11,337 Volt untuk arus beban 3,5 A, dari arus maksimum yang seharusnya (16 A)Hal tersebut menunjukkan bahwa catu daya generik yang diuji tidak memenuhi standar.
3. Grafik tegangan keluaran terhadap arus keluaran (arus drain) dari sebuah catu daya tipe ATX dapat digunakan untuk menentukan kemampuan catu daya tersebut dalam menjaga kestabilan tegangan keluaran sesuai dengan standar tegangan maksimum dan minimum yang terdapat pada dokumen Intel Power Supply Design Guide.

DAFTAR ACUAN

- [1] Intel Corporation. (2005). *ATX 12V Power Supply Design Guide Version 2.2*. United States: Author.
- [2] Boylestad, Robert L., & Nashelsky, Louis. (2009). *Electronic Devices And Circuit Theory* (10th ed.). New Jersey: Pearson Education, Inc.
- [3] *Digital Electronics*. (2006). www.csee.wvu.edu/~digital/book/chapters/INTRO.pdf
- [4] Baker, R Jacob., Li, Harry W., & Boyce, David E. (1998). *CMOS Circuit Design, Layout, and Simulation*. New York: IEEE Press.
- [5] Alexander, Charles K., & Sadiku, Matthew N.O.(2007). *Fundamentals Of Electric Circuits* (3rd ed). New York: McGraw Hill.

DAFTAR PUSTAKA

Millman, Jacob., & Grabel, Arvin. (1987). *Microelectronics* (2nd ed). New York: McGraw Hill.

Artamonov, Oleg. (2005). *X-bit Presents: Power Supply Unit Testing Methodology*. January 16, 2005. <http://www.xbitlabs.com/articles/coolers/print/psu-methodology.html>

Gupta, Avinash. (2007-2008). *Using Analog to Digital Convertor*. www.eXtremeElectronics.co.in

Dharmani, C.C., *ADC Project - with ATmega32*. <http://www.dharmanitech.com/>

LAMPIRAN 1
INTEL POWER SUPPLY DESIGN GUIDE

ATX12V
Power Supply Design Guide

Version 2.2

March 2005

3.1.5. Catastrophic Failure Protection

Should a component failure occur, the power supply should not exhibit any of the following:

- Flame
- Excessive smoke
- Charred PCB
- Fused PCB conductor
- Startling noise
- Emission of molten material

3.2. DC Output

3.2.1. DC Voltage Regulation

The DC output voltages shall remain within the regulation ranges shown in Table 2 when measured at the load end of the output connectors under all line, load, and environmental conditions. The voltage regulation limits shall be maintained under continuous operation for any steady state temperature and operating conditions specified in Section 5.

Table 2. DC Output Voltage Regulation

Output	Range	Min.	Nom.	Max.	Unit
+12V1DC ⁽¹⁾	±5%	+11.40	+12.00	+12.60	Volts
+12V2DC ⁽³⁾	±5%	+11.40	+12.00	+12.60	Volts
+5VDC	±5%	+4.75	+5.00	+5.25	Volts
+3.3VDC ⁽²⁾	±5%	+3.14	+3.30	+3.47	Volts
-12VDC	±10%	-10.80	-12.00	-13.20	Volts
+5VSB	±5%	+4.75	+5.00	+5.25	Volts

⁽¹⁾ At +12 VDC peak loading, regulation at the +12 VDC output can go to ± 10%.

⁽²⁾ Voltage tolerance is required at main connector and S-ATA connector (if used).

⁽³⁾ Minimum voltage during peak is greater than 11.0 VDC

3.2.2. Remote Sensing

The +3.3 VDC output should have provisions for remote sensing to compensate for excessive cable drops. The default sense should be connected to pin 13 of the main power connector. The power supply should draw no more than 10 mA through the remote sense line to keep DC offset voltages to a minimum.

3.2.3. Typical Power Distribution

DC output power requirements and distributions will vary based on specific system options and implementation. Significant dependencies include the quantity and types of

LAMPIRAN 2

DATASHEET MOSFET IRFP064N

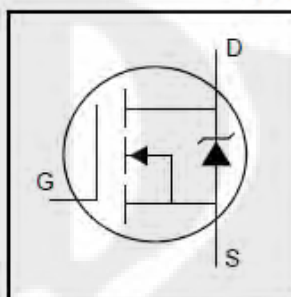
International
IR Rectifier

PD - 9.1383A

IRFP064N

HEXFET® Power MOSFET

- Advanced Process Technology
- Ultra Low On-Resistance
- Dynamic dv/dt Rating
- 175°C Operating Temperature
- Fast Switching
- Fully Avalanche Rated

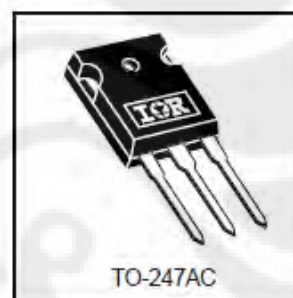


$V_{DSS} = 55V$
$R_{DS(on)} = 0.008\Omega$
$I_D = 110A^{(6)}$

Description

Fifth Generation HEXFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET Power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

The TO-247 package is preferred for commercial-industrial applications where higher power levels preclude the use of TO-220 devices. The TO-247 is similar but superior to the earlier TO-218 package because of its isolated mounting hole.



Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	110 ⁽⁶⁾	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	80 ⁽⁶⁾	
I_{DM}	Pulsed Drain Current ⁽¹⁾⁽⁵⁾	390	
$P_D @ T_C = 25^\circ C$	Power Dissipation	200	W
	Linear Derating Factor	1.3	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
E_{AS}	Single Pulse Avalanche Energy ⁽²⁾⁽⁵⁾	480	mJ
I_{AR}	Avalanche Current ⁽¹⁾	59	A
E_{AR}	Repetitive Avalanche Energy ⁽¹⁾	20	mJ
dv/dt	Peak Diode Recovery dv/dt ⁽³⁾⁽⁵⁾	5.0	V/ns
T_J	Operating Junction and	-55 to + 175	°C
T_{STG}	Storage Temperature Range		
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting torque, 6-32 or M3 screw	10 lbf•in (1.1N•m)	

Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	0.75	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient	—	40	

IRFP064N

International
TOR RectifierElectrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	55	—	—	V	$V_{GS} = 0V, I_D = 250\mu A$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.057	—	V/°C	Reference to 25°C , $I_D = 1mA$ ⑤
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.008	Ω	$V_{GS} = 10V, I_D = 59A$ ③
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS} = V_{GS}, I_D = 250\mu A$
g_{fs}	Forward Transconductance	42	—	—	S	$V_{DS} = 25V, I_D = 59A$ ⑤
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	$V_{DS} = 55V, V_{GS} = 0V$
		—	—	250	μA	$V_{DS} = 44V, V_{GS} = 0V, T_J = 150^\circ\text{C}$
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS} = 20V$
	Gate-to-Source Reverse Leakage	—	—	-100	nA	$V_{GS} = -20V$
Q_g	Total Gate Charge	—	—	170	nC	$I_D = 59A$
Q_{gs}	Gate-to-Source Charge	—	—	32	nC	$V_{DS} = 44V$
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	74	nC	$V_{GS} = 10V$, See Fig. 6 and 13 ③⑤
$t_{d(on)}$	Turn-On Delay Time	—	14	—	ns	$V_{DD} = 28V$
t_r	Rise Time	—	100	—		$I_D = 59A$
$t_{d(off)}$	Turn-Off Delay Time	—	43	—		$R_G = 2.5\Omega$
t_f	Fall Time	—	70	—		$R_D = 0.39\Omega$, See Fig. 10 ③⑤
L_D	Internal Drain Inductance	—	5.0	—	nH	Between lead, 6mm (0.25in.)
L_S	Internal Source Inductance	—	13	—		from package and center of die contact
C_{ISS}	Input Capacitance	—	4000	—	pF	$V_{GS} = 0V$
C_{OSS}	Output Capacitance	—	1300	—		$V_{DS} = 25V$
C_{RSS}	Reverse Transfer Capacitance	—	480	—		$f = 1.0MHz$, See Fig. 5⑤

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
I_S	Continuous Source Current (Body Diode)	—	—	110⑥		MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	390		
V_{SD}	Diode Forward Voltage	—	—	1.3	V	$T_J = 25^\circ\text{C}, I_S = 59A, V_{GS} = 0V$ ③
t_{rr}	Reverse Recovery Time	—	110	170	ns	$T_J = 25^\circ\text{C}, I_F = 59A$
Q_{rr}	Reverse Recovery Charge	—	450	680	nC	$di/dt = 100A/\mu s$ ③⑤

Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)
- ② $V_{DD} = 25V$, starting $T_J = 25^\circ\text{C}$, $L = 190\mu H$
 $R_G = 25\Omega$, $I_{AS} = 59A$. (See Figure 12)
- ③ $I_{SD} \leq 59A$, $di/dt \leq 290A/\mu s$, $V_{DD} \leq V_{(BR)DSS}$,
 $T_J \leq 175^\circ\text{C}$
- ④ Pulse width $\leq 300\mu s$; duty cycle $\leq 2\%$.
- ⑤ Uses IRF3205 data and test conditions
- ⑥ Calculated continuous current based on maximum allowable junction temperature; for recommended current-handling of the package refer to Design Tip # 93-4

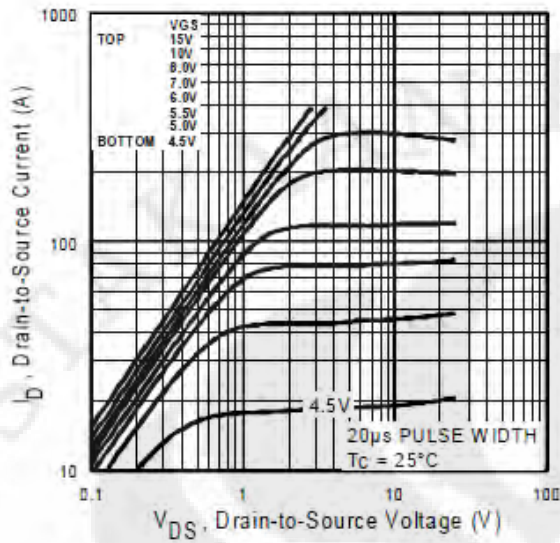


Fig 1. Typical Output Characteristics

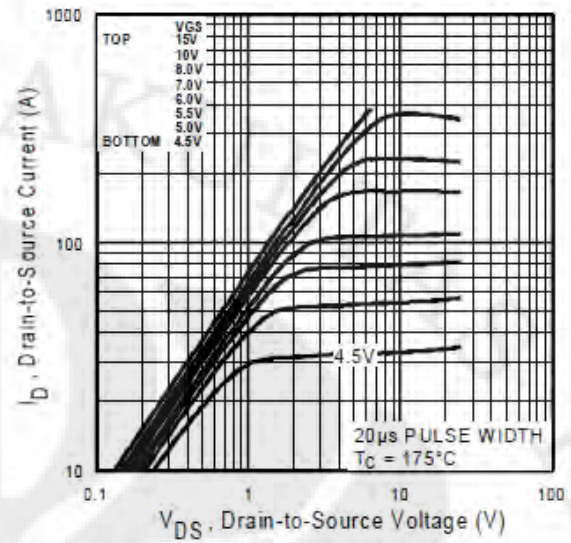


Fig 2. Typical Output Characteristics

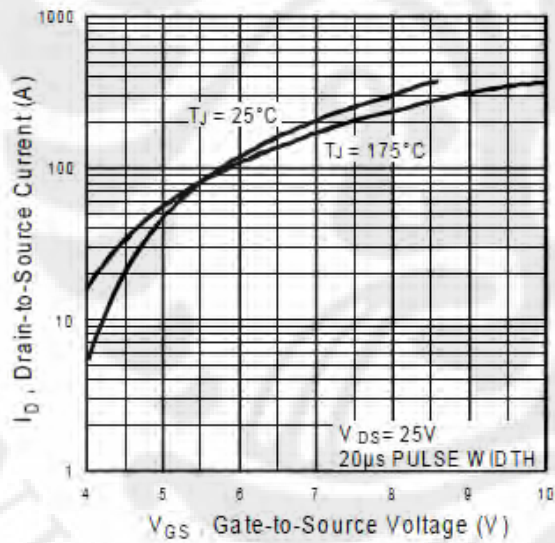


Fig 3. Typical Transfer Characteristics

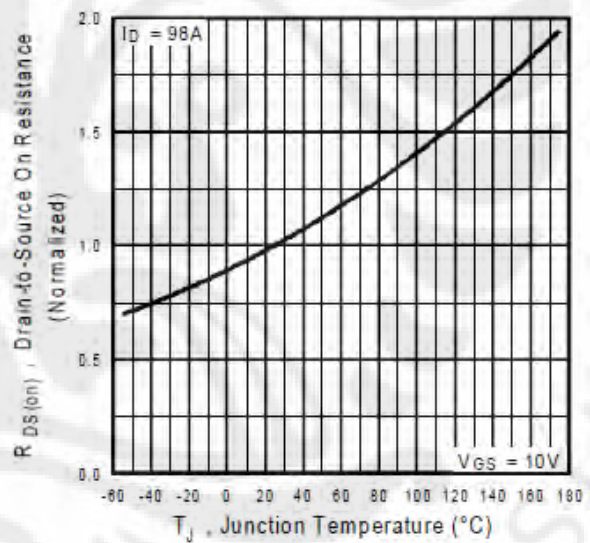


Fig 4. Normalized On-Resistance Vs. Temperature