



UNIVERSITAS INDONESIA

SIMULASI KURVA KARAKTERISTIK ARUS-TEGANGAN
PADA DIVAIS SINGLE ELECTRON TRANSISTOR TERHADAP
EMPAT PARAMETER YANG DIVARIASIKAN SATU PER SATU

SKRIPSI

ALBERTUS BRAMANTYO

0706267490

FAKULTAS TEKNIK

PROGRAM S1

DEPOK

JUNI 2011



UNIVERSITAS INDONESIA

**SIMULASI KURVA KARAKTERISTIK ARUS-TEGANGAN
PADA DIVAIS SINGLE ELECTRON TRANSISTOR TERHADAP
EMPAT PARAMETER YANG DIVARIASIKAN SATU PER SATU**

SKRIPSI

Diajukan sebagai salah satu syarat untuk memperoleh gelar sarjana

ALBERTUS BRAMANTYO

0706267490

FAKULTAS TEKNIK

PROGRAM STUDI S1

KEKHUSUSAN ELEKTRO

DEPOK

JUNI 2011

HALAMAN PERNYATAAN ORISINALITAS

Skripsi ini adalah hasil karya saya sendiri,
dan semua sumber baik yang dikutip maupun dirujuk
telah saya nyatakan dengan benar.

Nama : Albertus Bramantyo

NPM : 0706267490

Tanda Tangan : 

Tanggal : 27 Juni 2011

HALAMAN PENGESAHAN

Skripsi ini diajukan oleh :

Nama : Albertus Bramantyo
NPM : 0706267490
Program Studi : S1
Judul Skripsi : Simulasi Kurva Karakteristik Arus-Tegangan pada Divais Single Electron Transistor Terhadap Empat Parameter yang Divariasikan Satu Per Satu

Telah berhasil dipertahankan di hadapan Dewan Penguji dan diterima sebagai bagian persyaratan yang diperlukan untuk memperoleh gelar Sarjana Teknik pada program studi S1, Fakultas Teknik, Universitas Indonesia

Dewan Penguji

Pembimbing : Prof. Dr. Ir. Djoko Hartanto, M. Sc.

Penguji : Dr. Ratno Nuryadi

Penguji : Prof. Dr. Ir. Nji Raden Poespawati MT

Ditetapkan di : Depok

Tanggal : 27 Juni 2011

UCAPAN TERIMA KASIH

Penulis mengucapkan syukur dan terima kasih kepada Tuhan Yang Maha Esa karena berkat rahmat dan bimbingan-Nya, Penulis dapat menyelesaikan skripsi ini. Penulisan skripsi ini adalah salah satu kewajiban yang harus diselesaikan sebelum mencapai gelar Sarjana Teknik Jurusan Teknik Elektro pada Fakultas Teknik Universitas Indonesia. Tanpa bantuan maupun dukungan dari pihak-pihak tertentu, Penulis tidak dapat menyelesaikan skripsi tepat pada waktunya.

1. Prof. Dr. Ir. Djoko Hartanto M.Sc. Selaku pembimbing yang telah menentukan dan menyetujui judul riset ini sebagai bagian dari riset pada *Nano Research Group* (NRG), bersedia meluangkan waktu untuk membimbing, memberikan petunjuk dan saran dalam menyelesaikan riset ini.
2. Dr. Ratno Nuryadi sebagai anggota NRG lainnya yang telah banyak membantu Penulis dalam memberikan masukan dan dorongan.

Penulis mohon maaf bila terdapat kesalahan atau kekurangan pada laporan ini. Penulis juga berterima kasih atas perhatian yang diberikan oleh orang yang membaca laporan ini.

Depok, 4 Juni 2011



Penulis

**HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI
TUGAS AKHIR UNTUK KEPENTINGAN AKADEMIS**

Sebagai sivitas akademik Universitas Indonesia, saya yang bertanda tangan di bawah ini:

Nama : Albertus Bramantyo
NPM : 0706267490
Program Studi : S1 Reguler
Departemen : Teknik
Fakultas : Teknik Elektro
Jenis karya : Skripsi

demi pengembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia **Hak Bebas Royalti Noneksklusif (*Non-exclusive Royalty-Free Right*)** atas karya ilmiah saya yang berjudul :

Simulasi Kurva Karakteristik Arus-Tegangan pada Divais Single Electron Transistor Terhadap Empat Parameter yang Divariasikan Satu Per Satu

beserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Indonesia berhak menyimpan, mengalihmedia/formatkan, mengelola dalam bentuk pangkalan data (*database*), merawat, dan memublikasikan tugas akhir saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai pemilik Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di : Depok

Pada tanggal : 27 Juni 2011

Yang menyatakan



(Albertus Bramantyo)

Abstrak

Nama : Albertus Bramantyo
Program Studi : Teknik/Elektro
Judul : Simulasi Kurva Karakteristik Arus-Tegangan pada Divais Single Electron Transistor Terhadap Empat Parameter yang Divariasikan Satu Per Satu

Penelitian dalam bidang nanoteknologi telah berkembang pesat dalam dekade terakhir ini, salah satunya adalah *Single-Electron Devices*. Dalam skripsi ini, kurva karakteristik arus-tegangan dari divais *single-electron transistor (SET)* disimulasikan dalam kasus empat parameter kerjanya divariasikan secara satu per satu. Keempat parameter itu adalah kapasitansi, resistansi, temperatur, dan impuritas. Struktur divais *SET* yang disimulasikan terbagi menjadi dua, satu yang menggunakan dua kapasitor dan lainnya yang menggunakan tiga kapasitor. Ketika simulasi dimulai, hanya satu parameter yang nilainya divariasikan sementara ketiga parameter lainnya tetap dijaga pada nilai awal yang telah ditentukan sebelum simulasi berjalan. Simulasi dijalankan dengan menggunakan Matlab 2008. Metode persamaan diturunkan berdasarkan *master equation*. Salah satu hasil yang didapat dari riset ini adalah resistansi sebagai parameter yang memberikan pengaruh paling signifikan pada rentang arus yang diukur, yaitu 10^{-11} A hingga 10^{-10} A pada struktur dua kapasitor dan 10^{-9} A hingga 10^{-8} A pada struktur tiga kapasitor. Adapun beberapa efek yang terjadi pada kurva karakteristik arus-tegangan adalah perubahan kualitas grafik, melemah/menguatnya karakteristik eksponensial dan/atau ideal, dan perubahan nilai *step-width* dan/atau *step-height*.

Kata kunci : kurva karakteristik arus-tegangan, *single-electron transistor (SET)*, Matlab 2008, *master equation*

Abstract

Name : Albertus Bramantyo
Study Program : Engineering/Electrical
Title : The Simulation of Current-Voltage Characteristic Curve of Single Electron Transistor Devices Towards Four Parameters Being Varried One By One

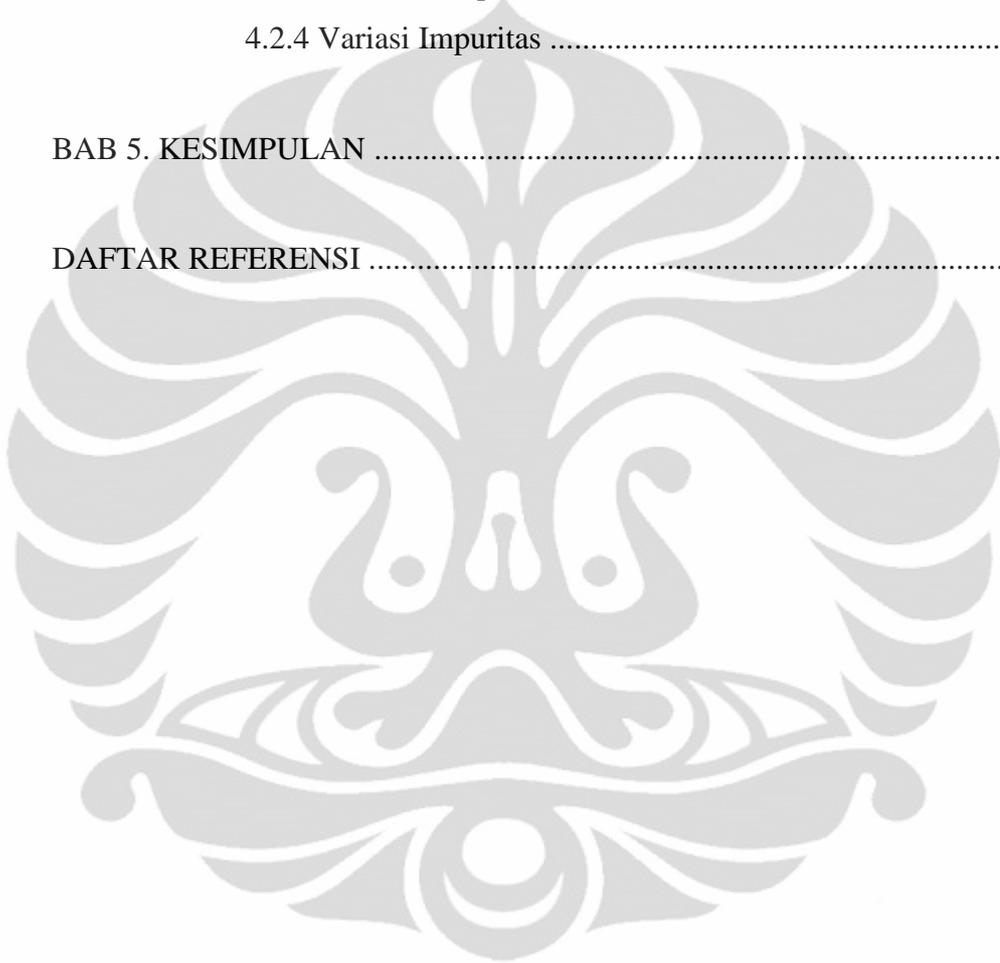
The research in the field of nanotechnology has advanced rapidly within the last decade, one of them being *Single-Electron Devices*. In this script, the current-voltage characteristic curve of *single-electron transistor (SET)* device are simulated in the case of the four working parameters were varied one by one. Those four parameters were capacitances, resistances, temperature, and impurity. The device's structure of *SET* being simulated was divided into two, one which was using two capacitors and the other which was using three capacitors. When the simulation was run, there is only one parameter which value was varied while the other three parameters were kept at starting value which had been decided before the simulation was run. The simulation was run by using Matlab 2008. The equation method was derived from *master equation*. One of the results gained from this research is resistance as the parameter which has the most significant influence over the range of the current being measured, which is 10^{-11} A to 10^{-10} A in two capacitors structure and 10^{-9} A to 10^{-8} A in three capacitors structure. Some of the effects that happened to the current-voltage characteristic curve are the change of graphical quality, the exponential and/or ideal characteristic becomes stronger/weaker, and the value change of *step-width* and/or *step-height*.

Keywords : current-voltage characteristic curve, *single-electron transistor*, Matlab 2008, *master equation*

DAFTAR ISI

HALAMAN JUDUL	i
HALAMAN PERNYATAAN ORISINALITAS	ii
HALAMAN PENGESAHAN	iii
KATA PENGANTAR/UCAPAN TERIMA KASIH	iv
LEMBAR PERSETUJUAN PUBLIKASI KARYA ILMIAH	v
ABSTRAK	vi
DAFTAR ISI	viii
DAFTAR GAMBAR	x
DAFTAR TABEL	xii
BAB1. PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Perumusan Masalah	3
1.3 Tujuan Penelitian	3
1.4 Manfaat Penelitian	4
1.5 Batasan Penelitian	5
BAB 2. TINJAUAN PUSTAKA	7
2.1 Single Electron Transistor (SET) dan Fenomena di Dalamnya	7
2.1.1 Electron Tunneling Dari Sudut Pandang Energy Level	8
2.2 Struktur Divais Single Electron Transistor (SET)	10
2.2.1 Double Barrier Tunnel Junction (DBTJ)	11
2.2.2 Triple Barrier Tunnel Junction (TBTJ)	13
BAB 3. RANCANGAN STRUKTUR DIVAIS SIMULASI	18
BAB 4. HASIL DAN PEMBAHASAN	23
4.1 Struktur DBTJ	26
4.1.1 Variasi Kapasitansi	27
4.1.2 Variasi Resistansi	29

4.1.3 Variasi Temperatur	31
4.1.4 Variasi Impuritas	31
4.2 Struktur TBTJ	33
4.2.1 Variasi Kapasitansi	34
4.2.2 Variasi Resistansi	36
4.2.3 Variasi Temperatur	38
4.2.4 Variasi Impuritas	39
BAB 5. KESIMPULAN	40
DAFTAR REFERENSI	42



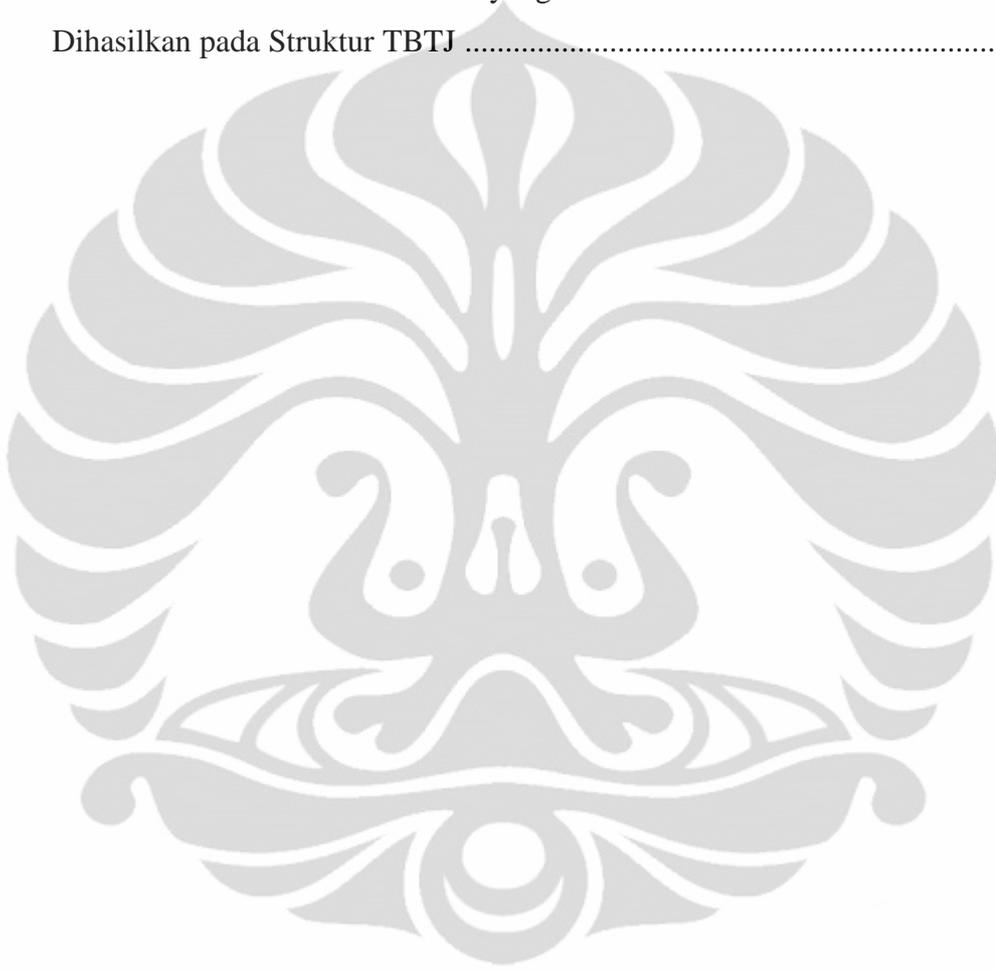
DAFTAR GAMBAR

Gambar 1.1 Gambar Skematik Divais SET dan Rangkaian Ekuivalennya	2
Gambar 2.1 Energy Level dari SET	9
Gambar 2.2 Electron Lain pada Sisi Metal Tidak Bisa Menembus Coulomb Blockade	9
Gambar 2.3 Electron Pertama Berhasil Tunneling ke Semiconductor dan Electron Kedua dapat Menembus Coulomb Blockade	10
Gambar 2.4. Gambar Skematik dari Rangkaian Single Electron Transistor Berstruktur Double Barrier	11
Gambar 2.5. Gambar skematik dari experimental setup; sebuah film granular Au/Al ₂ O ₃ terapan di antara STM tip dan metal substrate. Satu tunneling path menyeberangi TBTJ ditunjukkan oleh tanda panah. Rangkaian ekuivalen terletak di sebelah kanannya	13
Gambar 3.1 Fabrikasi dari Ti/TiOx SET melalui proses STM nano-oxidation ...	21
Gambar 3.2 Skematik dari divais SET pada Gambar 3.1.....	21
Gambar 3.3 AFM image dari divais SET pada Gambar 3.1.....	22
Gambar 4.1 Kurva I-V pada SET ideal	23
Gambar 4.2 Kurva I-V pada Non-ideal SET	24
Gambar 4.3 Kurva I-V dari Ideal TBTJ SET	24
Gambar 4.4 Kurva I-V dari Non-ideal TBTJ SET	25
Gambar 4.5 Kurva I-V Berbentuk Mata Gergaji (Saw Tooth) dari TBTJ SET ...	25
Gambar 4.6. Kurva I-V dari Ideal SET pada Polaritas Negatif	26
Gambar 4.7. Kurva I-V Berbentuk Eksponensial dari Non-ideal SET	26
Gambar 4.8 Kurva I-V pada Variasi Parameter C ₁ Struktur DBTJ	28
Gambar 4.9 Kurva I-V pada Variasi Parameter C ₂ Struktur DBTJ	29

Gambar 4.10 Kurva I-V pada Variasi Parameter R_1 Struktur DBTJ	30
Gambar 4.11 Kurva I-V pada Variasi Parameter R_2 Struktur DBTJ	30
Gambar 4.12 Kurva I-V pada Variasi Parameter T Struktur DBTJ	31
Gambar 4.13 Kurva I-V pada Variasi Parameter Q_0 Struktur DBTJ	32
Gambar 4.14 Kurva I-V pada Variasi Parameter C_1 Struktur TBTJ	34
Gambar 4.15 Kurva I-V pada Variasi Parameter C_2 Struktur TBTJ	35
Gambar 4.16 Kurva I-V pada Variasi Parameter C_3 Struktur TBTJ	36
Gambar 4.17 Kurva I-V pada Variasi Parameter R_1 Struktur TBTJ	36
Gambar 4.18 Kurva I-V pada Variasi Parameter R_2 Struktur TBTJ	37
Gambar 4.19 Kurva I-V pada Variasi Parameter R_3 Struktur TBTJ	38
Gambar 4.20 Kurva I-V pada Variasi Parameter T Struktur TBTJ	38
Gambar 4.21 Kurva I-V pada Variasi Parameter Q_{01} Struktur TBTJ	39
Gambar 4.22 Kurva I-V pada Variasi Parameter Q_{02} Struktur TBTJ	39

DAFTAR TABEL

Tabel 4.1 Faktor-faktor Dasar yang Dianalisa dan Bentuk Kurva I-V Mereka pada Struktur DBTJ	27
Tabel 4.2 Faktor-faktor Dasar yang Dianalisa dan Bentuk Kurva I-V yang Dihasilkan pada Struktur TBTJ	33



BAB 1.PENDAHULUAN

1.1 Latar Belakang

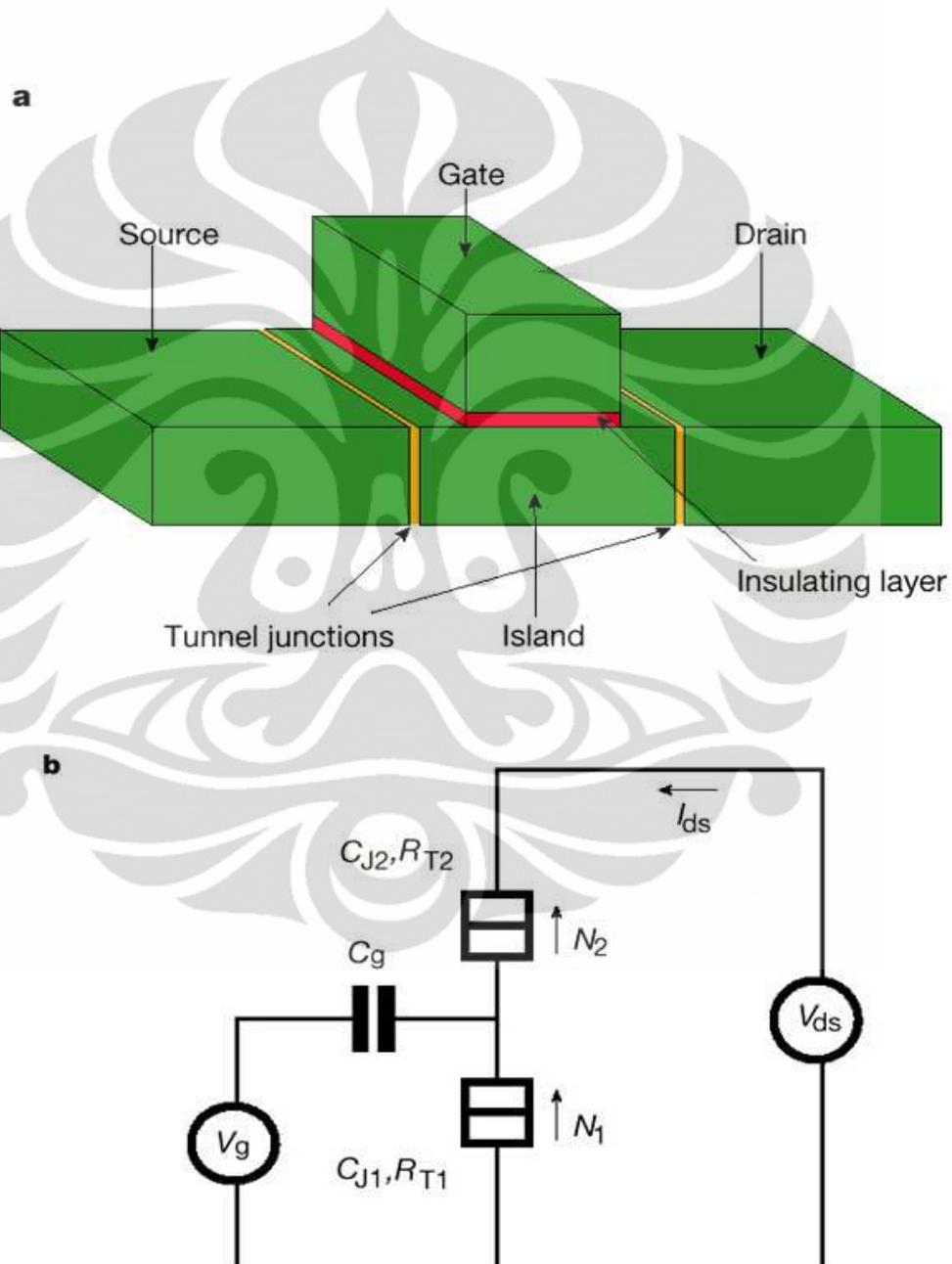
Di dalam dunia *computer processors*, transistor adalah *on/off switches* (switches yang diatur oleh gate-gate kecil yang dapat menahan atau meneruskan elektron yang mengalir) yang selalu kita gunakan. Lebih tepatnya, tipe transistor ini disebut sebagai *field effect transistor* (FET) dan digunakan pada banyak peralatan elektronik dewasa ini. Untuk menghasilkan transistor yang lebih baik, cepat, dan kuat sebagai *computer processor*, sekelompok orang mempunyai ide yang disertai remake (pembuatan ulang) unik pada transistor dewasa ini. Tidak hanya itu, para peneliti juga mencapai konsep baru yang belum lama ini diwujudkan dengan nanotechnology, yaitu *single-electron transistor* (SET).

FET berbasis silikon yang digunakan belakangan ini akan mencapai batas fisiknya – tidak hanya batas tentang seberapa kecil seorang desainer dapat membuatnya, tetapi juga masalah dengan disipasi panas, koneksi kawat, dan material yang digunakan oleh para peneliti untuk membuatnya – untuk 10 tahun ke depan. Oleh karena itu, para peneliti terus mengeksplor cara-cara baru untuk mendesain dan membuat FET pada level nano tanpa membatasi dirinya pada silikon saja. Salah satu caranya adalah dengan menggunakan *carbon nanotube*.

Para peneliti sedang meneliti cara untuk menghindari *Schottky barriers* – area hambatan pada konduksi listrik yang terjadi di mana metal (logam) bertemu dengan semikonduktor. Dalam kasus divais, *Schottky barriers* terjadi pada interface (antarmuka) electrode/nanotube, yang mengurangi efisiensi FET. Para peneliti sedang menentukan pada keadaan apa saja nanotube dapat bekerja maksimal – dan mencoba logam (seperti palladium) dengan tujuan mengurangi *Schottky barriers*.

Ide penggunaan nano terhadap FET adalah “lebih kecil” tidak hanya menghasilkan “lebih cepat” tetapi juga menghasilkan panas yang lebih kecil (juga pemakaian energi yang lebih kecil). Apabila penggambaran dengan ilustrasi digunakan, transistor konvensional dapat digambarkan sebagai membuka *floodgate* (bendungan). Source menyediakan “air” (sebenarnya elektron) melalui gate menuju drain. Banyak elektron yang mengalir dari source ke drain yang menggunakan banyak listrik dan menghasilkan panas yang besar (hal ini menghalangi desainer untuk menyusun transistor dengan sangat padat karena panas yang terlalu besar akan merusak *processor*).

Bagaimana jika para desainer dapat mengontrol jumlah elektron yang mengalir dari source ke drain bahkan secara satu per satu? Hal itu dapat dilakukan dengan jawaban berupa *single-electron transistor (SET)*. Adapun struktur dari divais SET dan rangkaian ekuivalennya dapat dilihat pada Gambar 1.1.



Gambar 1.1 (a) Gambar Skematik Divais SET dan (b) Rangkaian Ekuivalennya [1]

1.2 Perumusan Masalah

Adapun permasalahan yang terdapat dalam proses simulasi tertulis di bawah ini.

- a. Kondisi simulasi harus memenuhi persyaratan *Coulomb Blockade*
Sebelum memvariasikan salah satu dari keempat parameter kapasitansi, resistansi, temperatur, atau impuritas, desainer perlu mengecek apakah nilai baru tersebut masih memenuhi persyaratan *Coulomb Blockade* yang terdapat pada Bab 2. Apabila tidak, sang desainer perlu mengatur rentang variasi parameter dalam nilai yang masih memungkinkan untuk terjadinya *Coulomb Blockade*.
- b. Terbatasnya informasi tentang struktur SET dengan tiga kapasitor
Meskipun beberapa karya ilmiah mengangkat tema SET dengan struktur tiga kapasitor, pengetahuan tentang kurva karakteristik arus-tegangan pada struktur tersebut masih terbatas atau belum tentu sama untuk setiap karya ilmiah. Sumber yang digunakan sebagai referensi untuk mensimulasikan struktur 3 kapasitor memang menurunkan persamaan-persamaan yang dibutuhkan untuk menyusun kurva arus-tegangan namun sumber tersebut kurang lengkap dalam memberikan nilai awal untuk parameter R_1 , R_3 , Q_{01} , dan Q_{02} . Dalam skripsi ini, nilai awal pada simulasi struktur tiga kapasitor merupakan nilai yang telah digunakan oleh Dr. Ratno Nuryadi dalam simulasi Beliau mengenai struktur SET dengan tiga kapasitor.

1.3 Tujuan Penelitian

Sebagai mahasiswa Teknik Elektro, Penulis ingin mengetahui dan memahami lebih banyak tentang divais SET. Selain itu, tujuan dari laporan ini adalah :

- a) dapat mensimulasi (diharapkan dapat memfabrikasi pada masa depan) operasi divais SET;
- b) membuktikan fenomena-fenomena pada divais SET yang membedakannya dengan divais FET konvensional;

- c) menganalisa perbedaan operasi divais SET pada struktur yang menggunakan dua kapasitor dan tiga kapasitor tanpa mengindahkan pengaruh gate.

1.4 Manfaat Penelitian

Manfaat dari penelitian adalah dapat digunakan sebagai bahan untuk mengaplikasikan divais SET untuk beberapa kegunaan. Beberapa aplikasi pada divais yang menggunakan SET ditunjukkan dalam uraian di bawah ini.

a. *Supersensitive electrometer*

SET bersensitivitas tinggi memungkinkan mereka untuk berfungsi sebagai electrometer pada eksperimen Fisika yang unik.

b. *Single-Electron spectroscopy*

Salah satu aplikasi terpenting dari *single-electron electrometry* adalah kemungkinan untuk mengukur *electron addition energies* (dan berikutnya distribusi *energy-level*) pada *quantum dots* dan objek berskala nano lainnya.

c. Standard arus DC

Salah satu aplikasi yang dimungkinkan dari single-electron tunneling adalah fundamental standard dari arus DC untuk kebutuhan seperti *phase lock SET oscillations* atau *Bloch Oscillations* di dalam sebuah oscillator sederhana dengan sumber RF eksternal dari frekuensi f yang terkarakterisasi dengan bagus.

d. Standard temperature

Suatu masukan baru terhadap standard baru dari *absolute temperature* dapat dikembangkan dengan menggunakan 1 D (*one dimention*) *single-electron arrays*.

e. Pendeteksian radiasi inframerah

Single-electron devices, terutama 1 D *multi-junction array* dengan *co-tunneling rate* yang rendah, dapat digunakan untuk *ultra-sensitive video*-dan *heterodyne detection* dari radiasi electromagnetic berfrekuensi tinggi, similar terhadap superconductor-insulator-superconductor (SIS) junctions dan arrays.

f. *Voltage state logics*

SET dapat digunakan dalam mode “*voltage state*”. Dalam mode ini, input tegangan gate, U , mengontrol arus source-drain dari transistor yang digunakan di dalam digital logic circuits.

g. *Charge state logics*

Permasalahan arus bocor dipecahkan dengan menggunakan *logic device* yang lain bernama *charge state logic* di mana setiap bit dari informasi dimunculkan dengan keberadaan/ketiadaan single electrons pada *conducting islands* tertentu di seluruh rangkaian. Dalam rangkaian ini, daya atau arus static menghilang, karena tidak ada arus DC pada kondisi static.

h. *Programmable single electron transistor logic*

Sebuah SET yang mempunyai *non volatile memory function* adalah kunci untuk *programmable SET logic*. *Half period phase shift* (pergeseran fasa setengah periode) menyebabkan fungsi SET bersifat komplementer terhadap conventional SET. Hasilnya, SET dengan *non volatile memory function* mempunyai fungsionalitas dari conventional (mirip n-mos) SET dan complementary (mirip p-mos) SET. Dengan menggunakan fakta ini, fungsi dari rangkaian SET dapat diprogram dengan basis dari function disimpan oleh *memory function*.

1.5 Batasan Penelitian

Pada laporan ini, Penulis akan membatasi beberapa hal untuk mengurangi kerumitan masalah dan pembahasan yang terlalu melebar. Lingkup permasalahan yang akan dibahas pada laporan ini adalah :

- a) pembahasan ilmu nanoteknologi mengenai nanoelektronika mengenai divais *Single Electron Transistor (SET)*;
- b) fenomena- fenomena divais SET yang dibahas pada laporan ini terfokus pada *Coulomb blockade* dan *single electron tunneling*;
- c) parameter-parameter listrik yang dianalisa pada laporan ini sehubungan dengan operasi kerja SET adalah arus, tegangan, muatan, kapasitansi, dan *charging energy*;

- d) patokan untuk menganalisa perbedaan operasi kerja antara divais SET yang menggunakan dua kapasitor dan tiga kapasitor adalah kurva karakteristik arus-tegangan (I-V) dengan arus sebagai fungsi terhadap tegangan yang diturunkan berdasarkan *master equation*.



BAB.2 TINJAUAN PUSTAKA

2.1. Single Electron Transistor (SET) dan Fenomena di Dalamnya

Adapun syarat-syarat terjadinya proses *Coulomb Blockade* adalah :

- a) *Bias voltage* tidak boleh lebih besar daripada *charging energy* dibagi kapasitansi ($V_{\text{bias}} < e/C$);
- b) *Thermal energy* $k_B T$ harus di bawah *charging energy* $E_C = e^2/C$, atau kalau tidak elektron dapat melewati *Quantum Dot* melalui *thermal excitation*;
- c) *Tunneling resistance* (R_t) harus lebih besar daripada h/e^2 ($R_t > 26 \text{ k}\Omega$).

Dengan ketentuan satuan adalah:

- a) e = muatan electron ($1,602 \times 10^{-19} \text{ C}$);
- b) k_B = konstanta Boltzmann ($1,381 \times 10^{-23} \text{ J/K}$);
- c) h = konstanta Planck ($6,626 \times 10^{-34} \text{ J s}$).

Adapun permasalahan teknis dalam mengimplementasikan SET ditunjukkan dalam uraian di bawah ini.

- a. Teknik lithography dan operasi pada temperatur ruangan

Permasalahan terbesar pertama dengan semua *single-electron logic devices* adalah persyaratan E_C mendekati nilai $100 k_B T$ (k_B = konstanta Boltzmann; T = temperatur), yang secara praktis berarti island berukuran sub-nanometer untuk operasi pada temperatur ruangan. Pada rangkaian VLSI, level teknologi fabrikasi ini adalah sangat sulit. Lebih dari itu, meskipun islands difabrikasi dengan suatu bentuk nanolithography, bentuknya akan jauh dari regular. Karena dalam konduktor yang berukuran kecil seperti itu *quantum kinetic energy* memberikan kontribusi yang besar terhadap *electron addition energy* ($E_k \gg E_C$), bahkan variasi kecil dalam bentuk island akan menyebabkan variasi substantial dan tidak dapat diprediksi di dalam spectrum dari energy levels dan akibatnya di dalam *device switching thresholds*.

b. *Background charge*

Permasalahan besar yang kedua dalam *single-electron logic circuits* adalah keacakan (*randomness*) dari *background charge*. Suatu impuritas bermuatan (*charged impurity*) yang terperangkap di dalam *insulating environment* memberikan suatu kutub (polar) pada island, di mana pada permukaan island tercipta image charge Q_0 dalam orde e . Muatan ini secara efektif tersubstrak dari muatan eksternal Q_e .

c. *Cotunneling*

Esensi dari efek *cotunneling* adalah bahwa tunneling dari beberapa ($N > 1$) elektron yang melalui barriers yang berbeda-beda pada waktu bersamaan adalah mungkin sebagai suatu *single coherent quantum-mechanical process*. Rate dari proses ini secara kasar adalah $(RQ/R)N-1$ kali lebih kecil dari rate untuk *single-electron tunneling* yang dideskripsikan oleh Persamaan (2.1) dari *orthodox theory*.

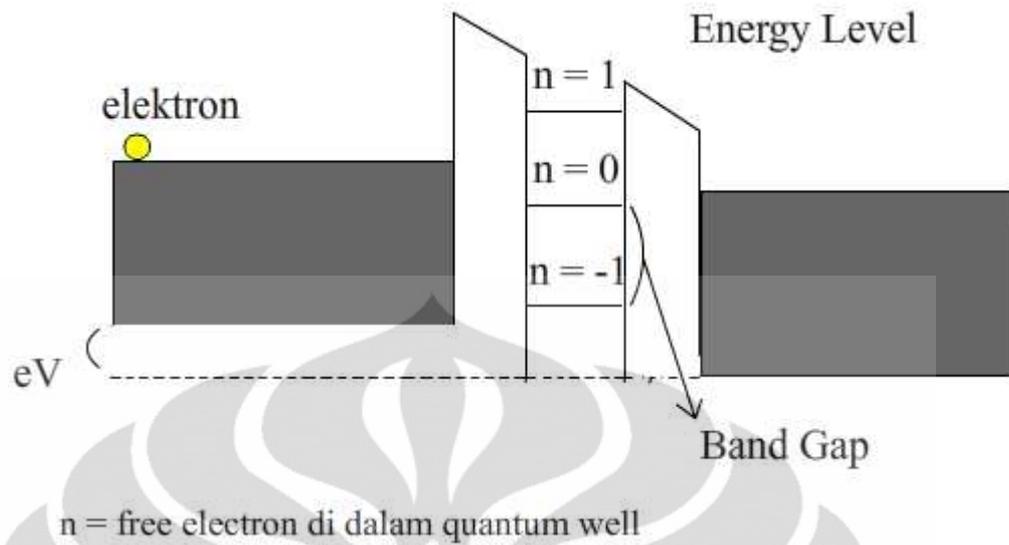
$$\Gamma(\Delta W) = \left(\frac{1}{e}\right) I\left(\frac{\Delta W}{e}\right) \left[1 - \exp\left\{-\frac{\Delta W}{k_B T}\right\}\right] - 1 \quad (2.1)$$

Apabila kondisi yang diberikan oleh Persamaan (2.2) terpenuhi, kemungkinan dari *rate cottunneling* adalah kecil. Meskipun demikian, *cottunneling* dapat diamati dengan jelas di dalam rentang *Coulomb Blockade* di mana *orthodox tunneling* diredam.

$$R_Q = h/4e^2 \approx 6,5k\Omega \quad (2.2)$$

2.1.1 Electron Tunneling dari Sudut Pandang Energy Level

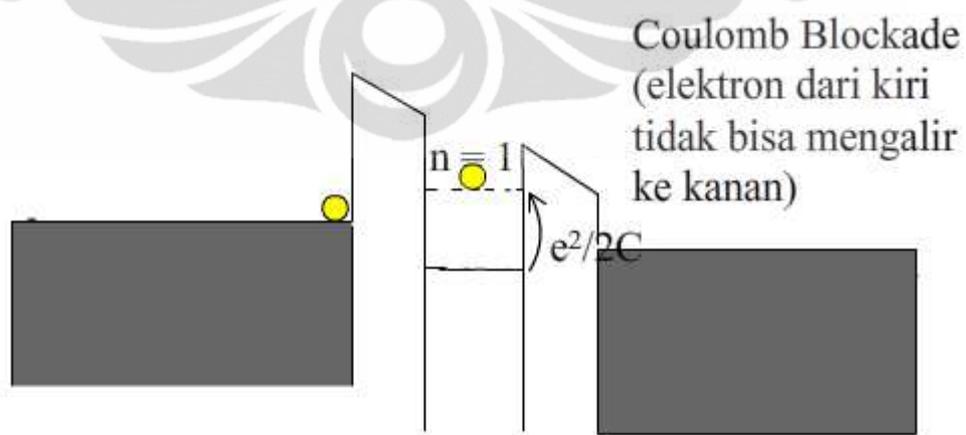
Fenomena single electron tunneling dan *Coulomb Blockade* merupakan fenomena penting dari SET. Pada bagian ini, fenomena *single electron tunneling* dan *Coulomb blockade* akan dianalisa berdasarkan sudut pandang *energy level* yang ditunjukkan pada Gambar 2.1.



Gambar 2.1 Energy Level dari SET [2]

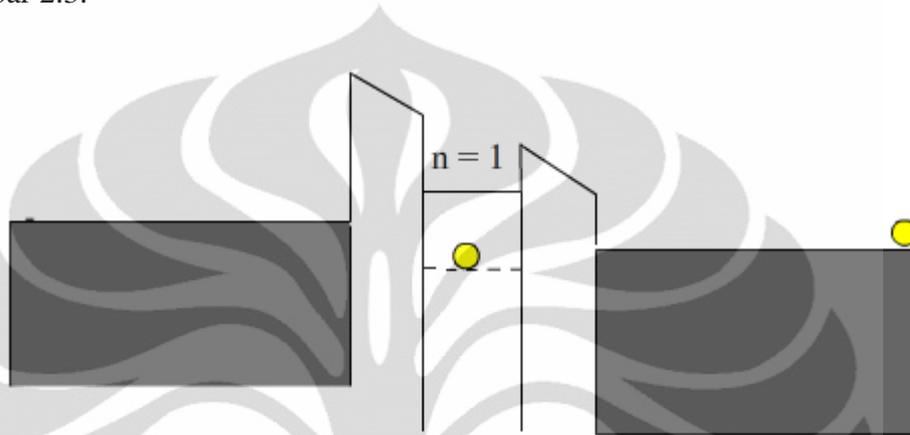
Electron akan melakukan tunneling dari sisi metal ke insulator. Pada keadaan awal, nilai n diasumsikan berada pada $n = 0$.

Satu electron berhasil menembus *Coulomb blockade* sehingga energy level pada insulator bertambah sebesar $e^2/2C$. Karena *energy level* pada metal lebih rendah daripada *energy level* insulator, electron lain dari sisi metal tidak bisa menembus *Coulomb blockade*. Fenomena ini dapat dilihat pada Gambar 2.2.



Gambar 2.2 Electron Lain pada Sisi Metal Tidak Bisa Menembus Coulomb Blockade [2]

Electron pertama akan melanjutkan *electron tunneling* karena *energy level* insulator lebih tinggi daripada *energy level* semiconductor. Setelah itu, electron kedua dapat menembus *Coulomb blockade* karena *energy level* insulator yang kehilangan satu electron akan menurun setelah electron pertama sukses melakukan tunneling ke semiconductor. Peristiwa ini dapat dilihat pada Gambar 2.3.



Gambar 2.3 Electron Pertama Berhasil Tunneling ke Semiconductor dan Electron Kedua dapat Menembus Coulomb Blockade. Electron Ketiga dan Seterusnya Belum Bisa Tunneling [2]

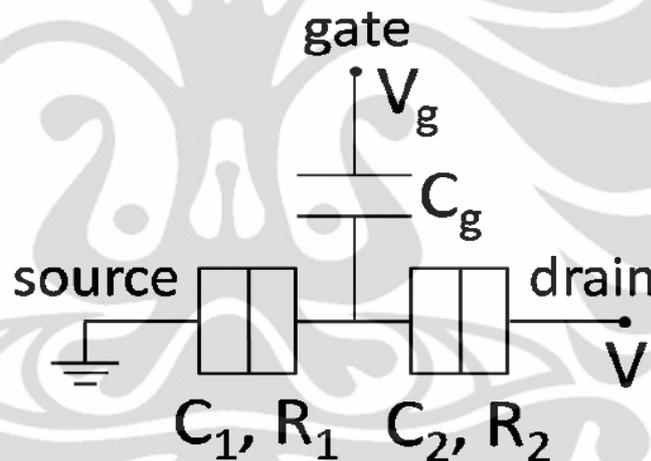
Peristiwa *Coulomb blockade* terjadi pada electron ketiga dan seterusnya hingga electron kedua berhasil melakukan tunneling ke semiconductor. Dengan demikian, fenomena *Coulomb blockade* berperan mengatur jumlah electron yang bisa melakukan tunneling ke insulator (dalam kasus ini, hanya satu electron yang bisa melakukan tunneling ke insulator). Karena electron melakukan tunneling dari metal – insulator – semiconductor secara satu per satu, fenomena ini disebut *single electron tunneling*.

2.2 Struktur Divais Single Electron Transistor (SET)

Seiring dengan berkembangnya pengetahuan dan teknologi pada bidang divais SET, struktur divais SET yang tersedia juga semakin bertambah banyak. Salah satu bentuk divais SET yang paling dasar adalah struktur *Double Barrier Tunnel Junction* (DBTJ) yang akan ditunjukkan. Untuk dapat memahami lebih dalam tentang divais SET, para peneliti ingin mencari terobosan baru tentang apakah ada struktur yang lebih stabil, murah, dan tahan lama daripada struktur DBTJ. Salah satu bentuk struktur yang berkembang adalah struktur *Triple*

Barrier Tunnel Junction (TBTJ). Struktur tersebut lebih kompleks daripada struktur DBTJ karena melibatkan komponen listrik yang lebih banyak daripada struktur DBTJ. Berhubung dengan kurangnya informasi yang lebih mendetail tentang struktur TBTJ, skripsi ini tidak akan membahas terlalu banyak tentang struktur TBTJ dan lebih memfokuskan pada struktur DBTJ. Diharapkan dengan membawa topik tentang struktur TBTJ, salah seorang atau pihak merasa tertarik untuk mengetahui lebih dalam tentang divais SET berstruktur TBTJ dan dapat membagikan pengetahuan yang belum diketahui di bidang tersebut.

2.2.1 Double Barrier Tunnel Junction (DBTJ)



Gambar 2.4. Gambar Skematik dari Rangkaian Single Electron Transistor Berstruktur Double Barrier [3]

Dari Gambar 2.4, struktur SET terdiri dari dua kapasitor dengan nilai kapasitansi rendah (C_1 dan C_2) dan nilai resistansi tinggi (R_1 dan R_2) di mana masing-masing kapasitor terletak pada dua tunnel junctions. Bagian island (dot) terkopel pada satu kapasitor gate dengan kapasitansi C_g . Tegangan gate V_g digunakan untuk mengatur *electrostatic potential* dari island untuk memodulasikan arus yang melalui SET. Pada paper ini, nilai C_g dan V_g diasumsikan nol.

Persamaan *electron tunneling rate* perlu dirumuskan terlebih dahulu dalam bentuk ΔE yang dapat dilihat pada Persamaan (2.3).

$$\Gamma_j^\pm(n) = \frac{1}{R_j e^2} \left[\frac{-\Delta E_j^\pm}{1 - \exp[\Delta E_j^\pm / k_B T]} \right] \quad (2.3)$$

Dengan R_j adalah resistansi pada junction ke-j. Persamaan untuk ΔE didapat dari pendekatan energi electrostatic pada Persamaan (2.4) dan Persamaan (2.5).

$$\Delta E_1^\pm = \frac{e}{C_\Sigma} \left[\frac{e}{2} \pm ne \pm \left(\left(C_2 + \frac{C_g}{2} \right) V + C_g V_g \right) \right] \quad (2.4)$$

$$\Delta E_2^\pm = \frac{e}{C_\Sigma} \left[\frac{e}{2} \pm ne \mp \left(\left(C_1 + \frac{C_g}{2} \right) V + C_g V_g \right) \right] \quad (2.5)$$

Dengan C_j merupakan kapasitansi dari ujunction ke-j, kapasitansi gate adalah C_g , dan $C_\Sigma = C_1 + C_2 + C_g$ merupakan kapasitansi dari island, V adalah tegangan drain, dan V_g adalah tegangan gate. Karakteristik arus-tegangan dari SET struktur DBTJ dapat dihitung dari Persamaan (2.6) atau Persamaan (2.7).

$$I(V) = e \sum_{n=-\infty}^{\infty} \rho(n) [\Gamma_1^-(n) - \Gamma_1^+(n)] \quad (2.6)$$

$$I(V) = e \sum_{n=-\infty}^{\infty} \rho(n) [\Gamma_2^+(n) - \Gamma_2^-(n)] \quad (2.7)$$

Dengan $\rho(n)$ merupakan probabilitas bahwa tegangan e pada island bernilai sama dengan ne . Probabilitas ini bersama dengan perbedaan rate $\Gamma_1^-(n) - \Gamma_1^+(n)$ mendeskripsikan arus net/bersih yang mengalir masuk ke junction pertama. Nilai arus juga dapat diekspresikan dalam *tunneling rate* pada junction kedua. Tegangan island e akan berubah-ubah sesuai dengan tunneling dari elektron yang masuk ke atau keluar dari island seperti yang ditunjukkan pada master equation dari Persamaan (2.8).

$$\frac{\partial \rho(n, t)}{\partial t} = \rho(n+1) [\Gamma_1^-(n+1) + \Gamma_2^-(n+1)] - \rho(n) [\Gamma_1^+(n) + \Gamma_2^+(n)] \quad (2.8)$$

Solusi stationer dari Persamaan (2.8) memenuhi kondisi seimbang yang mendetail dari Persamaan (2.9).

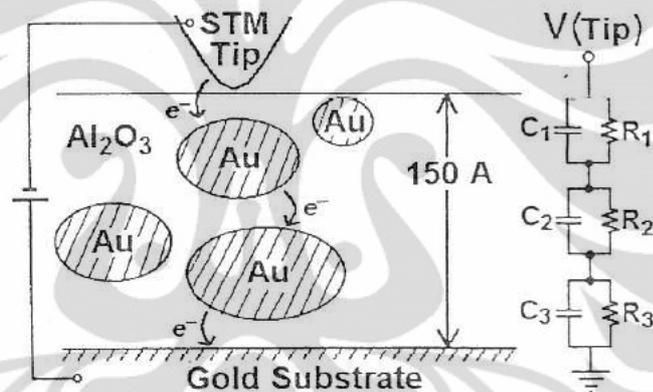
$$\rho(n)[\Gamma_1^+(n) + \Gamma_2^+(n)] = \rho(n+1)[\Gamma_1^-(n+1) + \Gamma_2^-(n+1)] \quad (2.9)$$

Karena Γ_j^\pm telah diketahui dari Persamaan (2.3) dan Persamaan (2.4), solusi dari distribusi $\rho(n)$ yang menjadi subjek dari kondisi normalisasi dapat dilihat dari Persamaan (2.10).

$$\sum_{n=-\infty}^{\infty} \rho(n) = 1 \quad (2.10)$$

Berikutnya solusi dari Persamaan (2.6) dan Persamaan (2.7) dapat dipecahkan secara numerik.

2.2.2 Triple Barrier Tunnel Junction (TBTJ)



Gambar 2.5. Gambar skematik dari experimental setup; sebuah film granular Au/Al₂O₃ terapat di antara STM tip dan metal substrate. Satu tunneling path menyeberangi TBTJ ditunjukkan oleh tanda panah. Rangkaian ekuivalen terletak di sebelah kanannya.[4]

Perlu diketahui bahwa granular metals merupakan *composite materials* dari metal dan insulator sedangkan grain merupakan sekumpulan atom yang membentuk satu grup (bisa pada level mikro atau nano).

Dari Gambar 2.5, pemodelan dan penurunan persamaan untuk struktur TBTJ dapat dibuat. Junction $i = 1, 2, 3$ ditunjukkan pada R_i dan C_i . “State” sistem ditentukan oleh jumlah excessed electron, n_k , pada setiap grain $k = 1, 2$ yang dengan kata lain tergantung pada *applied voltage* V . Analisis bergantung pada “*orthodox*” theory .

Untuk menentukan karakteristik I-V TBTJ, *single electron tunneling rates* di seberang tiap 3 junctions perlu dihitung untuk state (n_1, n_2) . Setiap rate bergantung pada :

- a) *tunneling resistance* dari junction;
- b) *total energy change* karena peristiwa tunneling.

Setiap *single electron tunneling rate on/off (+/-) grain k across junction i* dihitung dari *golden rule* dan diberikan pada Persamaan (2.11)

$$\Gamma_{k,i}(n_1, n_2)^{\pm} = \frac{1}{e^2 R_i} \left[\frac{-\Delta E_{k,i}(n_1, n_2)^{\pm}}{1 - \exp[\Delta E_{k,i}(n_1, n_2)^{\pm}/k_B T]} \right] \quad (2.11)$$

dengan $\Delta E_{k,i}(n_1, n_2)^{\pm}$ merupakan *energy change system*. Energi tersebut bergantung pada jumlah *excessed electrons* pada kedua grain. Penentu utama pada *energy change* adalah:

- a) $\Delta U_{k,i}(n_1, n_2)^{\pm}$, yaitu perubahan pada *electrostatic charging energy* pada sistem;
- b) V_i , yaitu *potential difference across the junction*, dikali muatan electron yang ditunjukkan pada Persamaan (2.12)

$$\Delta E_{k,i}^{\pm} = \Delta U_{k,i}^{\pm} \mp eV_i \quad (2.12)$$

Dari persamaan (2.12), dapat diambil beberapa poin sebagai berikut:

- a) V_i dapat diekspresikan dalam *applied voltage V* dan kapasitansi TBTJ, cth: $V_3 = C_1 C_2 V / \Sigma$ di mana $\Sigma = C_1 C_2 + C_1 C_3 + C_2 C_3$;
- b) *Charging energies* $\Delta U_{k,i}^{\pm}$ diekspresikan dalam perubahan *electrostatic charging energy* dari *individual grain*, ΔU_k^{\pm} , yang diturunkan pada Persamaan (2.13)

$$\Delta U_1^\pm = \frac{(C_3 + C_2)}{2\Sigma} [(Q_1 \pm e)^2 - Q_1^2]$$

$$\Delta U_2^\pm = \frac{(C_1 + C_2)}{2\Sigma} [(Q_2 \pm e)^2 - Q_2^2] \quad (2.13)$$

dengan $Q_k = n_k e - Q_{0k}$, yaitu *excess charge* pada grain k sebelum *single electron tunneling* dan Q_{0k} , yaitu *residual fractional electron charge*,

$$|Q_{0k}| \leq e/2$$

Ketika electron melakukan tunnel melalui junction 1 atau 3, hanya satu grain yang terisi muatan $\Delta U_{1,1}^\pm = \Delta U_1^\pm$ dan $\Delta U_{2,3}^\pm = \Delta U_2^\pm$, sedangkan ketika electron melakukan tunnel melalui junction 2 (dari satu grain ke grain lain) didasarkan pada kondisi sebagai berikut:

$$\Delta U_{1,2}^\pm = \Delta U_{2,2}^\mp = \Delta U_1^\pm + \Delta U_2^\mp$$

Persamaan untuk $\Delta E_{k,i}(n_1, n_2)^\pm$ sekarang dapat dituliskan secara eksplisit pada Persamaan (2.14):

$$\Delta E_{1,1}^\pm = \frac{e(C_2 + C_3)}{\Sigma} \left(\frac{e}{2} \pm (n_1 e - Q_{01}) \mp \frac{C_2 C_3}{(C_2 + C_3)} V \right)$$

$$\Delta E_{1,2}^\pm = \frac{e}{\Sigma} \left((C_1 + 2C_2 + C_3) \frac{e}{2} \mp (C_1 + C_2)(n_2 e - Q_{02}) \pm (C_2 + C_3)(n_1 e - Q_{01}) \pm C_1 C_3 V \right) \quad (2.14)$$

Persamaan similar dari persamaan (2.14) dapat dituliskan untuk $\Delta E_{2,2}^\pm$ dan $\Delta E_{2,3}^\pm$.

Single electron tunneling rates $\Gamma_{k,i}(n_1, n_2)^\pm$ dapat dihitung melalui Persamaan (2.11) - Persamaan (2.14). Secara umum, $\Gamma_{k,i}^\pm$ ditentukan oleh n_1 dan n_2 kecuali pada $\Gamma_{1,1}^\pm$ yang ditentukan oleh n_1 saja dan $\Gamma_{2,3}^\pm$ yang ditentukan oleh n_2 saja. Distribusi $P(n_1, n_2)$ dari jumlah *excess electrons* perlu dihitung terlebih dulu sebagai fungsi *applied voltage*.

Penghitungan menjadi lebih simple ketika diasumsikan bahwa *tunneling rate* di antara kedua grain, *across junction 2*, adalah lebih kecil daripada *tunneling rate across the two outer junctions*. Asumsi ini beralasan karena alasan-alasan di bawah ini.

- a. Proses yang melibatkan kedua grain melibatkan charging dari dua grain sedangkan proses lain hanya melibatkan satu grain saja.
- b. *Outer junctions* terkomposisi dari sebuah *wide electrode* (substrate atau tip) yang terkopel ke sebuah grain kecil, sedangkan *middle junction* terkomposisi oleh dua grain kecil. Geometri ini berujung pada lebih banyak *tunneling channels* yang tersedia pada *outer junctions* yang pada akhirnya mengarah pada resistansi lebih kecil pada *outer junctions* tersebut.

Dari kedua asumsi tersebut, jumlah *excess electrons* pada setiap grain menjadi independen terhadap satu sama lain, dan hanya ditentukan oleh tunneling melalui *outer junctions*.

Berikutnya, dapat dituliskan $P(n_1, n_2) = P_1(n_1)P_2(n_2)$, dengan $P_k(n_k)$ adalah distribusi dari jumlah electron pada grain k . Distribusi $P_k(n_k)$ didapat melalui catatan bahwa pada *steady state, net probability* untuk membuat satu transition di antara kedua *adjacent states* manapun untuk setiap grain adalah nol; maka ketika mengasumsi bahwa $\Gamma_{1,1}(n_1)^{\pm} \gg \Gamma_{1,2}(n_1, n_2)^{\pm}$ dan $\Gamma_{2,3}(n_2)^{\pm} \gg \Gamma_{2,2}(n_1, n_2)^{\pm}$ didapatkan Persamaan (2.15).

$$\begin{aligned} P_1(n_1)\Gamma_{1,1}(n_1)^- &= P_1(n_1 - 1)\Gamma_{1,1}(n_1 - 1)^+ \\ P_2(n_2)\Gamma_{2,3}(n_2)^- &= P_2(n_2 - 1)\Gamma_{2,3}(n_2 - 1)^+ \end{aligned} \quad (2.15)$$

Ini membolehkan sang penghitung untuk memecahkan setiap distribusi $P_k(n_k)$, subject terhadap *normalization condition* pada Persamaan (2.16).

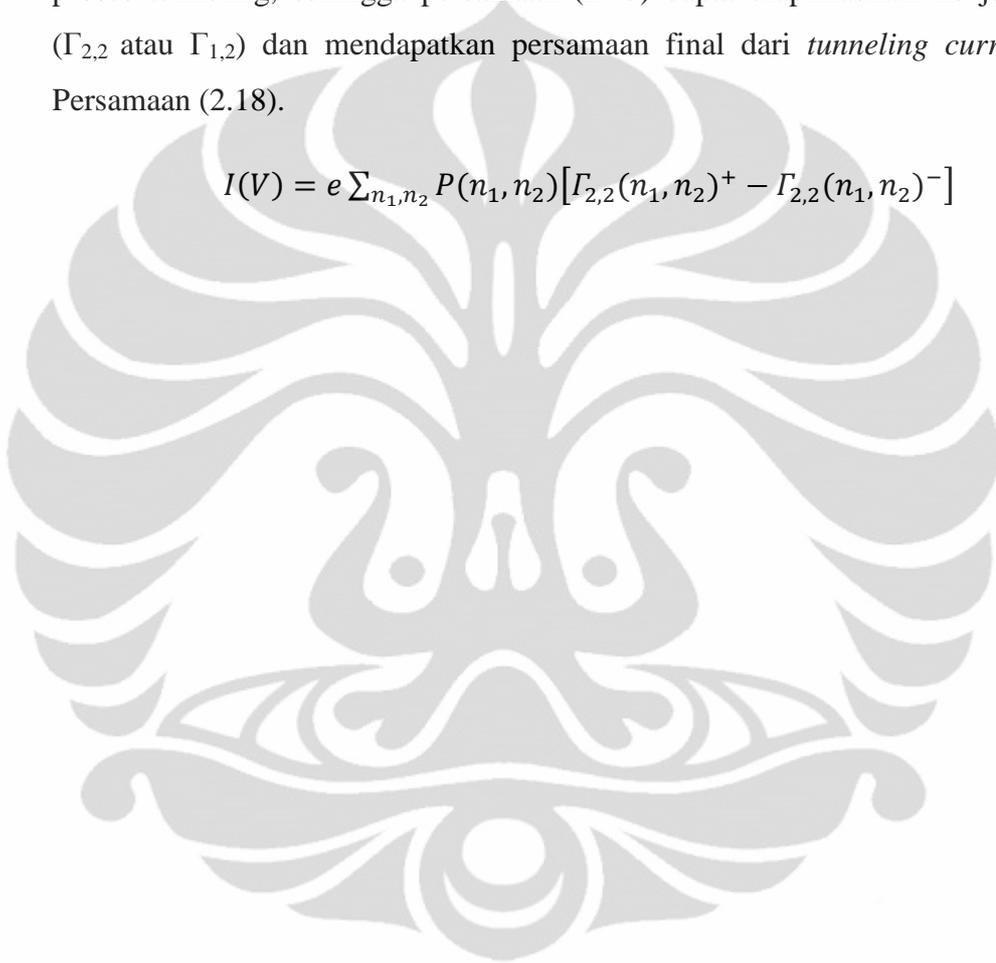
$$\sum_{n_k} P_k(n_k) = 1 \quad (2.16)$$

Tunneling current dapat dihitung sekarang untuk tiap junction dan diberikan oleh Persamaan (2.17).

$$I(V) = e \sum_{n_1, n_2} P(n_1, n_2) [\Gamma_{k,i}(n_1, n_2)^+ - \Gamma_{k,i}(n_1, n_2)^-] \quad (2.17)$$

Dari asumsi sebelumnya bahwa junction 2 merupakan “*bottle neck*” dari proses tunneling, sehingga persamaan (2.17) dapat diaplikasikan ke junction 2 ($\Gamma_{2,2}$ atau $\Gamma_{1,2}$) dan mendapatkan persamaan final dari *tunneling current* pada Persamaan (2.18).

$$I(V) = e \sum_{n_1, n_2} P(n_1, n_2) [\Gamma_{2,2}(n_1, n_2)^+ - \Gamma_{2,2}(n_1, n_2)^-] \quad (2.18)$$



BAB 3. RANCANGAN STRUKTUR DIVAIS SIMULASI

Dari Gambar 1.1, struktur divais SET dapat dilihat. Proses selanjutnya adalah merancang struktur divais SET yang memenuhi persyaratan *Coulomb Blockade* yang telah dituliskan pada Bab. 2. Langkah pertama adalah menentukan nilai awal yang telah disepakati. Para desainer dapat menentukan sendiri keempat nilai parameter yang dianalisa pada skripsi ini, yaitu kapasitansi, resistansi, temperatur, dan impuritas asalkan semua nilai tersebut dapat memenuhi persyaratan *Coulomb Blockade*. Nilai awal yang digunakan berasal dari patokan yang ditentukan oleh Dr. Ratno Nuryadi dan kode pemrograman simulasi divais SET dengan menggunakan Matlab 2008 yang digunakan dalam skripsi ini juga berasal dari Beliau. Nilai awal untuk struktur SET dengan dua kapasitor adalah :

- a) $C_1 = 3,9 \times 10^{-19}$ F;
- b) $C_2 = 1,8 \times 10^{-18}$ F;
- c) $R_1 = 150$ M Ω ;
- d) $R_2 = 15$ G Ω ;
- e) $T = 100$ K;
- f) $Q_0 = 0$

Dari nilai awal tersebut, persyaratan terjadinya *Coulomb Blockade* perlu dilihat kembali dan didapatkan ketentuan bahwa:

- a) $Thermal\ energy = 1,381 \times 10^{-21}$ J;
 $Charging\ energy = 1,172 \times 10^{-20}$ J;
 $Thermal\ energy < Charging\ energy$;
- b) R_1 dan R_2 bernilai lebih besar dari 26 k Ω .

Dari kedua poin tersebut, persyaratan *Coulomb Blockade* telah terpenuhi. Langkah berikut adalah menentukan rentang nilai yang memenuhi persyaratan *Coulomb Blockade*. Untuk menentukan batas rentang kapasitansi, Persamaan (3.1) dapat diturunkan dari persyaratan *Coulomb Blockade*.

$$E_c > k_B T$$

$$\frac{e^2}{C_\Sigma} > k_B T$$

$$C_{\Sigma} < \frac{e^2}{k_B T} \quad (3.1)$$

Sedangkan batas rentang temperatur dapat dilihat dari Persamaan (3.2).

$$k_B T < E_c$$

$$T < \frac{E_c}{k_B}$$

$$T < \frac{e^2}{C_{\Sigma} \times k_B} \quad (3.2)$$

Dari Persamaan (3.1) dan (3.2), rentang nilai dari keempat parameter yang memenuhi persyaratan *Coulomb Blockade* adalah :

- a) $C_1 < 1,678 \times 10^{-17} \text{ C};$
- b) $C_2 < 1,819 \times 10^{-17} \text{ C};$
- c) $R_1 > 26 \text{ k}\Omega;$
- d) $R_2 > 26 \text{ k}\Omega;$
- e) $T < 848,569 \text{ K}$

Khusus untuk impuritas, tidak ada batas rentang yang ditentukan karena pengaruh impuritas terhadap karakteristik arus-tegangan pada umumnya sangat kecil. Pengaruh impuritas perlu diperhitungkan apabila nilai perubahan energi berkurang secara signifikan sehingga tidak dapat memenuhi persyaratan *Coulomb Blockade*. Pada struktur dua kapasitor, pengaruh impuritas sengaja dibuat kecil untuk memenuhi persyaratan *Coulomb Blockade*.

Setelah menentukan batas rentang parameter untuk struktur dengan dua kapasitor, hal yang sama juga dilakukan kepada struktur dengan tiga kapasitor. Sebelum itu, nilai awal untuk keempat parameter perlu ditentukan terlebih dahulu, yaitu :

- a) $C_1 = 12 \times 10^{-19} \text{ F};$
- b) $C_2 = 14 \times 10^{-19} \text{ F};$
- c) $C_3 = 28 \times 10^{-19} \text{ F};$
- d) $R_1 = R_3 = 10 \text{ M}\Omega;$
- e) $R_2 = 280 \text{ M}\Omega;$
- f) $T = 4,2 \text{ K};$
- g) $Q_{01} = -0,2e;$

$$h) Q_{02} = 0,28e$$

Dari nilai awal tersebut, persyaratan terjadinya *Coulomb Blockade* dilihat kembali dan didapatkan ketentuan bahwa:

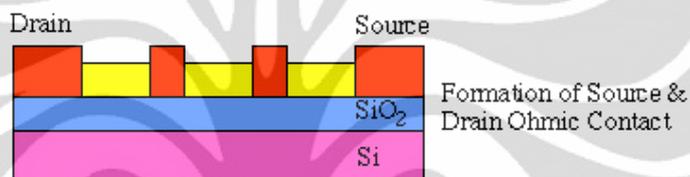
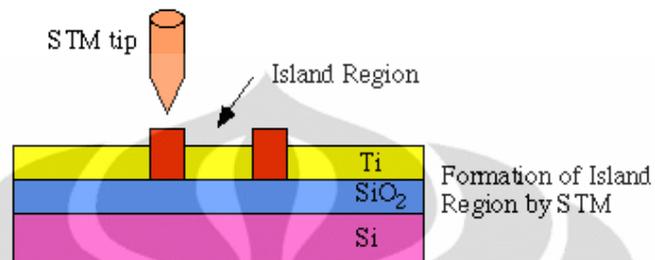
- a) *Thermal energy* = $5,8002 \times 10^{-23}$ J;
Charging energy = $4,7526 \times 10^{-21}$ J;
Thermal energy < *charging energy* ;
- b) $R_1, R_2,$ dan R_3 bernilai lebih besar dari 26 k Ω .

Dari kedua poin tersebut, persyaratan *Coulomb Blockade* telah terpenuhi sehingga nilai awal dapat diterima. Dengan cara yang serupa dengan struktur dua kapasitor, rentang nilai untuk struktur tiga kapasitor yang memenuhi persyaratan *Coulomb Blockade* dapat ditentukan, yaitu :

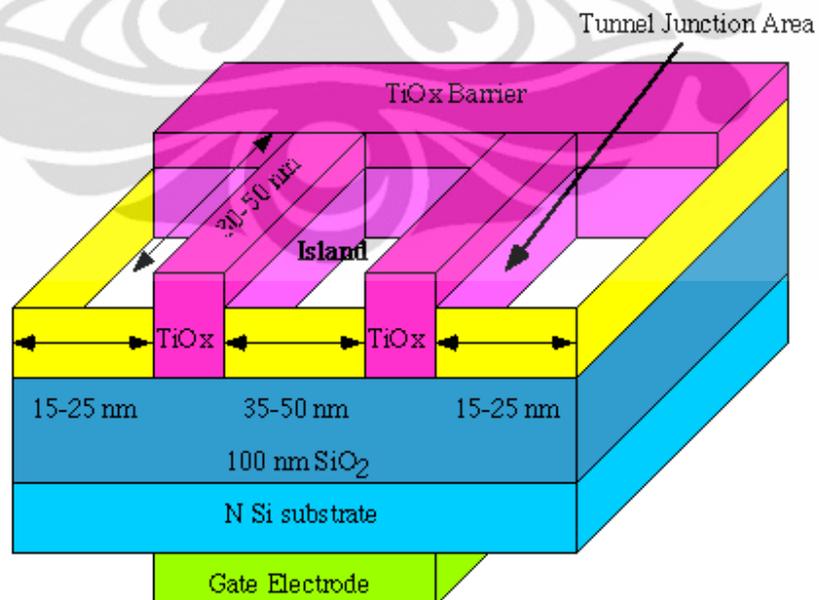
- a) $C_1 < 4,383 \times 10^{-16}$ C;
- b) $C_2 < 4,385 \times 10^{-16}$ C;
- c) $C_3 < 4,399 \times 10^{-16}$ C;
- d) $R_1 > 26$ k Ω ;
- e) $R_2 > 26$ k Ω ;
- f) $R_3 > 26$ k Ω ;
- g) $T < 344,142$ K

Seperti halnya pada struktur dua kapasitor, pengaruh impuritas dibuat kecil untuk memenuhi persyaratan *Coulomb Blockade*.

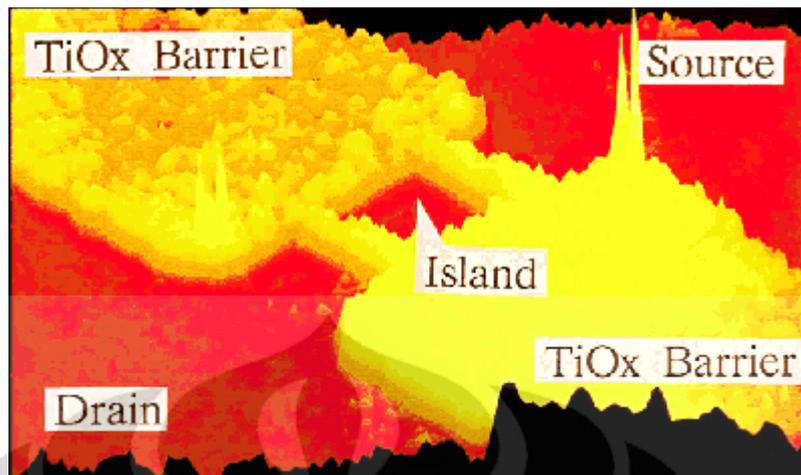
Dalam skripsi ini, divais SET secara real tidak difabrikasi. Adapun demikian, tidak ada salahnya apabila informasi mengenai fabrikasi divais SET diketahui oleh banyak pihak. Gambar 3.1, Gambar 3.2, dan Gambar 3.3 akan memuat tahap-tahap sederhana untuk memfabrikasi divais SET yang dikembangkan oleh K. Matsumoto beserta gambar skematik dan AFM dari divais.



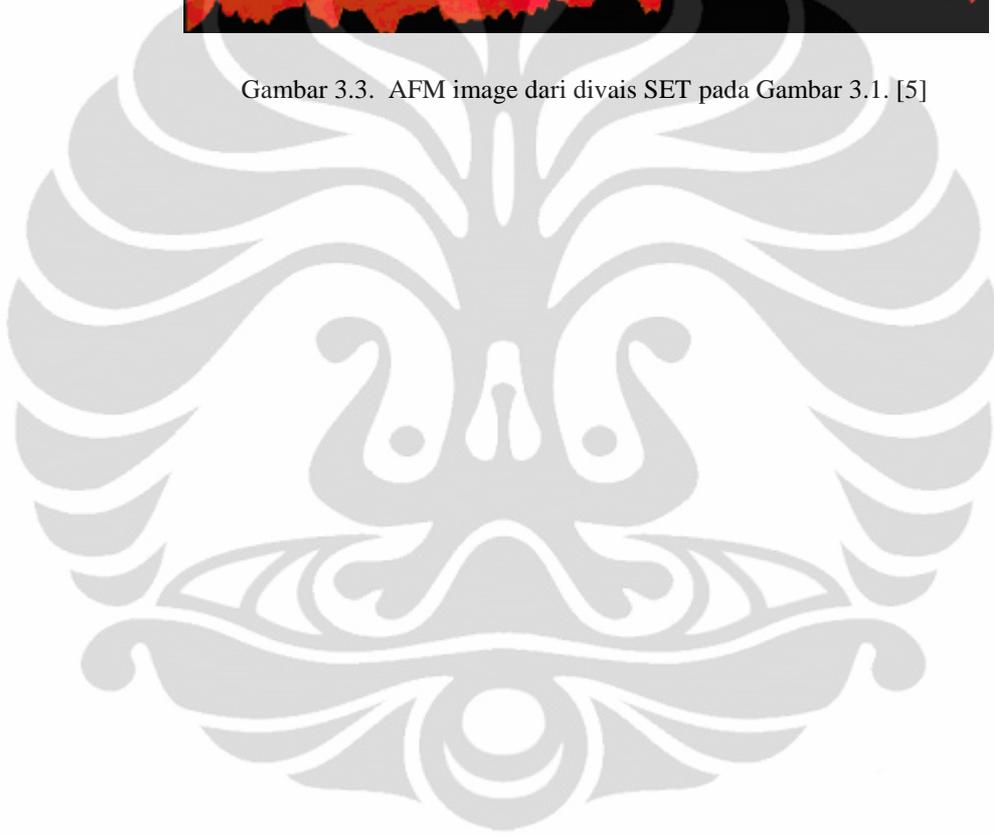
Gambar 3.1 Fabrikasi dari Ti/TiOx SET melalui proses STM nano-oxidation. [5]



Gambar 3.2. Skematik dari divais SET pada Gambar 3.1. [5]



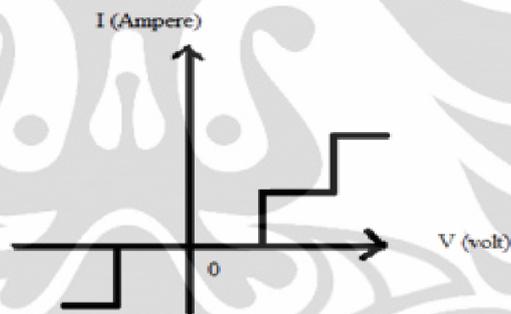
Gambar 3.3. AFM image dari divais SET pada Gambar 3.1. [5]



BAB 4. HASIL DAN PEMBAHASAN

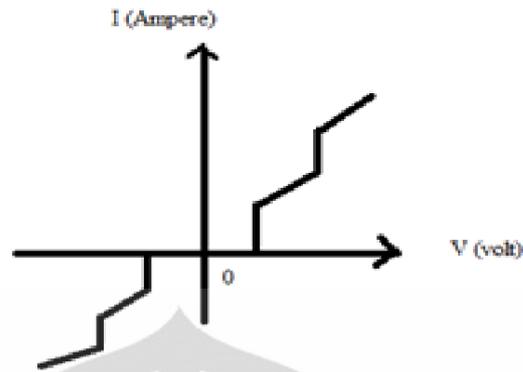
Terdapat empat parameter yang akan dianalisa, yaitu kapasitansi, resistansi, temperatur, dan impuritas. Pada bagian ini, efek keempat parameter itu terhadap kurva I-V (arus-tegangan) akan ditelusuri.

Ada banyak macam atau variasi bentuk kurva I-V yang dihasilkan, tetapi hanya ada 7 macam kurva I-V yang akan dijelaskan. Bentuk pertama adalah bentuk ideal dari kurva I-V pada Gambar 4.1. Terdapat dua fasa, yaitu fasa charging ketika elektron tidak dapat melakukan tunneling menembus *energy barrier* (perubahan arus bernilai nol sementara perubahan tegangan bernilai non-zero) dan fasa discharging ketika elektron melakukan tunnel menembus *energy barrier* (perubahan arus bernilai non-zero sementara perubahan tegangan bernilai nol).



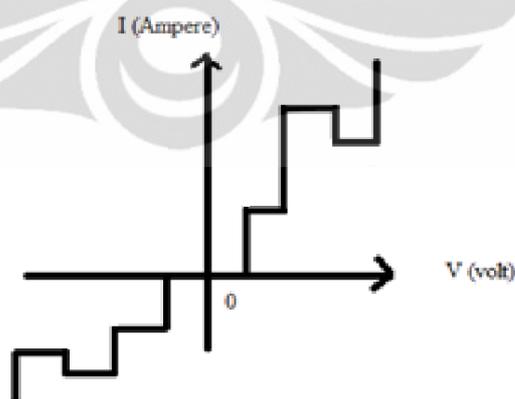
Gambar 4.1 Kurva I-V pada SET ideal

Tipe kurva berikutnya adalah kurva non-ideal yang dapat dilihat pada Gambar 4.2. Pada fasa charging, terdapat elektron yang dapat melakukan tunneling menembus *energy barrier* sehingga nilai perubahan arus menjadi non-zero. Hal ini dapat disebabkan adanya elektron sisa (*left-over electron*) setelah fasa discharging atau impuritas.

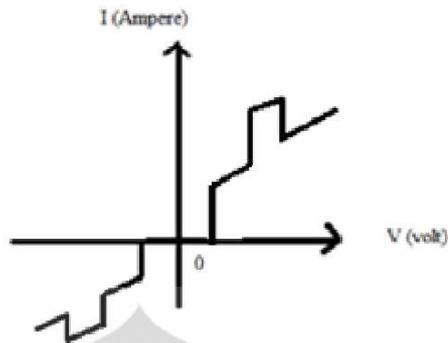


Gambar 4.2 Kurva I-V pada Non-ideal SET

Pada Gambar 4.3 dan Gambar 4.4, terdapat fasa di mana nilai perubahan arus mempunyai tanda berlawanan dengan tegangan (perubahan arus menurun pada daerah tegangan positif atau perubahan arus meningkat pada daerah tegangan negatif). Perlu diingat bahwa terdapat 3 probabilitas tunneling pada struktur TBTJ, dari tip ke grain 1, dari grain 1 ke grain 2, atau dari grain 2 ke substrat. Meskipun kemungkinannya kecil, ada 3 macam probabilitas tunneling dengan arah berlawanan dari sebelumnya, yaitu dari substrat ke grain 2, dari grain 2 ke grain 1, atau dari grain 1 ke tip yang dapat menyebabkan adanya polaritas berlawanan pada perubahan arus.

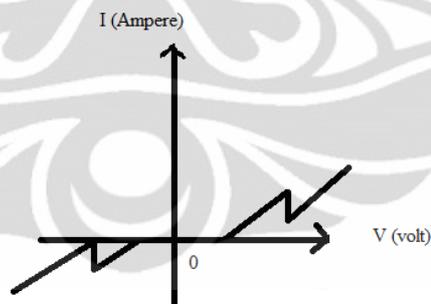


Gambar 4.3 Kurva I-V dari Ideal TBTJ SET



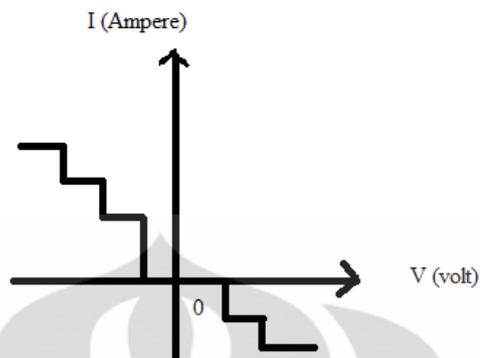
Gambar 4.4 Kurva I-V dari Non-ideal TBTJ SET

Pada Gambar 4.5, terdapat 2 fasa, yaitu ketika arus dan tegangan meningkat secara linear yang menandakan bahwa tidak ada *Coulomb Blockade* pada satu arah dan yang lainnya ketika perubahan arus bernilai non-zero (dalam Gambar 4.5, perubahan arus bertanda minus) sementara perubahan tegangan bernilai nol yang menunjukkan bahwa masih terjadi *Coulomb Blockade* pada arah berlawanan.



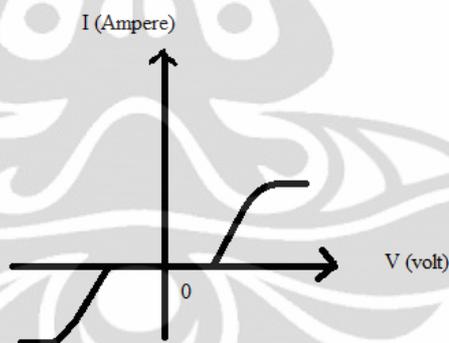
Gambar 4.5 Kurva I-V Berbentuk Mata Gergaji (Saw Tooth) dari TBTJ SET

Pada Gambar 4.6, *Coulomb Blockade* dan *Coulomb Staircase* terjadi pada polaritas yang berlawanan dari Gambar 4.1. Kejadian serupa juga dapat terjadi pada kurva I-V non-ideal SET.



Gambar 4.6. Kurva I-V dari Ideal SET pada Polaritas Negatif

Bentuk kurva I-V yang terakhir ditunjukkan pada Gambar 4.7 yang memperlihatkan fenomena *Coulomb Blockade* terjadi secara eksponensial.



Gambar 4.7. Kurva I-V Berbentuk Eksponensial dari Non-ideal SET

4.1 Struktur DBTJ

Faktor-faktor dasar beserta efeknya terhadap kurva I-V yang dianalisis pada struktur DBTJ adalah C_1 , C_2 , R_1 , R_2 , T , and Q_0 dan ditunjukkan pada Tabel 4.1.

Tabel 4.1 Faktor-faktor Dasar yang Dianalisa dan Bentuk Kurva I-V yang Dihasilkan pada Struktur DBTJ

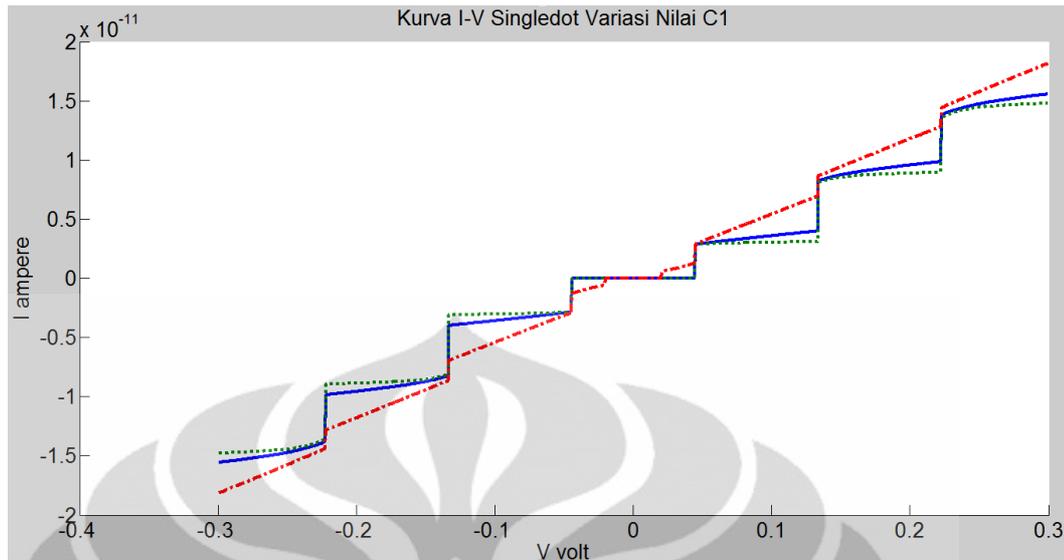
Faktor X	Karakteristik Kurva I-V		
	X_0	Jika X baru $< X_0$	Jika X baru $> X_0$
C_1	Gambar 4.7	Gambar 4.7	Gambar 4.2
C_2	Gambar 4.7	Gambar 4.7	Gambar 4.2
R_1	Gambar 4.7	Gambar 4.2	Gambar 4.7
R_2	Gambar 4.7	Gambar 4.7	Gambar 4.2
T	Gambar 4.7	Gambar 4.7	Gambar 4.2
Q_0	Gambar 4.7	Gambar 4.7	Gambar 4.7

Nilai X_0 : $C_1 = 3,9 \times 10^{-19}$ F; $C_2 = 1,8 \times 10^{-18}$ F; $T = 100$ K; $R_1 = 150$ M Ω ;

$R_2 = 15$ G Ω ; $Q_0 = 0$

4.1.1 Variasi Kapasitansi

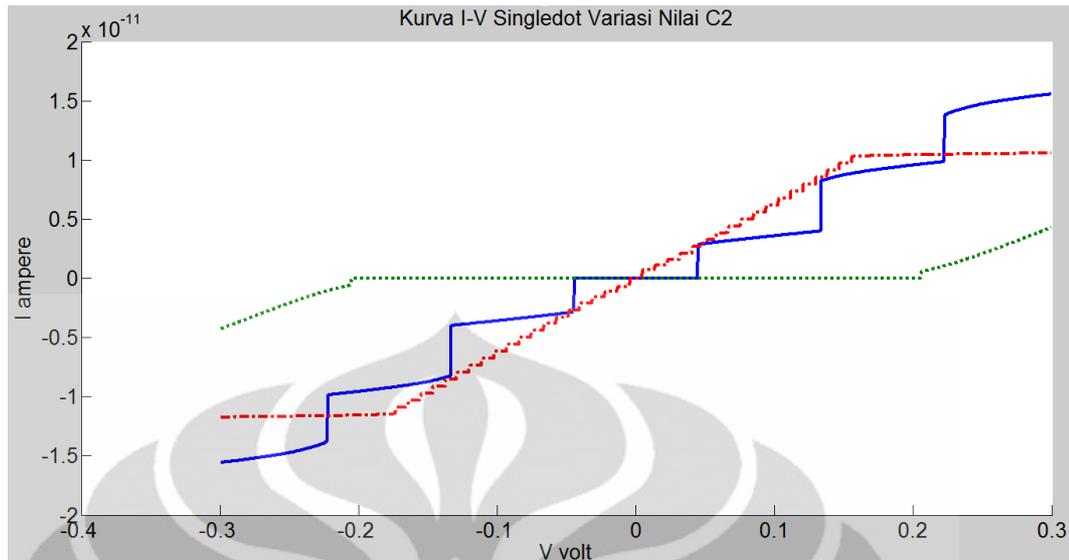
Jumlah kapasitansi yang diselidiki adalah dua buah, yaitu C_1 dan C_2 . Pada paramete C_1 , jika nilai barunya lebih rendah dari nilai awalnya (X_0), bentuk *Coulomb Staircase* akan menyerupai kurva eksponensial seperti pada Gambar 4.8. Besarnya perubahan arus (tinggi step/ *step height*) yang diakibatkan left-over electron (ketika fasa charging) akan berkurang (mendekati nol) seiring dengan pengurangan nilai C_1 . Namun, nilai step height pada fasa discharging (ketika elektron melakukan tunnel menembus *energy barrier*) akan bertambah seiring pengurangan nilai C_1 . Sifat eksponensial pada kurva I-V juga berkurang. Hal itu dapat dilihat dari berkurangnya kelengkungan step. Hal yang berbeda terjadi ketika nilai C_1 dinaikkan. Kualitas dari *Coulomb Staircase* tidak berubah, tetap berbentuk kurva eksponensial seperti pada Gambar 4.8 meskipun ada tanda-tanda melemahnya karaktersitik eksponensial seiring dengan pengurangan nilai C_1 . Namun, besar *step height* pada fasa charging akan meningkat sedangkan *step height* pada fasa discharging akan berkurang seiring dengan pertambahan nilai C_1 . Gambar 4.8 memperlihatkan kurva I-V sebagai akibat dari variasi parameter C_1 .



C_1 solid = $3,9 \times 10^{-19}$ F; C_1 dotted = $3,9 \times 10^{-20}$ F; C_1 dashdot = $3,9 \times 10^{-18}$ F

Gambar 4.8 Kurva I-V pada Variasi Parameter C_1 Struktur DBTJ

Ketika parameter C_2 divariasikan, apabila nilai barunya lebih besar dari nilai awalnya, kurva I-V tidak akan mengalami perubahan dalam kualitas atau dengan kata lain masih memiliki karakteristik eksponensial. Perbedaan yang tampak adalah meningkatnya *step height* (perubahan arus) dan *step width* (perubahan tegangan). Dalam kasus yang ekstrem, hanya ada satu *Coulomb Staircase* yang teramati apabila rentang arus dan tegangan tidak diubah. Efek sebaliknya akan terjadi apabila parameter C_2 diperbesar dari nilai awalnya. *Step height* dan *step width* akan berkurang atau dengan kata lain, dalam rentang arus dan tegangan yang sama dengan pada nilai awal, jumlah *Coulomb Staircase* yang teramati akan lebih banyak dari sebelumnya. Perlu diperhatikan bahwa nilai C_2 ketika diperbesar mendekati batas kritis yang ditentukan untuk memenuhi persyaratan *Coulomb Blockade*, yaitu $1,819 \times 10^{-17}$ F. Dapat dilihat dari Gambar 4.9 yang memperlihatkan kurva I-V sebagai akibat dari variasi parameter C_2 bahwa proses *Coulomb Blockade* terhenti pada nilai V yang lebih besar karena sudah tidak memenuhi persyaratan *Coulomb Blockade*.

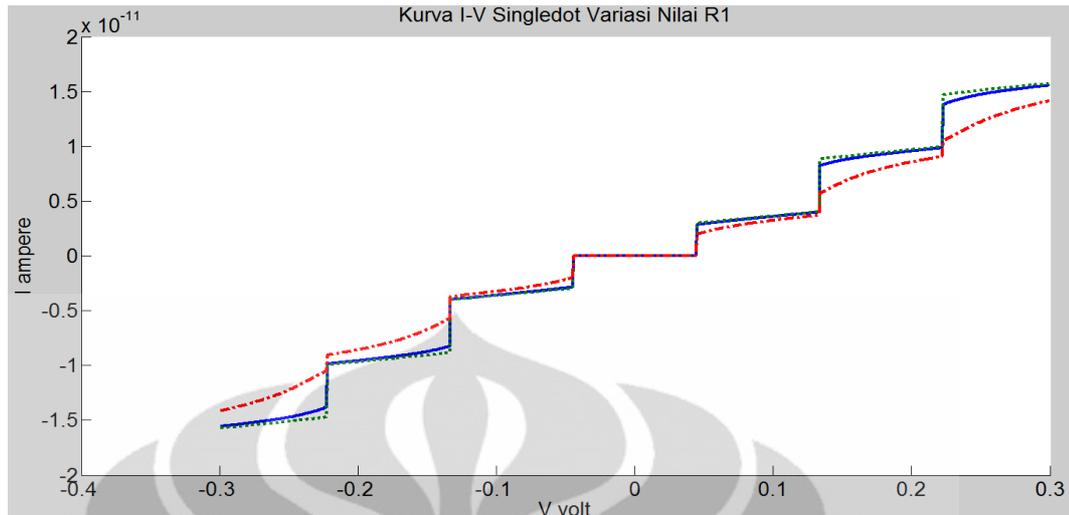


C_2 solid = $1,8 \times 10^{-18}$ F; C_2 dotted = $1,8 \times 10^{-19}$ F; C_2 dashdot = $1,8 \times 10^{-17}$ F

Gambar 4.9 Kurva I-V pada Variasi Parameter C_2 Struktur DBTJ

4.1.2 Variasi Resistansi

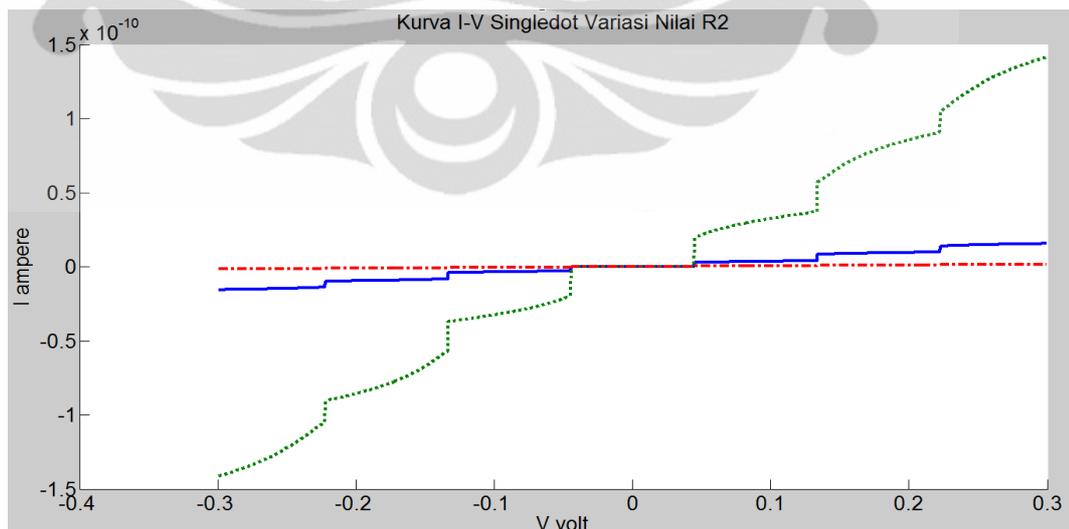
Parameter berikutnya adalah resistansi. Terdapat dua macam resistansi, yaitu R_1 dan R_2 . Apabila parameter R_1 diperkecil dari nilai awalnya, kurva I-V akan mulai kehilangan karakteristik eksponensial sehingga bentuk *Coulomb Staircase* akan semakin menyerupai Gambar 4.2. Selain itu, nilai *step height* (perubahan arus) akan bertambah. Kendati demikian, jika parameter R_1 dinaikkan dari nilai awalnya, kualitas kurva I-V tetap mengandung karakteristik eksponensial, bahkan kelengkungannya bertambah yang menunjukkan bahwa sifat *Coulomb Staircase* semakin eksponensial. Perbedaan yang tampak adalah *step height* yang semakin berkurang nilainya seiring dengan peningkatan nilai R_1 . Gambar 4.10 memperlihatkan kurva I-V sebagai akibat dari variasi parameter R_1 .



R_1 solid = 150 M Ω ; R_1 dotted = 15 M Ω ; R_1 dashdot = 1,5 G Ω

Gambar 4.10 Kurva I-V pada Variasi Parameter R_1 Struktur DBTJ

Hal yang berlawanan dari parameter R_1 akan terjadi apabila parameter R_2 yang divariasikan. Jika nilai R_2 diperkecil dari nilai awalnya, kualitas *Coulomb Staircase* akan semakin mendekati kurva eksponensial dan perbedaan yang teramati adalah *step height* (perubahan arus) yang semakin bertambah. Di lain pihak, apabila nilai R_2 diperbesar dari nilai awalnya, *Coulomb Staircase* akan mulai kehilangan karakteristik eksponensial dan *step height* semakin kecil. Gambar 4.11 memperlihatkan kurva I-V sebagai akibat dari variasi parameter R_2 .

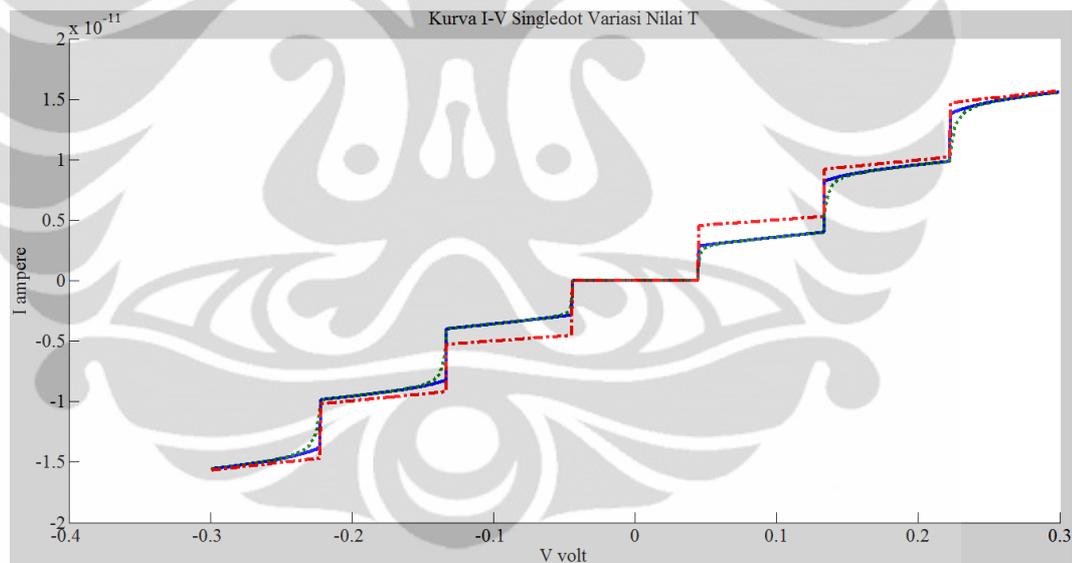


R_2 solid = 15 G Ω ; R_2 dotted = 1,5 G Ω ; R_2 dashdot = 150 G Ω

Gambar 4.11 Kurva I-V pada Variasi Parameter R_2 Struktur DBTJ

4.1.3 Variasi Temperatur

Efek yang similar dengan variasi resistansi terjadi pada kurva I-V ketika parameter temperatur dinaikkan atau diturunkan dari nilai awalnya. Ketika temperatur dinaikkan dari nilai awalnya, *Coulomb Staircase* akan mulai kehilangan karakteristik eksponensial sedangkan nilai *step height* di sekitar zero bias yang diukur akan bertambah nilainya apabila rentang nilai arus dan tegangan tetap sama dengan rentang pada nilai awal. Namun, ketika temperatur diturunkan dari nilai awalnya, karakteristik eksponensial pada kurva I-V akan semakin terlihat menguat dari sebelumnya dan nilai *step height* di sekitar zero bias yang dihasilkan akan lebih kecil nilainya daripada *step height* pada temperatur awal. Daerah zero bias adalah daerah di mana arus dan tegangan bernilai mendekati nol. Gambar 4.12 memperlihatkan kurva I-V sebagai akibat dari variasi parameter T.



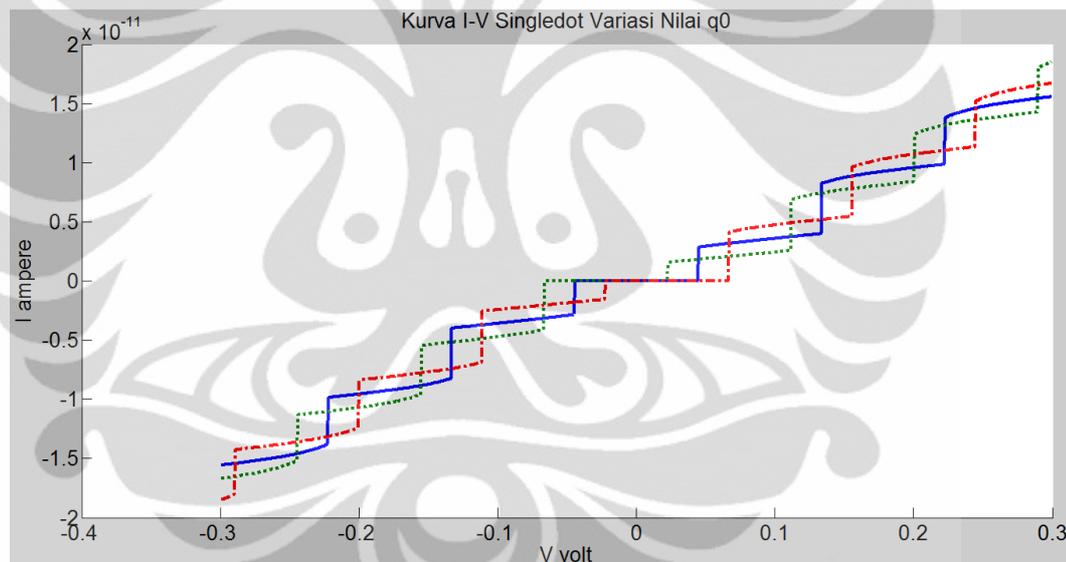
T solid = 100 K; T dotted = 4,2 K; T dashdot = 500 K

Gambar 4.12 Kurva I-V pada Variasi Parameter T Struktur DBTJ

4.1.4 Variasi Impuritas

Parameter terakhir yang diselidiki adalah impuritas. Pada analisis-analisis sebelum bagian ini, diasumsikan tidak ada impuritas di dalam divais. Sekarang, analisis memperhitungkan pengaruh impuritas (Q_0) terhadap kurva karakteristik I-V. Apabila impuritas bermuatan negatif, kurva I-V akan mengalami pergeseran

ke kiri dari posisi awal (tanpa impuritas). Sebaliknya, apabila impuritas bermuatan positif, kurva I-V akan mengalami pergeseran ke kanan dari posisi awal (tanpa impuritas). Kualitas grafik dari kedua variasi impuritas tersebut tetap mengandung karakteristik eksponensial. Hal ini cukup menarik karena dengan mengontrol impuritas, kita dapat menentukan arah pergeseran kurva I-V. Namun, pengaruh impuritas terhadap parameter lainnya, yaitu kapasitansi, resistansi, dan temperatur juga perlu diperhitungkan. Gambar 4.13 memperlihatkan kurva I-V sebagai akibat dari variasi parameter Q_0 .



Q_0 solid = 0; Q_0 dotted = -0,25e; Q_0 dashdot = 0,25e

Gambar 4.13 Kurva I-V pada Variasi Parameter Q_0 Struktur DBTJ

4.2 Struktur TBTJ

Faktor-faktor dasar dan efeknya terhadap kurva karakteristik I-V (arus-tegangan) pada struktur TBTJ adalah C_1 , C_2 , C_3 , R_1 , R_2 , R_3 , T , Q_{01} , and Q_{02} dan ditunjukkan pada Tabel 4.2.

Tabel 4.2 Faktor-faktor Dasar yang Dianalisa dan Bentuk Kurva I-V yang Dihasilkan pada Struktur TBTJ

Faktor X	Karakteristik Kurva I-V		
	X_0	Jika X baru $< X_0$	Jika X baru $> X_0$
C_1	Gambar 4.4	Gambar 4.3	Gambar 4.5
C_2	Gambar 4.4	Gambar 4.4	Gambar 4.4
C_3	Gambar 4.4	Gambar 4.6 (ideal TBTJ negative)	Gambar 4.2
R_1	Gambar 4.4	Gambar 4.4	Gambar 4.4
R_2	Gambar 4.4	Gambar 4.4	Gambar 4.4
R_3	Gambar 4.4	Gambar 4.4	Gambar 4.4
T	Gambar 4.4	Gambar 4.4	Gambar 4.4
Q_{01}	Gambar 4.4	Gambar 4.4	Gambar 4.4
Q_{02}	Gambar 4.4	Gambar 4.4	Gambar 4.4

Nilai X_0 : $C_1 = 12 \times 10^{-19}$ F; $C_2 = 14 \times 10^{-19}$ F; $C_3 = 28 \times 10^{-19}$ F; $T = 4,2$ K; $R_1 = R_3 = 10$ M Ω ;

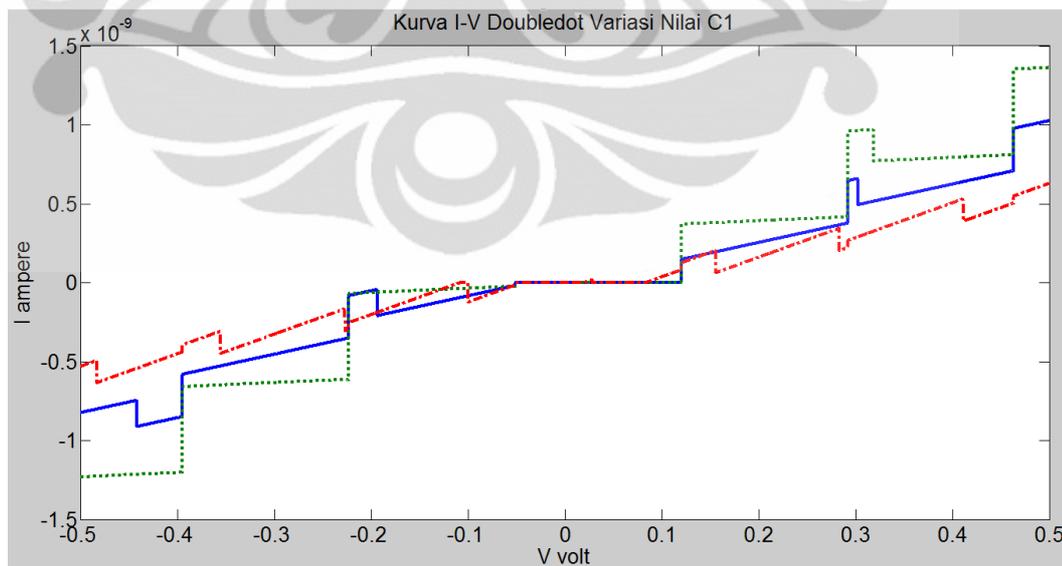
$$R_2 = 280 \text{ M}\Omega; \quad Q_{01} = -0,2e; \quad Q_{02} = 0,28e$$

Dari Tabel 4.2, dapat dilihat bahwa dari keempat parameter yang diselidiki, kapasitansi merupakan parameter yang mempunyai pengaruh paling besar dari parameter lainnya. Hal itu dapat dilihat dari kualitas kurva yang berubah cukup drastis pada variasi C_1 dan C_3 . Parameter C_1 dan C_3 merupakan kapasitansi antara tip terhadap grain 1 dan grain 2 terhadap substrat. Sekara kualitatif, variasi parameter C_2 tidak menunjukkan perubahan yang drastis. Divais pada struktur TBTJ lebih kompleks daripada struktur sebelumnya yang telah dianalisis karena pergeseran nilai kapasitansi dalam order 10^{-19} F saja sudah dapat mengubah besar arus dan tegangan yang diukur. Pada kasus yang lebih ekstrim, kualitas kurva I-V sudah berubah drastis seperti yang terjadi pada parameter C_1 dan C_3 . Dalam simulasi yang dilakukan oleh Penulis, perbandingan antara ketiga kapasitansi yang ada adalah $C_1 < C_2 < C_3$ (C_1 nilai terkecil, C_3 nilai terbesar, dan C_2 merupakan nilai di antara C_1 dan C_3). Dengan mengubah perbandingan antara ketiga kapasitansi yang ada, kualitas kurva I-V sudah berubah drastis.

Pada ketiga parameter lainnya, pergeseran nilai dari nilai awal hanya mengubah besar arus atau tegangan yang diukur atau menggeser kurva ke kiri/kanan dari posisi semula tanpa mengubah kualitas kurva I-V. Perubahan pada parameter resistansi R_1 dan R_3 tidak akan mengubah drastis kualitas kurva I-V apabila nilai dari kedua parameter tersebut berada dalam skala lebih besar dari puluhan megaohm. Kurva I-V mulai menunjukkan perubahan dalam skala satuan megaohm hingga puluhan kiloohm. Lain halnya dengan parameter R_2 , yang nilainya lebih rentan terhadap perubahan arus-tegangan apabila parameter R_2 diubah dengan jenjang nilai beberapa megaohm saja. Untuk parameter temperatur dan impuritas, efeknya terhadap kurva I-V tidak berbeda banyak dengan efek temperatur dan impuritas pada struktur DBTJ.

4.2.1 Variasi Kapasitansi

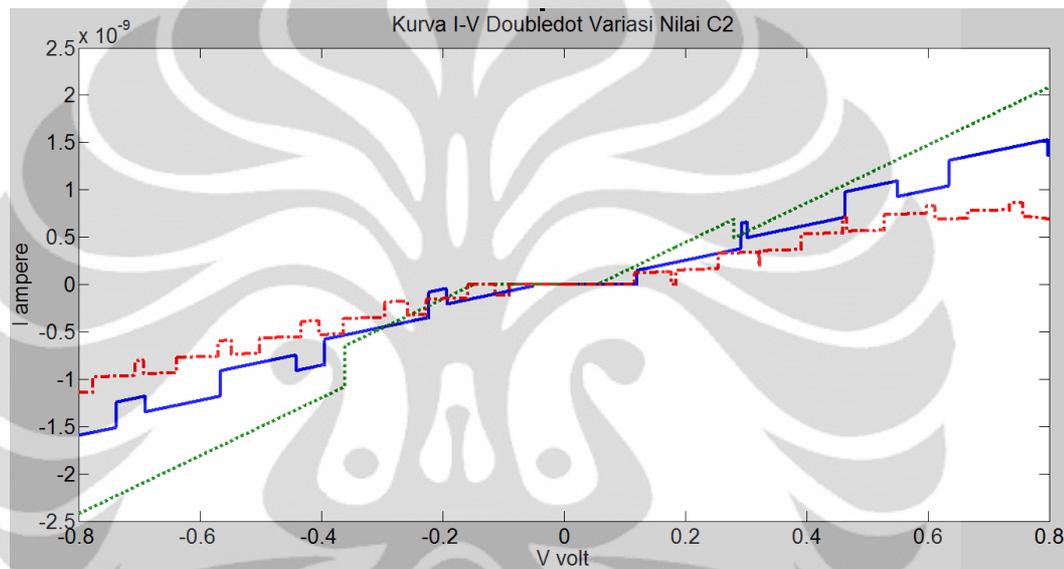
Efek dari variasi parameter C_1 adalah berubahnya tipe kurva I-V adalah mengubah nilai *step height* dan *step width* serta mengubah kualitas dari kurva I-V, dalam hal ini membuat kurva menjadi kurva I-V yang ideal (C_1 diperkecil) atau non-ideal (C_1 diperbesar) serta mengubah kurva I-V menjadi bentuk mata gergaji. Gambar 4.14 memperlihatkan kurva I-V sebagai akibat dari variasi parameter C_1 .



C_1 solid = 12×10^{-19} F; C_1 dotted = 12×10^{-20} F; C_1 dashdot = 12×10^{-18} F

Gambar 4.14 Kurva I-V pada Variasi Parameter C_1 Struktur TBTJ

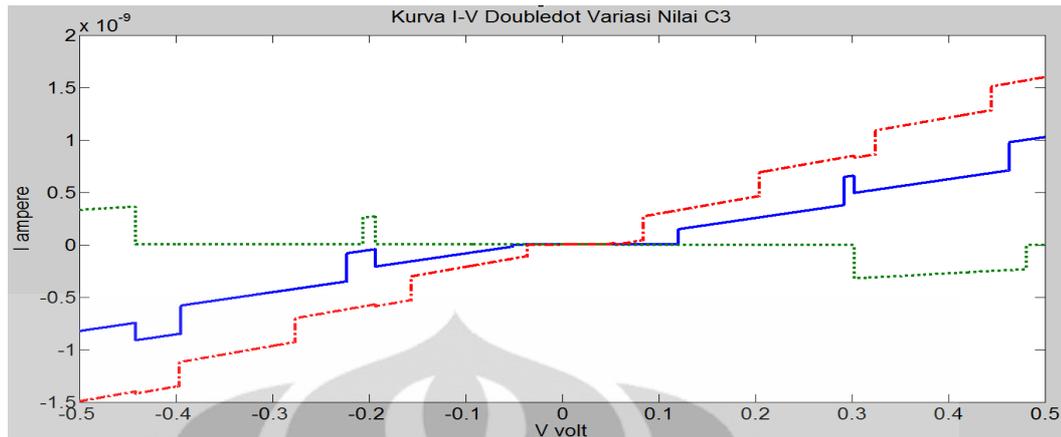
Pada parameter C_2 , apabila nilainya divariasikan, efek yang dapat diamati adalah berubahnya nilai *step width* dan *step weight* serta kualitas kurva I-V semakin ideal (C_2 diperbesar) atau non-ideal (C_2 diperkecil). Gambar 4.15 memperlihatkan kurva I-V sebagai akibat dari variasi parameter C_2 .



C_2 solid = 14×10^{-19} F; C_2 dotted = 14×10^{-20} F; C_2 dashdot = 14×10^{-18} F

Gambar 4.15 Kurva I-V pada Variasi Parameter C_2 Struktur TBTJ

Untuk parameter C_3 , variasi nilai akan mengakibatkan berubahnya nilai *step width* dan *step height*, membuat kurva I-V semakin ideal (C_3 diperkecil) atau non-ideal (C_3 diperbesar), dapat mengubah arah polaritas grafik pada kurva I-V bila nilai C_3 diperkecil, dan mengubah kurva I-V menyerupai karakteristik kurva I-V pada struktur DBTJ bila nilai C_3 diperbesar. Gambar 4.16 memperlihatkan kurva I-V sebagai akibat dari variasi parameter C_3 .

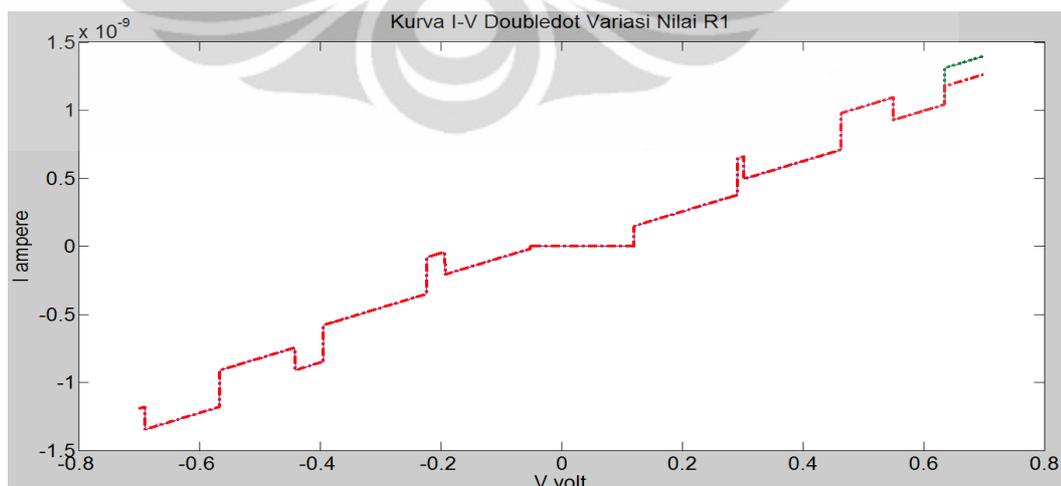


C_3 solid = 28×10^{-19} F; C_3 dotted = 28×10^{-20} F; C_3 dashdot = 28×10^{-18} F

Gambar 4.16 Kurva I-V pada Variasi Parameter C_3 Struktur TBTJ

4.2.2 Variasi Resistansi

Parameter pertama yang akan dibahas dari ketiga variasi nilai resistansi dan efeknya terhadap kurva I-V adalah parameter R_1 . Apabila nilai R_1 berada dalam skala puluhan $M\Omega$ ke atas, kurva I-V tidak menunjukkan perubahan apa pun. Namun, kurva I-V akan menunjukkan perubahan dalam bentuk pengurangan *step height* pada nilai tegangan yang lebih positif untuk nilai R_1 lebih kecil dari satuan $M\Omega$ (antara 0,65 – 0,7 V pada Gambar 4.17 apabila nilai R_1 dibawa ke skala 50 $K\Omega$). Gambar 4.17 memperlihatkan kurva I-V sebagai akibat dari variasi parameter R_1 .

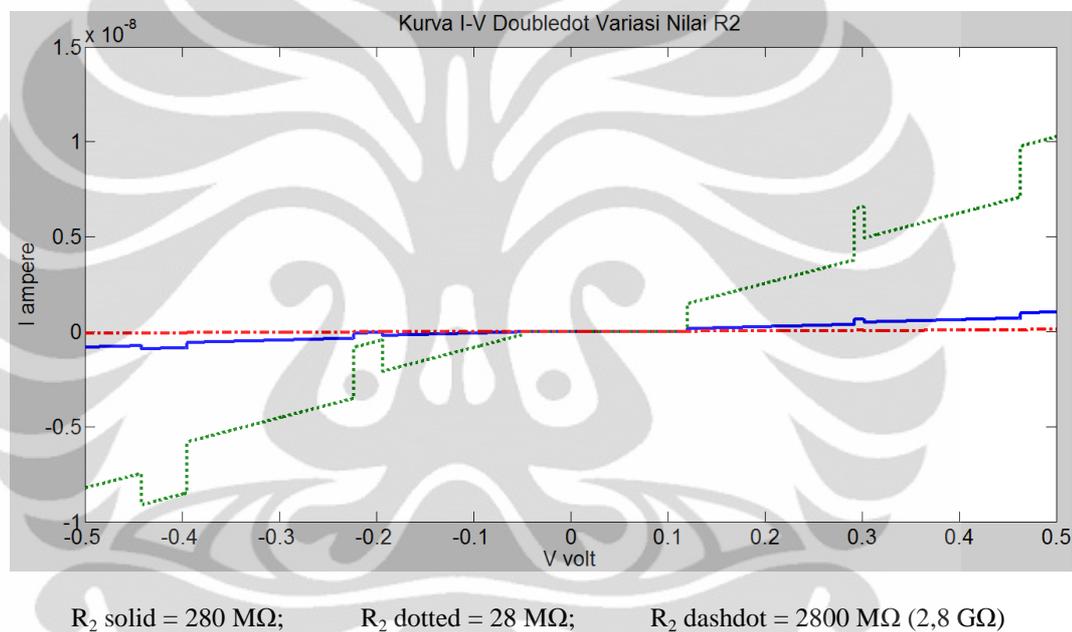


R_1 solid = 10 $M\Omega$; R_1 dotted = 10 $G\Omega$; R_1 dashdot = 50 $K\Omega$

Gambar 4.17 Kurva I-V pada Variasi Parameter R_1 Struktur TBTJ

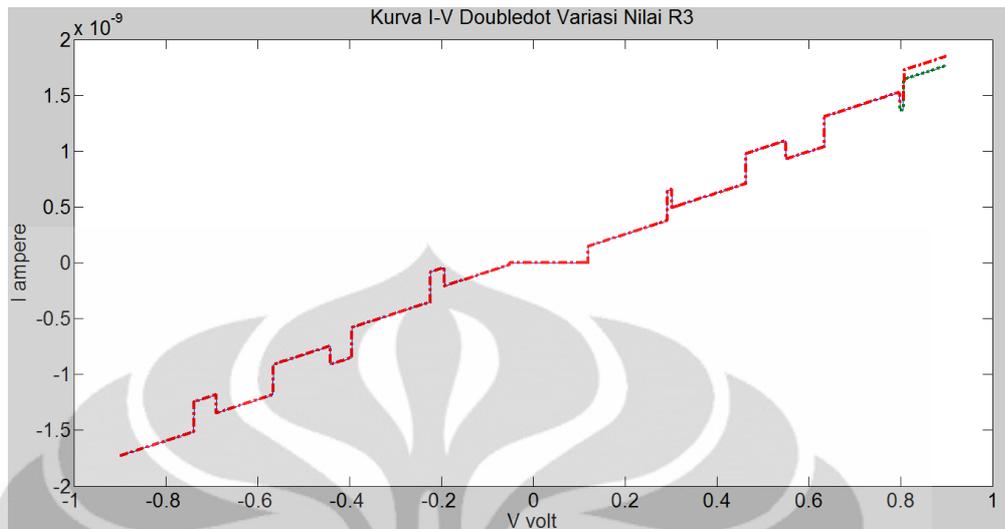
Universitas Indonesia

Efek yang berbeda dari R_1 akan terlihat pada variasi parameter R_2 di mana perubahan *step height* akan terjadi pada perubahan nilai R_2 yang tidak seekstrim perubahan pada R_1 . *Step height* membesar apabila R_2 diperkecil dan mengecil apabila R_2 diperbesar. Gambar 4.18 memperlihatkan kurva I-V sebagai akibat dari variasi parameter R_2 .



Gambar 4.18 Kurva I-V pada Variasi Parameter R_2 Struktur TBTJ

Parameter R_3 memperlihatkan efek yang sama dengan variasi R_1 terhadap kurva I-V apabila parameter R_3 divariasikan. Perbedaannya adalah *step height* akan membesar pada nilai V yang lebih positif untuk nilai R_3 dalam skala lebih kecil dari satuan MΩ (sekitar 0,8 - 0,85 V pada Gambar 4.19 apabila nilai R_3 diperkecil ke skala 30 KΩ). Perlu diketahui bahwa nilai resistansi tidak bisa dibuat lebih rendah dari 26 KΩ sebagai syarat untuk dapat mengamati fenomena *Coulomb Blockade* dengan jelas. Gambar 4.19 memperlihatkan kurva I-V sebagai akibat dari variasi parameter R_3 .

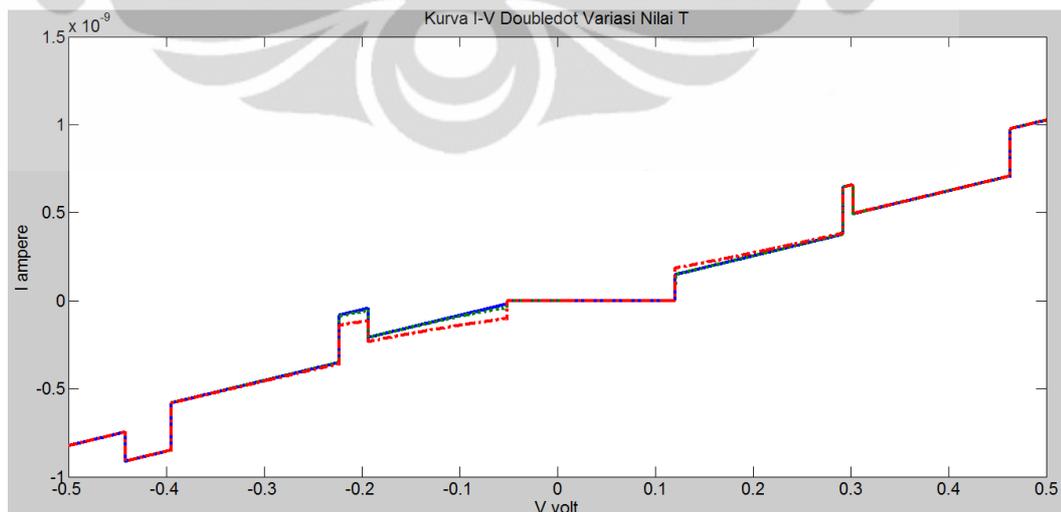


R_3 solid = 10 M Ω ; R_3 dotted = 10 G Ω ; R_3 dashdot = 30 K Ω

Gambar 4.19 Kurva I-V pada Variasi Parameter R_3 Struktur TBTJ

4.2.3 Variasi Temperatur

Variasi pada parameter temperatur akan mengubah besar *step height* di sekitar daerah zero bias. *Step height* di sekitar zero bias akan membesar bila temperatur diperbesar sedangkan nilainya mengecil bila temperatur diperkecil. Gambar 4.20 memperlihatkan kurva I-V sebagai akibat dari variasi parameter T.



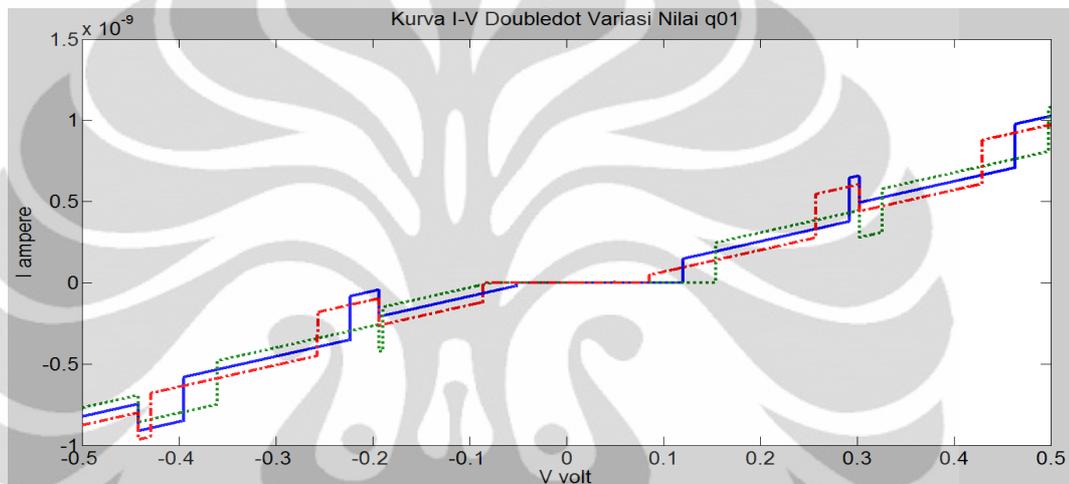
T solid = 4,2 K; T dotted = 100 K; T dashdot = 300 K

Gambar 4.20 Kurva I-V pada Variasi Parameter T Struktur TBTJ

Universitas Indonesia

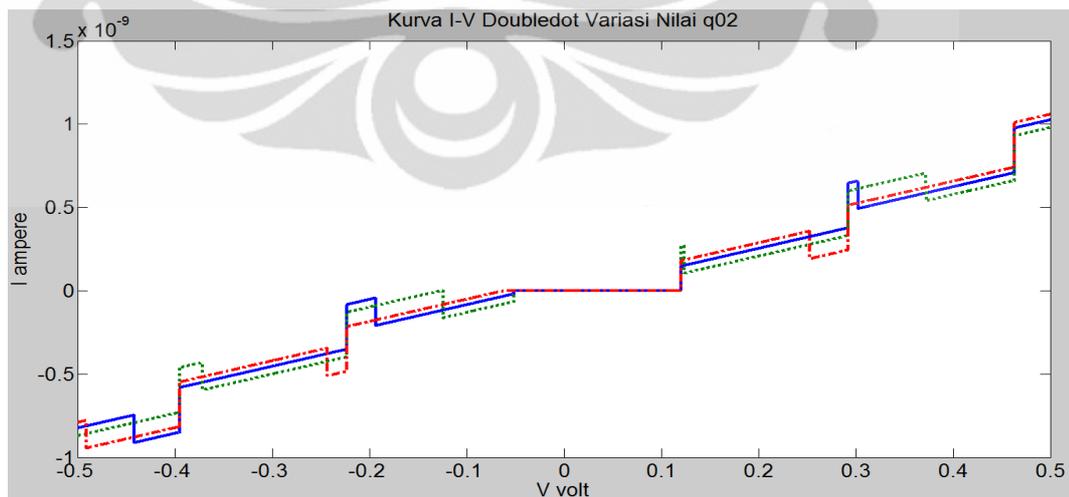
4.2.4 Variasi Impuritas

Efek dari variasi impuritas terhadap kurva I-V adalah bergesernya nilai *step width* dan *step height* serta posisi grafik yang bergeser. Perbedaan dari struktur DBTJ adalah impuritas yang terdapat pada dua dot, dot 1 (daerah yang mencakup C_1, R_1 dan C_2, R_2) dan dot 2 (daerah yang mencakup C_2, R_2 dan C_3, R_3 dari). Gambar 4.21 dan Gambar 4.22 memperlihatkan kurva I-V sebagai akibat dari variasi parameter Q_{01} dan Q_{02} .



Q_{01} solid = $-0,2e$; Q_{01} dotted = $-0,4e$; Q_{01} dashdot = 0

Gambar 4.21 Kurva I-V pada Variasi Parameter Q_{01} Struktur TBTJ



Q_{02} solid = $0,28e$; Q_{02} dotted = 0; Q_{02} dashdot = $0,48e$

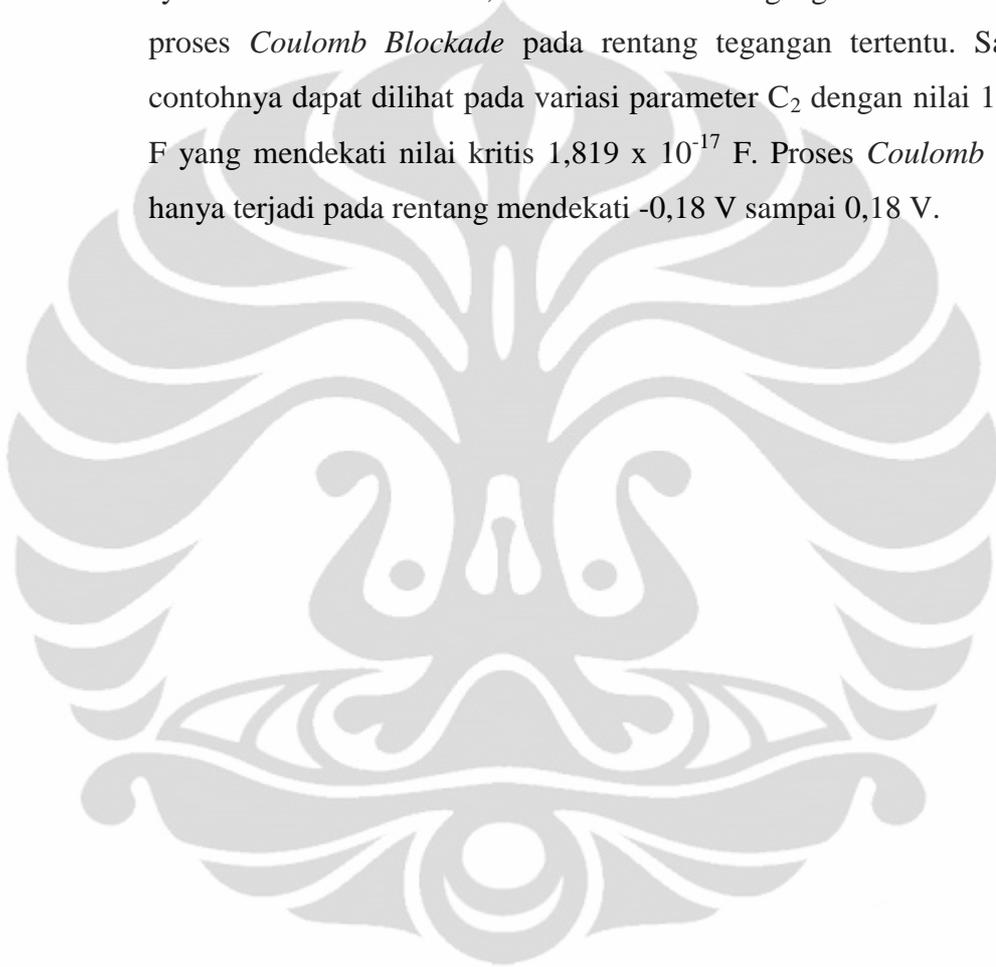
Gambar 4.22 Kurva I-V pada Variasi Parameter Q_{02} Struktur TBTJ

BAB 5. KESIMPULAN

Dari bab-bab sebelumnya, beberapa kesimpulan dapat dilihat pada bagian di bawah ini.

- a. Dari keempat parameter kerja yang divariasikan, parameter kapasitansi merupakan parameter yang mempunyai pengaruh paling signifikan untuk struktur dengan tiga kapasitor.
- b. Efek-efek yang timbul sebagai hasil dari variasi keempat parameter kerja adalah mengubah karakteristik eksponensial/ideal pada kurva I-V serta perubahan nilai pada *step width* (perubahan tegangan) dan/atau *step height* (perubahan arus) pada struktur *Coulomb Staircase*. Perkecualian adalah perubahan drastis pada bentuk grafik, seperti bentuk *saw tooth* serta pergeseran kurva I-V sebagai hasil variasi pada parameter impuritas (*background charge*).
- c. Pada struktur DBTJ, peningkatan nilai parameter akan mengubah karakteristik eksponensial menjadi non-ideal sedangkan pengurangan nilai parameter akan menjaga karakteristik tetap eksponensial. Perkecualian adalah pada parameter R_1 dan Q_0 .
- d. Pada struktur TBTJ, perubahan nilai parameter tidak akan mengubah kualitas dari kurva I-V yang bersifat non-ideal. Perkecualian ada pada variasi parameter C_1 dan C_3 .
- e. Pada struktur TBTJ, hanya perubahan resistansi R_1 dan R_3 yang menunjukkan perubahan nilai *step-height* (perubahan arus) pada nilai tegangan yang lebih positif, mendekati 0,7 V pada R_1 dan mendekati 0,8-0,85 V pada R_3 untuk variasi nilai resistansi yang diubah dari 10 M Ω menjadi puluhan K Ω (dengan ketentuan di atas 26 K Ω).
- f. Pada struktur DBTJ, variasi parameter yang menghasilkan rentang arus terbesar ditunjukkan pada parameter R_2 , yaitu pada orde 10^{-10} hingga 10^{-11} A sementara variasi parameter lain berkisar di orde 10^{-11} A dengan rentang tegangan -0,3 sampai 0,3 V. Hal serupa juga terjadi pada variasi parameter R_2 untuk struktur TBTJ di mana rentang arus yang dihasilkan adalah 10^{-8} hingga 10^{-9} A sementara variasi parameter lain berkisar di orde 10^{-9} A.

- g. Variasi parameter pada struktur TBTJ menghasilkan perubahan rentang arus yang lebih besar daripada struktur DBTJ. Rentang arus pada struktur DBTJ dalam orde 10^{-10} hingga 10^{-11} A sementara pada struktur TBTJ dalam orde 10^{-8} hingga 10^{-9} A.
- h. Ketika salah satu parameter dibuat mendekati nilai kritis untuk memenuhi syarat *Coulomb Blockade*, karakteristik arus-tegangan akan menunjukkan proses *Coulomb Blockade* pada rentang tegangan tertentu. Salah satu contohnya dapat dilihat pada variasi parameter C_2 dengan nilai $1,8 \times 10^{-17}$ F yang mendekati nilai kritis $1,819 \times 10^{-17}$ F. Proses *Coulomb Blockade* hanya terjadi pada rentang mendekati $-0,18$ V sampai $0,18$ V.



DAFTAR REFERENSI

- [1] Devoret, Michel H., & Schoelkopf, Robert J. (2000, August 31). Amplifying quantum signals with the single-electron transistor. *Nature* 406, 1039-1046. http://www.nature.com/nature/journal/v406/n6799/fig_tab/4061039a0_F3.html.
- [2] Nuryadi, Ratno. (2010). Kuliah Nanoelektronika Fakultas Teknik Universitas Indonesia Depok.
- [3] Haryono, Agus, & Nuryadi, Ratno. (2010). Numerical Simulation of Single Electron Transistor using Master Equation. *Proc. of SPIE*, Vol. 7743 77430L-1.
- [4] Bar-Sadeh, E., dkk. (1995). Low Temperature Scanning Tunneling Microscopy Studies of Granular Metal Films. *J.Vac.Sci. Technol. B13(3)*, 0734-211X/95/13(3)/1084/5/\$6.00.
- [5] K. Matsumoto. Single Electron Transistors. <http://luciano.stanford.edu/~shimbo/set.html>
- [6] Booker, Richard, & Boysen, Earl. (2005). *Nanotechnology For Dummies*. New Jersey: Wiley Publishing Inc.
- [7] Hanson, George W. (2008). *Fundamentals of Nanoelectronics*. New Jersey: Pearson Prentice Hall.
- [8] Kaur, Manjit, & Kumar, Om. (2010). Single Electron Transistor: Applications & Problems. *International journal of VLSI design & Communication Systems (VLSICS)*, Vol.1, No.4, December 2010.
- [9] Wikipedia, the free encyclopedia. (n.d). *Coulomb blockade*. February 8, 2011. http://en.wikipedia.org/wiki/Coulomb_blockade