



UNIVERSITAS INDONESIA

**MODIFIKASI ALGORITMA *DIGITAL PHASE LOCKED LOOP* UNTUK
MENGATASI KONDISI *UNBALANCE* PADA PENGUKURAN SUDUT FASA,
FREKUENSI, DAN AMPLITUDO TEGANGAN LISTRIK TIGA FASA**

TESIS

Diajukan sebagai salah satu syarat untuk memperoleh gelar Magister Teknik

MOCH. IMAM AFANDI

1006734924

**FAKULTAS TEKNIK
PROGRAM STUDI TEKNIK ELEKTRO
KEKHUSUSAN TEKNIK KONTROL INDUSTRI
DEPOK
JUNI 2012**

PERNYATAAN ORISINALITAS

**Tesis ini adalah hasil karya saya sendiri,
dan semua sumber baik yang dikutip maupun dirujuk
telah saya nyatakan dengan benar.**

Nama : Moch. Imam Afandi

NPM : 1006734924

Tanda tangan:



Tanggal : 13 Juni 2012

HALAMAN PENGESAHAN

Tesis ini diajukan oleh:

Nama : Moch. Imam Afandi
NPM : 1006734924
Program Studi : Teknik Elektro
Judul Tesis : Modifikasi Algoritma *Digital Phase Locked Loop* Untuk Mengatasi Kondisi *Unbalance* Pada Pengukuran Sudut Fasa, Frekuensi, dan Amplitudo Tegangan Listrik Tiga Fasa

Telah berhasil dipertahankan di hadapan dewan penguji dan diterima sebagai bagian persyaratan yang diperlukan untuk memperoleh gelar Magister Teknik pada Program Studi Teknik Elektro, Fakultas Teknik, Universitas Indonesia.

DEWAN PENGUJI

Pembimbing : Dr. Ir. Feri Yusivar, M.Eng.

(.....)

Penguji : Dr. Ir. Ridwan Gunawan, MT

(.....)

Penguji : Dr. Abdul Halim, M.Eng.

(.....)

Penguji : Dr. Abdul Muis, ST, M.Eng.

(.....)

Ditetapkan di : Depok

Tanggal : 13 Juni 2012

UCAPAN TERIMA KASIH

Dengan mengucapkan puji syukur alhamdulillah kepada Allah Swt yang maha pengasih lagi maha penyayang serta hanya atas kehendak-Nya maka penulis dapat menyelesaikan penyusunan buku laporan tesis ini. Penyusunan tesis ini dilakukan dalam rangka memenuhi salah satu syarat untuk mencapai gelar Magister Teknik Jurusan Teknik Elektro pada Fakultas Teknik Universitas Indonesia. Penulis menyadari betapa besar dukungan dan bimbingan dari berbagai pihak, baik dari masa perkuliahan sampai pada penyusunan tesis ini.

Untuk itu penulis mengucapkan terima kasih yang sangat mendalam kepada :

1. Bapak Dr. Ir. Feri Yusivar, M.Eng., selaku dosen pembimbing yang telah menyediakan waktu, tenaga dan pikiran untuk memberikan masukan kepada penulis dalam penyusunan tesis ini.
2. Dosen-dosen yang telah mengajarkan ilmu yang sangat bermanfaat.
3. Kementerian Riset dan Teknologi (RISTEK) sebagai penyanggah dana beasiswa
4. Kedua orang tua atas do'a dan dorongannya
5. Istri tersayang dan kedua anak tercinta yang selalu memberikan semangat
6. Sahabat-sahabat satu bidang akademis yang selalu memberikan inspirasi saat berdiskusi dan bertukar pikiran.

Dan semoga tesis ini dapat membawa manfaat bagi pengembangan ilmu dan dapat diaplikasikan kepada masyarakat industri yang lebih luas.

Depok, 13 Juni 2012

Penulis

**HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI
TUGAS AKHIR UNTUK KEPENTINGAN AKADEMIS**

Sebagai sivitas akademik Universitas Indonesia, saya yang bertanda tangan di bawah ini:

Nama : Moch. Imam Afandi
NPM : 1006734924
Kekhususan : Teknik Kontrol Industri
Program Studi : Teknik Elektro
Fakultas : Teknik
Jenis karya : Tesis

demikian pengembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia **Hak Bebas Royalti Noneksklusif (*Non-exclusive Royalty-Free Right*)** atas karya ilmiah saya yang berjudul :

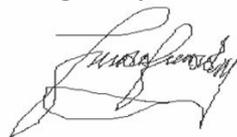
**MODIFIKASI ALGORITMA *DIGITAL PHASE LOCKED LOOP* UNTUK
MENGATASI KONDISI *UNBALANCE* PADA PENGUKURAN SUDUT FASA,
FREKUENSI, DAN AMPLITUDO TEGANGAN LISTRIK TIGA FASA**

beserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Indonesia berhak menyimpan, mengalihmedia/formatkan, mengelola dalam bentuk pangkalan data (*database*), merawat, dan memublikasikan tugas akhir saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai pemilik Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di : Depok
Pada tanggal : 13 Juni 2012

Yang menyatakan,



(Moch. Imam Afandi)

ABSTRAK

Nama : Moch. Imam Afandi
Program Studi : Teknik Elektro
Judul : Modifikasi Algoritma *Digital Phase Locked-Loop* Untuk Mengatasi Kondisi *Unbalance* Pada Pengukuran Sudut Fasa, Frekuensi, dan Amplitudo Tegangan Listrik Tiga Fasa

Tesis ini bertujuan untuk melakukan modifikasi algoritma digital *Phase Locked-Loop* (PLL) untuk mengatasi kondisi *unbalance* pada pengukuran tegangan listrik tiga fasa. Kondisi *unbalance* pada sistem tegangan listrik tiga fasa ini merupakan hal yang sering terjadi karena ketidaksetimbangan antar fasa yang biasanya disebabkan oleh gangguan beban, sumber dan/atau jalur distribusinya. Saat terjadi kondisi *unbalance* seringkali algoritma digital *Phase Locked-Loop* konvensional akan mengalami osilasi/*hunting* pada saat melakukan pengukuran parameter sudut fasa, frekuensi dan amplitudo dari sinyal tegangan listrik tiga fasa. Padahal keakuratan informasi pengukuran parameter sudut fasa, frekuensi dan amplitudo sangat penting dibutuhkan dalam melakukan sistem sinkronisasi dan sistem proteksi pada peralatan pengkondisian daya. Sehingga diperlukan modifikasi pada algoritma digital PLL untuk mengatasi kondisi *unbalance* tersebut dengan menambahkan digital filter pada keluaran perhitungan algoritma PLL. Selain itu, untuk menjamin algoritma sesuai dengan hasil yang diharapkan maka perlu diperhatikan proses pengkondisi sinyal data dan waktu cuplik pengambilan sinyal data. Hasil yang diperoleh membuktikan bahwa modifikasi algoritma digital PLL dengan digital filter mempunyai respon yang lebih stabil pada saat kondisi *unbalance* dibandingkan dengan algoritma digital PLL konvensional dalam melakukan perhitungan parameter sudut fasa, frekuensi, dan amplitudo tegangan listrik tiga fasa.

Kata kunci: Algoritma digital *Phase Locked-Loop* (PLL), kondisi *unbalance*, sudut fasa, frekuensi, amplitudo, tegangan listrik tiga fasa.

ABSTRACT

Name : Moch. Imam Afandi
Study Program : Control Engineering
Title : Modified Digital Phase Locked-Loop Algorithm for Measurement of Phase Angles, Frequency, and Amplitude in Unbalance Condition of the Three-Phase Grid Voltage

This thesis aims to modify the digital Phase Locked-Loop (PLL) algorithm for measurement of phase angles, frequency, and amplitude in unbalance condition of the three-phase grid voltage. The condition of unbalance voltage in the three-phase grid is a thing that often happens due to imbalance between the phase that is usually caused by load disturbances, the source and/or distribution lines. When unbalance condition occurs, the conventional PLL algorithm will tend to have oscillation/hunting to estimate the parameter value of phase angles, frequency, and amplitude in the three-phase grid voltage. Whereas the precision of measurements of phase angles, frequency, and amplitude are the important information to make grid synchronization system and protection system for electronics power converter. In addition, to ensure the algorithm works properly so the signal conditioning and the time sampling must be more precise and accurate. The testing result obtained that the modified algorithm of digital PLL with digital filter has a more stable response in unbalance condition compared with the conventional PLL algorithm in order to calculate the estimation parameter of phase angles, frequency, and amplitude in the three-phase grid voltage.

Keywords: The digital Phase Locked-Loop (PLL) algorithm, unbalance condition, phase angles, frequency, amplitude, three-phase grid voltage.

DAFTAR ISI

HALAMAN JUDUL	i
PERNYATAAN ORISINALITAS	ii
LEMBAR PENGESAHAN	iii
UCAPAN TERIMA KASIH	iv
PERNYATAAN PERSETUJUAN PUBLIKASI KARYA ILMIAH	v
ABSTRAK	vi
DAFTAR ISI	viii
DAFTAR GAMBAR	x
BAB 1 PENDAHULUAN	1
1.1. Latar Belakang	1
1.2. Tujuan	1
1.3. Pembatasan Masalah	2
1.4. Susunan Penulisan	3
BAB 2 DASAR TEORI	4
2.1. Pengenalan Kondisi <i>Unbalance</i> Tegangan Listrik Tiga Fasa	4
2.2. Pengenalan Dasar Algoritma <i>Phase Locked-Loop</i> (PLL)	9
2.3. Algoritma <i>Synchronous Reference Frame</i> - PLL (SRF-PLL) ..	9
2.4. Algoritma <i>Dual Second Order Generalized Integrator</i> -PLL (DSOGI-PLL)	14
2.5. Algoritma Modifikasi SRF-PLL	16
BAB 3 DISAIN DAN DESKRIPSI SISTEM	19
3.1. Spesifikasi Modul Pengkondisi Sinyal Tegangan Listrik Tiga Fasa	19
3.2. Disain Rangkaian Tegangan Suplai	20
3.3. Disain Rangkaian Pengkondisi Sinyal Tegangan Listrik Tiga Fasa	21
3.4. Disain Rangkaian Mikrokontroler	22
3.5. Data Akuisisi NI PCI-6024E	23
3.6. Alat <i>AC Voltage Current Source Standard</i>	24
BAB 4 HASIL PENGUJIAN DAN ANALISIS	25
4.1. Kalibrasi Rangkaian Pengkondisi Sinyal Menggunakan Osiloskop	25
4.2. Pengujian Simulasi Algoritma SRF-PLL Untuk Sinyal Tiga Fasa	26
4.3. Pengujian Simulasi Algoritma SRF-PLL Tiga Fasa Untuk Frekuensi Berbeda-beda	29
4.4. Pengujian Simulasi Algoritma SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan <i>Sags</i>	31
4.5. Pengujian Simulasi Algoritma SRF-PLL Pada Tegangan Tiga Fasa <i>Unbalance</i>	35
4.6. Pengujian Simulasi Algoritma DSOGI-PLL Untuk Sinyal Tiga Fasa	39

4.7. Pengujian Simulasi Algoritma DSOGI-PLL Pada Frekuensi yang Berbeda	41
4.8. Pengujian Simulasi Algoritma DSOGI-PLL Tiga Fasa yang Salah Satu Fasa Mengalami Drop Tegangan <i>Sags</i>	42
4.9. Pengujian Simulasi Algoritma DSOGI-PLL Pada Tegangan Tiga Fasa <i>Unbalance</i>	45
4.10. Pengujian Simulasi Algoritma Modifikasi SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan <i>Sags</i>	47
4.11. Pengujian Simulasi Algoritma Modifikasi SRF-PLL Pada Tegangan Tiga Fasa <i>Unbalance</i>	49
4.12. Pengujian <i>Online</i> Algoritma SRF-PLL Tegangan Listrik Tiga Fasa	51
4.13. Pengujian <i>Online</i> Algoritma SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan <i>Sags</i>	56
4.14. Pengujian <i>Online</i> Algoritma SRF-PLL Pada Tegangan Tiga Fasa <i>Unbalance</i>	59
4.15. Pengujian <i>Online</i> Algoritma DSOGI-PLL Tegangan Listrik Tiga Fasa	61
4.16. Pengujian <i>Online</i> Algoritma DSOGI-PLL yang Salah Satu Fasa Mengalami Drop Tegangan <i>Sags</i>	64
4.17. Pengujian <i>Online</i> Algoritma DSOGI-PLL Pada Tegangan Tiga Fasa <i>Unbalance</i>	66
4.18. Pengujian <i>Online</i> Algoritma Modifikasi SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan <i>Sags</i>	68
4.19. Pengujian <i>Online</i> Algoritma Modifikasi SRF-PLL Pada Tegangan Tiga Fasa <i>Unbalance</i>	70
BAB 5 KESIMPULAN	72
DAFTAR REFERENSI	73

DAFTAR GAMBAR

Gambar 2.1	Ketiga <i>sequence symmetrical components</i>	3
Gambar 2.2	Penjumlahan vektor ketiga <i>sequence symmetrical components</i>	3
Gambar 2.3	Sistem tiga fasa yang <i>unbalance</i>	4
Gambar 2.4	Hubungan fasor dengan respon sinyal sinusoida pada domain waktu	5
Gambar 2.5	Rangkaian transformator <i>delta-wye</i> (Δ -Y)	6
Gambar 2.6	Ilustrasi blok diagram PLL	9
Gambar 2.7	Blok diagram algoritma SRF-PLL tiga fasa	10
Gambar 2.8	Hubungan fasor antara tegangan dq dan tegangan $\alpha\beta$	11
Gambar 2.9	Blok diagram sistem keluaran V_d	12
Gambar 2.10	Algoritma DSOGI-PLL	15
Gambar 2.11	Struktur SOGI	15
Gambar 2.12	Algoritma Modifikasi SRF-PLL	16
Gambar 2.13	Karakteristik respon frekuensi metode <i>lowpass filter</i>	17
Gambar 2.14	Disain IIR digital filter menggunakan <i>FDA Tool</i>	17
Gambar 3.1	Modul PCB pengujian algoritma PLL	20
Gambar 3.2	Rangkaian tegangan suplai	20
Gambar 3.3	Rangkaian pengkondisi sinyal tegangan listrik tiga fasa	21
Gambar 3.4	Simulasi rangkaian pengkondisi sinyal tegangan listrik tiga fasa	21
Gambar 3.5	Rangkaian pada mikrokontroler untuk mengurangi <i>noise</i> ADC	22
Gambar 3.6	Skematik rangkaian mikrokontroler	23
Gambar 3.7	Data Akuisisi PCI-6024E buatan <i>National Instruments</i>	24
Gambar 3.8	<i>AC Voltage Current Source Standard</i> buatan <i>Yokogawa Inc.</i>	24
Gambar 4.1	Kalibrasi rangkaian pengkondisi sinyal menggunakan osiloskop	25
Gambar 4.2	Blok diagram simulasi algoritma SRF-PLL tiga fasa	26
Gambar 4.3	Hasil respon simulasi algoritma SRF-PLL tiga fasa	27
Gambar 4.4	Hasil respon simulasi estimasi frekuensi SRF-PLL tiga fasa	28
Gambar 4.5	Hasil respon simulasi estimasi amplitudo SRF-PLL tiga fasa	29
Gambar 4.6	Hasil respon <i>error</i> estimasi PLL pada frekuensi yang berbeda	30
Gambar 4.7	Hasil komponen simetri jika V_c mengalami <i>sags</i>	31
Gambar 4.8	Hasil respon transformasi <i>Clarke</i> tegangan tiga fasa yang salah satu fasa mengalami drop tegangan <i>sags</i>	32
Gambar 4.9	Hasil respon estimasi frekuensi dan amplitudo algoritma SRF-PLL saat salah satu fasa mengalami drop tegangan <i>sags</i>	33
Gambar 4.10	Hasil respon beda fasa algoritma SRF-PLL pada kondisi salah satu fasa mengalami drop tegangan <i>sags</i> dengan sinyal <i>balance</i>	34
Gambar 4.11	Hasil perbesaran respon beda fasa algoritma SRF-PLL sinyal tegangan <i>sags</i> dengan sinyal <i>balance</i>	34

Gambar 4.12	Hasil komponen simetri jika terjadi tegangan <i>unbalance</i>	35
Gambar 4.13	Hasil respon transformasi <i>Clarke</i> pada kondisi <i>unbalance</i>	36
Gambar 4.14	Hasil respon estimasi frekuensi dan amplitudo algoritma SRF-PLL pada kondisi <i>unbalance</i>	37
Gambar 4.15	Hasil respon beda fasa algoritma SRF-PLL pada kondisi sinyal <i>unbalance</i> dengan sinyal <i>balance</i>	38
Gambar 4.16	Hasil perbesaran respon beda fasa algoritma SRF-PLL pada kondisi sinyal <i>unbalance</i> dengan sinyal <i>balance</i>	38
Gambar 4.17	Blok diagram simulasi algoritma DSOGI-PLL tiga fasa	39
Gambar 4.18	Hasil respon simulasi algoritma DSOGI-PLL tiga fasa	39
Gambar 4.19	Hasil respon simulasi estimasi frekuensi DSOGI-PLL tiga fasa	40
Gambar 4.20	Hasil respon simulasi estimasi amplitudo DSOGI-PLL tiga fasa	40
Gambar 4.21	Hasil <i>error</i> estimasi algoritma DSOGI-PLL pada frekuensi berbeda	41
Gambar 4.22	Hasil respon transformasi <i>Clarke-SOGI</i> tegangan tiga fasa yang salah satu fasa mengalami drop tegangan <i>sags</i>	42
Gambar 4.23	Hasil respon estimasi frekuensi dan amplitudo algoritma DSOGI-PLL dan SRF-PLL saat mengalami tegangan <i>sags</i>	43
Gambar 4.24	Hasil respon beda fasa algoritma DSOGI-PLL pada kondisi salah satu fasa mengalami drop tegangan <i>sags</i> dengan sinyal <i>balance</i>	44
Gambar 4.25	Hasil perbesaran respon beda fasa algoritma DSOGI-PLL sinyal tegangan <i>sags</i> dengan sinyal <i>balance</i>	44
Gambar 4.26	Hasil respon estimasi frekuensi dan amplitudo algoritma DSOGI-PLL dan SRF-PLL pada kondisi <i>unbalance</i>	45
Gambar 4.27	Hasil respon beda fasa algoritma SRF-PLL pada kondisi sinyal <i>unbalance</i> dengan sinyal <i>balance</i>	46
Gambar 4.28	Hasil perbesaran respon beda fasa algoritma DSOGI-PLL pada kondisi sinyal <i>unbalance</i> dengan sinyal <i>balance</i>	46
Gambar 4.29	Hasil perbandingan respon estimasi frekuensi dan amplitudo algoritma PLL saat mengalami tegangan <i>sags</i>	47
Gambar 4.30	Hasil perbandingan respon <i>transient</i> estimasi frekuensi dan amplitudo algoritma PLL saat mengalami tegangan <i>sags</i>	48
Gambar 4.31	Hasil perbandingan respon estimasi frekuensi dan amplitudo algoritma PLL pada kondisi <i>unbalance</i>	49
Gambar 4.32	Hasil perbandingan respon <i>transient</i> estimasi frekuensi dan amplitudo algoritma PLL pada kondisi <i>unbalance</i>	50
Gambar 4.33	Instalasi akuisisi data dengan <i>analog input</i> NI PCI-6024E	51
Gambar 4.34	Blok diagram pengujian <i>online</i> algoritma SRF-PLL tiga fasa	52
Gambar 4.35	Setting parameter blok diagram <i>analog input</i> PCI-6024E	52
Gambar 4.36	Hasil respon <i>online</i> algoritma SRF-PLL tiga fasa	53
Gambar 4.37	Hasil pengukuran <i>online</i> sinyal tegangan tiga fasa	54
Gambar 4.38	Hasil respon perhitungan <i>online</i> transformasi <i>Clarke</i>	54
Gambar 4.39	Hasil respon <i>online</i> estimasi frekuensi algoritma SRF-PLL ...	55
Gambar 4.40	Hasil respon <i>online</i> estimasi amplitudo algoritma SRF-PLL ..	56

Gambar 4.41	Hasil pengukuran <i>online</i> tegangan listrik tiga fasa yang mengalami drop tegangan <i>sags</i> dan perhitungan <i>online</i> transformasi <i>Clarke</i>	57
Gambar 4.42	Hasil respon <i>online</i> estimasi frekuensi algoritma SRF-PLL pada kondisi drop tegangan <i>sags</i>	58
Gambar 4.43	Hasil respon <i>online</i> estimasi amplitudo algoritma SRF-PLL pada kondisi drop tegangan <i>sags</i>	58
Gambar 4.44	Hasil pengukuran <i>online</i> tegangan listrik tiga fasa pada kondisi <i>unbalance</i> dan perhitungan <i>online</i> transformasi <i>Clarke</i>	59
Gambar 4.45	Hasil respon <i>online</i> estimasi frekuensi algoritma SRF-PLL pada kondisi <i>unbalance</i>	60
Gambar 4.46	Hasil respon <i>online</i> estimasi amplitudo algoritma SRF-PLL pada kondisi <i>unbalance</i>	60
Gambar 4.47	Blok diagram pengujian <i>online</i> algoritma DSOGI-PLL tiga fasa	61
Gambar 4.48	Hasil respon <i>online</i> algoritma DSOGI-PLL tiga fasa	62
Gambar 4.49	Hasil respon <i>online</i> estimasi frekuensi algoritma DSOGI-PLL	63
Gambar 4.50	Hasil respon <i>online</i> estimasi amplitudo algoritma DSOGI-PLL	63
Gambar 4.51	Hasil respon <i>online</i> estimasi frekuensi algoritma DSOGI-PLL pada kondisi drop tegangan <i>sags</i>	65
Gambar 4.52	Hasil respon <i>online</i> estimasi amplitudo algoritma DSOGI-PLL pada kondisi drop tegangan <i>sags</i>	65
Gambar 4.53	Hasil respon <i>online</i> estimasi frekuensi algoritma DSOGI-PLL pada kondisi <i>unbalance</i>	66
Gambar 4.54	Hasil respon <i>online</i> estimasi amplitudo algoritma DSOGI-PLL pada kondisi <i>unbalance</i>	67
Gambar 4.55	Hasil respon <i>online</i> estimasi frekuensi algoritma modifikasi SRF-PLL pada kondisi drop tegangan <i>sags</i>	68
Gambar 4.56	Hasil respon <i>online</i> estimasi amplitudo algoritma modifikasi SRF-PLL pada kondisi drop tegangan <i>sags</i>	69
Gambar 4.57	Hasil respon <i>online</i> estimasi frekuensi algoritma modifikasi SRF-PLL pada kondisi <i>unbalance</i>	70
Gambar 4.58	Hasil respon <i>online</i> estimasi amplitudo algoritma modifikasi SRF-PLL pada kondisi <i>unbalance</i>	71

BAB 1

PENDAHULUAN

1.1. Latar belakang

Kebutuhan manusia akan energi terutama berupa listrik semakin hari semakin meningkat seiring dengan bertambahnya populasi manusia, pertumbuhan industri, dan ekonomi serta meningkatnya kualitas hidup manusia. Berbagai cara dan upaya telah dilakukan untuk mengatasi ketersediaan listrik dengan membangun pembangkit listrik dari energi tak terbarukan (minyak dan gas) dan/atau pembangkit listrik dari energi yang terbarukan (air, angin, matahari, panas bumi, dsb). Sistem pembangkit listrik tersebut pun saat ini sudah dibuat interkoneksi sinkronisasi untuk mengatasi segala kendala jumlah penambahan beban energi listrik. Sehingga diperlakukan pengaturan distribusi listrik untuk menjaga penambahan beban dan gangguan beban. Pengaturan distribusi listrik tersebut dapat dilakukan dengan baik jika terlebih dahulu dapat mengukur parameter-parameter besaran listrik yang mempengaruhi adanya gangguan-gangguan tersebut. Salah satunya menggunakan algoritma *Phase Locked Loop* (PLL) untuk mengetahui besaran listrik berupa sudut fasa, frekuensi, dan tegangan amplitudo. Pengukuran besaran tegangan listrik menggunakan PLL ini dapat juga digunakan untuk aplikasi yang lebih luas sebagai informasi penting dalam pengambilan keputusan pada sistem kontroler proteksi seperti *Grid Synchronization*, *Load Shedding*, *Load Sharing*, *Auto-recloser*, *Rate of Change of Frequency* (ROCOF) *Relay*, *Smart Grid Application*, dsb [1,2].

Kondisi *unbalance* pada sistem tegangan listrik tiga fasa merupakan hal yang sering terjadi karena ketidaksetimbangan antar fasa yang biasanya disebabkan oleh gangguan beban, sumber dan/atau jalur distribusinya. Saat terjadi kondisi *unbalance* seringkali algoritma digital *Phase Locked Loop* konvensional akan mengalami osilasi/*hunting* pada saat melakukan pengukuran parameter sudut fasa, frekuensi dan amplitudo tegangan listrik tiga fasa [5,6,7,8,9]. Algoritma PLL konvensional tersebut biasanya dinamakan *Synchronous Reference Frame-PLL* (SRF-PLL) yang mempunyai struktur yang sederhana dan sangat bagus pada kondisi ideal

namun sangat sensitif pada kondisi *unbalance*. Sehingga untuk mengatasi masalah pengukuran pada kondisi *unbalance*, telah banyak dilakukan riset untuk meningkatkan performansi PLL. Salah satunya menjadi algoritma *Double Synchronous Reference Frame-PLL* (DSRF-PLL) dengan menambahkan dua SRF dan *decoupling* pada sinyal dq untuk memisahkan efek *sequence* positif dan *sequence* negatif [10,11,14,17]. Kemudian ada juga algoritma *Dual Second Order Generalized Integrator-PLL* (DSOGI-PLL) yang menambahkan *decoupling* filter adaptif terhadap frekuensi angular pada keluaran sinyal stasioner *αβ reference frame* [11,12,13,15,16,18,19,20].

Pada laporan tesis ini akan dijelaskan mengenai sistem pengukuran sudut fasa, frekuensi dan amplitudo tegangan listrik tiga fasa menggunakan modifikasi algoritma digital PLL konvensional dengan menambahkan digital filter untuk mengatasi masalah pengukuran pada kondisi *unbalance*. Hasil modifikasi digital SRF-PLL dengan digital filter ini juga diuji pada kondisi *unbalance* dan juga dibandingkan dengan algoritma digital DSOGI-PLL yang mempunyai kemampuan yang sama dalam pengukuran kondisi *unbalance*.

1.2. Tujuan

Tesis ini bertujuan untuk membuat sistem pengukuran tegangan listrik tiga fasa dan melakukan modifikasi algoritma digital *Phase Locked Loop* (PLL) untuk mengatasi kondisi *unbalance* pada pengukuran sudut fasa, frekuensi, dan amplitudo tegangan listrik tiga fasa 380/220V. Hasil modifikasi algoritma digital PLL ini juga dibandingkan dengan algoritma digital PLL lainnya pada kondisi *unbalance*. Pada nantinya modifikasi algoritma digital PLL yang stabil pada kondisi *unbalance* ini akan diaplikasikan menjadi produk *embedded* PLL berbasis mikrokontroler.

1.3. Pembatasan Masalah

Tesis ini membahas tentang disain dan pembuatan sistem pengukuran tegangan listrik tiga fasa, melakukan modifikasi algoritma digital SRF-PLL dengan digital filter untuk mengatasi pengukuran pada kondisi *unbalance* dan melakukan pengujian algoritma digital SRF-PLL, algoritma digital DSOGI-PLL, dan algoritma modifikasi digital SRF-PLL dengan digital *lowpass* filter

pada kondisi *unbalance* tegangan listrik tiga fasa 380/220V serta membandingkan semua hasil pengujian algoritma PLL tersebut pada kondisi *unbalance* tegangan listrik tiga fasa 380/220V.

1.4. Susunan Penulisan

Penulisan laporan tesis ini dibagi ke dalam lima bab yang akan menjelaskan secara bertahap mengenai keseluruhan isi tesis ini.

Bab satu merupakan pendahuluan yang berisi latar belakang, tujuan, pembatasan masalah, dan sistematika penulisan. Bab dua membahas dasar teori yang terkait *symmetrical components* dan *unbalance* tegangan listrik tiga fasa, algoritma digital SRF-PLL, algoritma digital DSOGI-PLL, dan algoritma modifikasi digital SRF-PLL dengan digital *lowpass* filter. Bab tiga membahas mengenai disain dan deskripsi modul rangkaian sistem untuk melakukan pengukuran sinyal tegangan listrik tiga fasa. Bab empat berisi hasil pengujian dan pembahasannya. Bab lima merupakan kesimpulan dari pembahasan dalam laporan tesis ini.

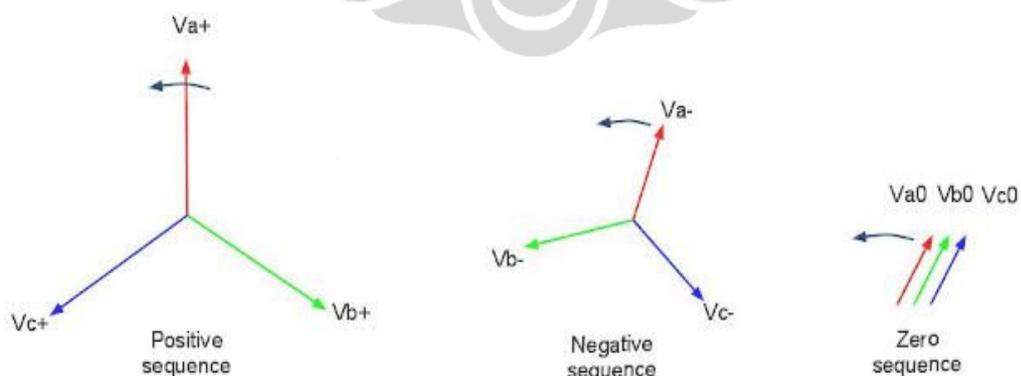
BAB 2

DASAR TEORI

Pada bab ini akan dijelaskan mengenai beberapa teori yang mendukung dalam laporan tesis ini yang dapat diberikan sebagai berikut.

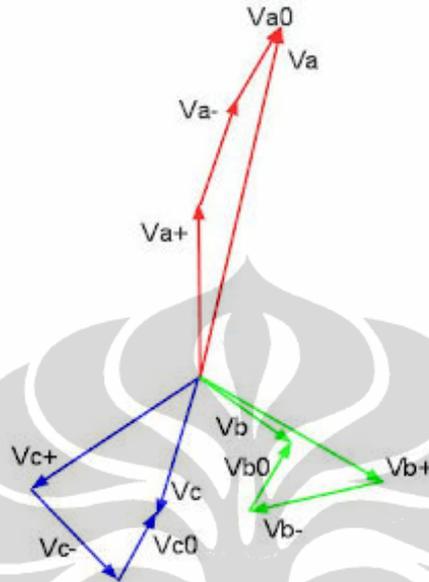
2.1. Pengenalan Kondisi *Unbalance* Tegangan Listrik Tiga Fasa

Salah satu teori yang mendasar dalam menganalisis sistem tegangan tiga fasa adalah menggunakan teorema *symmetrical components decomposition* yang diperkenalkan oleh C.L. Fortescue [3]. Konsep *symmetrical components* ini sangat berguna untuk mempelajari kondisi *unbalance* pada sistem tegangan tiga fasa. Pada saat kondisi *balance*, analisis sistem menjadi sederhana. Namun pada saat kondisi *unbalance* maka dalam konsep ini dipecah menjadi tiga bagian *symmetrical components* yaitu *sequence* positif, *sequence* negatif dan *zero sequence*. *Sequence* abc yang berputar berlawanan dengan arah jarum jam merupakan *sequence* positif, sehingga *sequence* acb merupakan *sequence* negatif. Kedua *sequence* positif dan *sequence* negatif adalah *balance* dimana kesemua tiga fasor mempunyai *magnitude* yang sama dan sudut fasa yang berbeda 120° sama satu sama lain. Untuk ketiga fasor pada *zero sequence* juga mempunyai *magnitude* yang sama tetapi dengan sudut fasa yang sejajar/sefasa satu sama lain. Sehingga jika digambarkan dapat diberikan sebagai berikut [4]:



Gambar 2.1 Ketiga *sequence symmetrical components*

Jika pada gambar 2.1 dijumlahkan secara vektor untuk masing-masing *sequence* maka akan didapatkan hasil yang diberikan pada gambar sebagai berikut :



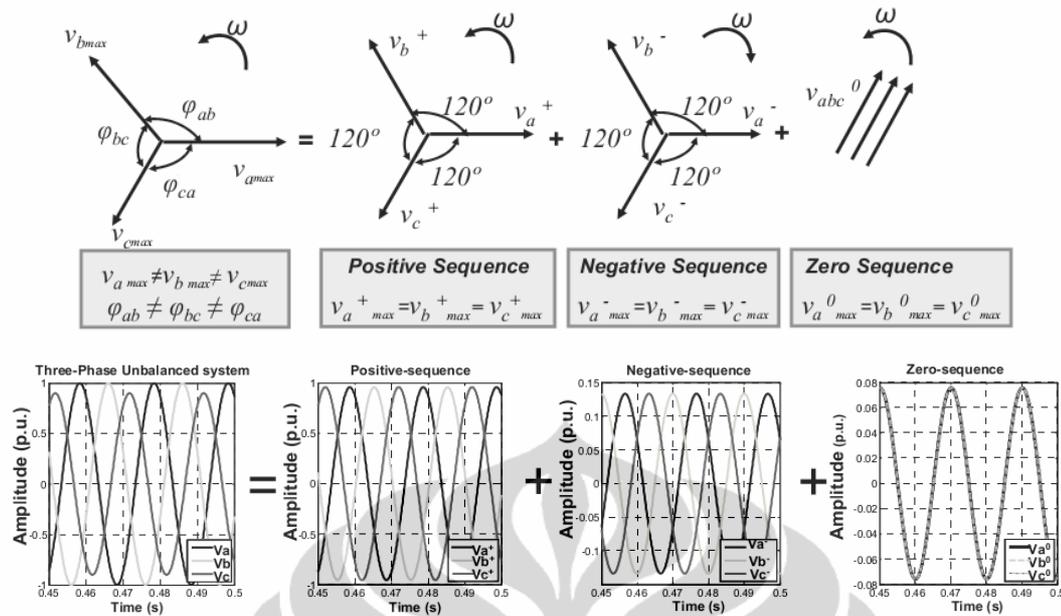
Gambar 2.2 Penjumlahan vektor ketiga *sequence symmetrical components*

Hasil penjumlahan vektor dari ketiga *sequence* akan menghasilkan resultan fasor yang *unbalance* seperti gambar berikut ini :



Gambar 2.3 Sistem tiga fasa yang *unbalance*

Untuk lebih jelas mengenai hubungan fasor dengan sinyal sinusoida yang terjadi pada domain waktu dapat diberikan pada gambar sebagai berikut :



Gambar 2.4 Hubungan fasor dengan respon sinyal sinusoida pada domain waktu

Sehingga pada Gambar 2.4 dapat juga dinyatakan dalam bentuk persamaan sebagai berikut [4]:

$$\begin{aligned} V_a &= V_{a^+} + V_{a^-} + V_{a^0} \\ V_b &= V_{b^+} + V_{b^-} + V_{b^0} \\ V_c &= V_{c^+} + V_{c^-} + V_{c^0} \end{aligned} \quad (2.1)$$

maka dengan menggunakan operator a , dimana

$$a = 1 \angle 120 \text{ deg} = e^{j(2\pi/3)} = \frac{-1}{2} + j \frac{\sqrt{3}}{2} \quad (2.2)$$

sehingga didapatkan,

$$\begin{aligned} V_a &= V_{a^+} + V_{a^-} + V_{a^0} \\ V_b &= a^2 V_{a^+} + a V_{a^-} + V_{a^0} \\ V_c &= a V_{a^+} + a^2 V_{a^-} + V_{a^0} \end{aligned} \quad (2.3)$$

kemudian jika dibuat persamaan secara matriks didapatkan

$$\underbrace{\begin{bmatrix} V_{a^0} \\ V_{a^+} \\ V_{a^-} \end{bmatrix}}_S = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (2.4)$$

dengan a adalah operator *Fortescue*, dan S adalah transformasi *Fortescue*

Untuk perhitungan prosentase tegangan *unbalance* yang terjadi pada sistem tiga fasa maka terdapat beberapa standard perhitungan tegangan *unbalance* yang dijelaskan sebagai berikut [4]:

a. NEMA (*National Equipment Manufacturer's Association*) standard MG1-1993

Pada standard ini mendefinisikan bahwa perhitungan besaran tegangan *unbalance* didapatkan dari hasil rasio perbandingan antara maksimum deviasi tegangan line terhadap rata-rata tegangan line. Standard ini sering dinamakan *Line Voltage Unbalance Rate* (LVUR) yang mempunyai persamaan sebagai berikut :

$$LVUR(\%) = \frac{\max \left[V_{ab} - \frac{V_{ab} + V_{bc} + V_{ca}}{3}, V_{bc} - \frac{V_{ab} + V_{bc} + V_{ca}}{3}, V_{ca} - \frac{V_{ab} + V_{bc} + V_{ca}}{3} \right]}{\frac{V_{ab} + V_{bc} + V_{ca}}{3}} \times 100 \quad (2.5)$$

atau secara sederhana,

$$LVUR(\%) = \frac{\text{maximum voltage deviation from average line voltage}}{\text{average line voltage}} \times 100 \quad (2.6)$$

b. IEEE (*Institute of Electrical and Electronics Engineer*) standard 112-1991

Pada standard ini mendefinisikan bahwa perhitungan besaran tegangan *unbalance* didapatkan dari hasil rasio perbandingan antara maksimum deviasi tegangan fasa terhadap rata-rata tegangan fasa. Standard ini sering dinamakan *Phase Voltage Unbalance Rate* (PVUR) yang mempunyai persamaan sebagai berikut :

$$PVUR(\%) = \frac{\max \left[V_{an} - \frac{V_{an} + V_{bn} + V_{cn}}{3}, V_{bn} - \frac{V_{an} + V_{bn} + V_{cn}}{3}, V_{cn} - \frac{V_{an} + V_{bn} + V_{cn}}{3} \right]}{\frac{V_{an} + V_{bn} + V_{cn}}{3}} \times 100 \quad (2.7)$$

atau secara sederhana,

$$PVUR(\%) = \frac{\text{maximum voltage deviation from average phase voltage}}{\text{average phase voltage}} \times 100 \quad (2.8)$$

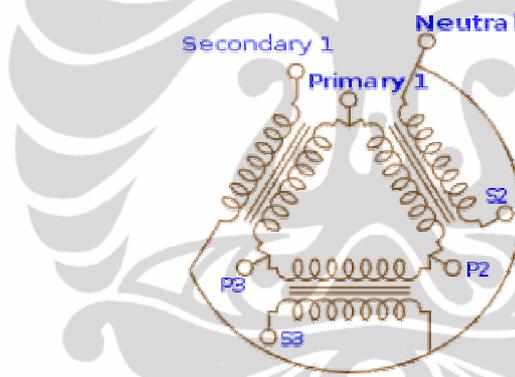
c. IEC (*International Electrotechnical Commission*) standard 60034 - 26

Pada standard ini mendefinisikan bahwa perhitungan besaran tegangan *unbalance* didapatkan dari hasil rasio perbandingan antara komponen simetri *negative sequence* terhadap komponen simetri *positive sequence*. Standard ini sering dinamakan *Negative Sequence Unbalance Factor* (NSUF) yang mempunyai persamaan sebagai berikut :

$$NSUF(\%) = \frac{V_{ns}}{V_{ps}} \times 100 \quad (2.9)$$

$$\text{dengan } V_{ns} = \frac{V_{ab} + a^2.V_{bc} + a.V_{ca}}{3} \quad \text{dan} \quad V_{ps} = \frac{V_{ab} + a.V_{bc} + a^2.V_{ca}}{3}$$

Tegangan V_a , V_b dan V_c pada kondisi riil-nya merupakan tegangan *line to netral*. Untuk lebih jelasnya mengenai tegangan *line to netral* dapat digambarkan pada rangkaian transformator Δ -Y berikut ini [1,2]:



Gambar 2.5 Rangkaian transformator *delta-wye* (Δ -Y)

Pada gambar 2.5 dapat dijelaskan bahwa pada sistem tegangan listrik tiga fasa dapat dihubungkan secara delta/segitiga (Δ) atau secara bintang/star (Y). Tegangan *line to netral* merupakan tegangan yang diukur antara salah satu *line* dengan netral pada konfigurasi bintang/star (Y). Hubungan tegangan *line to line* dengan *line to netral* pada kondisi setimbang (*balance*) dapat dihitung dengan persamaan sebagai berikut :

$$V_{line-line} = \sqrt{3} \cdot (V_{line-netral}) \quad (2.10)$$

misalkan tegangan *line to netral* terukur 220 V, maka tegangan *line to line* dapat dihitung menjadi 380 V. Sehingga pada penulisan spesifikasi tegangan jala-jala listrik dapat dinyatakan dalam konfigurasi Δ -Y sebagai tegangan 380/220 V.

2.2. Pengenalan Dasar Algoritma *Phase Locked Loop* (PLL)

Algoritma *Phase Locked Loop* (PLL) saat ini mempunyai daya tarik yang cukup besar karena mempunyai area aplikasi yang cukup luas dalam bidang teknik elektro, seperti sistem telekomunikasi, sistem tenaga listrik, sistem kontrol motor ac, dsb. Dalam teknik tenaga listrik, algoritma PLL biasanya digunakan untuk memberikan estimasi besaran berupa amplitudo, frekuensi dan sudut fasa dari suatu sinyal masukan tegangan ac. Ilustrasi sederhana dari algoritma PLL ini dapat digambarkan sebagai berikut :



Gambar 2.6 Ilustrasi blok diagram PLL

Pada gambar 2.6 dapat dijelaskan bahwa sinyal masukan berupa tegangan sinusoida dapat direpresentasikan dengan persamaan[4,5,6],

$$V_s = V_m \cdot \sin(\theta + \varphi_0) \quad \text{dengan} \quad \theta = \omega t, \quad f = \frac{\omega}{2\pi} \quad (2.11)$$

dimana, V_s = tegangan masukan

V_m = tegangan amplitudo

θ = sudut fasa

ω = frekuensi angular

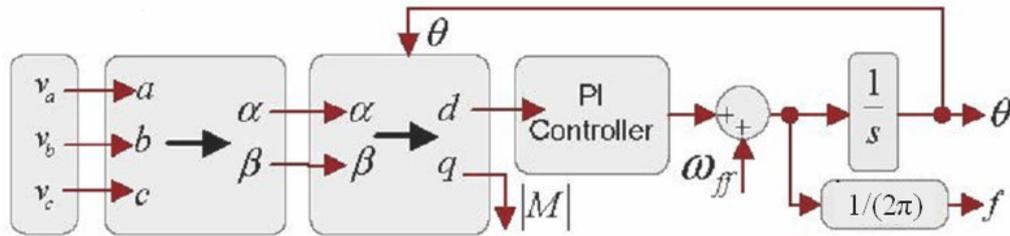
f = frekuensi

φ_0 = *offset* sudut fasa

2.3. Algoritma *Synchronous Reference Frame-PLL* (SRF-PLL)

Algoritma SRF ini dipilih karena memiliki struktur algoritma yang lebih sederhana dibandingkan dengan algoritma PLL yang lain sehingga pada nantinya lebih mudah untuk diaplikasikan pada *embedded* sistem terutama yang berbasis mikrokontroler. SRF-PLL ini sudah cukup stabil dalam melakukan estimasi pengukuran berupa amplitudo, frekuensi, dan sudut fasa dari sinyal tegangan

listrik tiga fasa [5,6,7]. Blok diagram dari algoritma SRF-PLL untuk masukan sinyal tegangan listrik tiga fasa dapat diberikan pada gambar berikut ini,



Gambar 2.7 Blok diagram algoritma SRF-PLL tiga fasa

Pada gambar 2.7 dapat dijelaskan bahwa untuk sinyal tegangan listrik tiga fasa dapat direpresentasikan dengan persamaan [8],

$$\begin{aligned} V_a &= V_m \cdot \sin\left(\theta + \frac{2\pi}{3}\right) \\ V_b &= V_m \cdot \sin(\theta) \\ V_c &= V_m \cdot \sin\left(\theta - \frac{2\pi}{3}\right) \end{aligned} \quad (2.12)$$

dengan $\theta = 2\pi \cdot f \cdot t$

Selanjutnya dari tegangan masukan sinyal tiga fasa diubah menjadi tegangan *stationary orthogonal reference frame* sebagai berikut [9]:

$$\begin{bmatrix} V_\alpha \\ V_\beta \\ V_o \end{bmatrix} = T_{\alpha\beta o} \cdot \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \cdot \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (2.13)$$

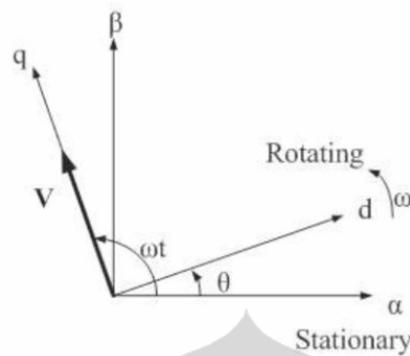
dimana $T_{\alpha\beta o}$ merupakan transformasi *Clarke*

Kemudian persamaan (2.13) diubah menjadi persamaan tegangan dq sebagai berikut [10]:

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = T_{dq} \cdot \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \begin{bmatrix} \cos \hat{\theta} & \sin \hat{\theta} \\ -\sin \hat{\theta} & \cos \hat{\theta} \end{bmatrix} \cdot \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (2.14)$$

dimana T_{dq} merupakan transformasi *Park* dan $\hat{\theta}$ adalah estimasi perhitungan sudut fasa.

Hubungan diagram fasor antara tegangan dq dengan tegangan $\alpha\beta$ dapat diberikan sebagai berikut :



Gambar 2.8 Hubungan fasor antara tegangan dq dan tegangan $\alpha\beta$

Pada gambar 2.8 dapat dijelaskan bahwa vektor tegangan α dan tegangan β saling tegak lurus (orthogonal) dengan perbedaan sudut fasa 90° , dimana representasi tegangan α dan tegangan β dalam persamaan yang lain adalah sebagai berikut [11,12]:

$$\begin{aligned} V_\alpha &= \sqrt{\frac{3}{2}} \cdot V_m \cdot \cos(\theta - 90^\circ) = -\sqrt{\frac{3}{2}} \cdot V_m \cdot \sin(\theta) \\ V_\beta &= \sqrt{\frac{3}{2}} \cdot V_m \cdot \cos(\theta) \end{aligned} \quad (2.15)$$

jika persamaan (2.15) disubstitusikan ke persamaan (2.14), maka akan didapatkan,

$$\begin{aligned} V_d &= \sqrt{\frac{3}{2}} \cdot V_m \left(-\sin(\theta) \cdot \cos(\hat{\theta}) + \cos(\theta) \cdot \sin(\hat{\theta}) \right) \\ V_q &= \sqrt{\frac{3}{2}} \cdot V_m \left(-\sin(\theta) \cdot -\sin(\hat{\theta}) + \cos(\theta) \cdot \cos(\hat{\theta}) \right) \end{aligned} \quad (2.16)$$

dan jika disederhanakan akan menjadi persamaan sebagai berikut :

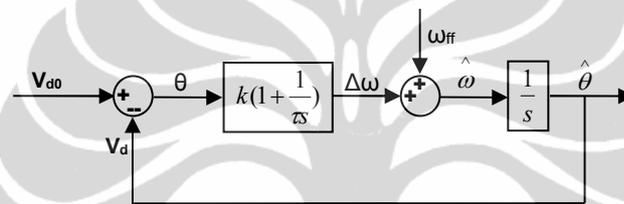
$$\begin{aligned} V_d &= \sqrt{\frac{3}{2}} \cdot V_m \cdot \sin(\hat{\theta} - \theta) \\ V_q &= \sqrt{\frac{3}{2}} \cdot V_m \cdot \cos(\hat{\theta} - \theta) \end{aligned} \quad (2.17)$$

Anggap kontroler PI dalam sistem PLL loop tertutup pada gambar 2.7 dapat mencapai $\hat{\theta} \approx \theta$, maka akan didapatkan $V_d \approx 0$ dan $V_q \approx \sqrt{\frac{3}{2}} \cdot V_m$, dimana besaran V_d bertujuan untuk menjejaki besaran imajiner dari fasor tegangan

sedangkan V_q bertujuan untuk menjejaki besaran real dari fasor tegangan. sehingga dari algoritma SRF-PLL ini dapat diketahui tegangan amplitudo sebesar,

$$V_m = \sqrt{\frac{2}{3}} \cdot V_q \quad (2.18)$$

Untuk mempercepat respon dalam menjejaki besaran imajiner dari keluaran V_d , maka diperlukan suatu kontroler yang dalam hal ini dipilih kontroler PI (*Proporsional Integrator*) karena mempunyai struktur kontroler yang sederhana. Namun sebelum melakukan penalaan parameter kontroler maka perlu dilakukan identifikasi persamaan plant sistem untuk keluaran V_d . Jika melihat pada gambar 2.7 maka akan didapatkan blok diagram sistem untuk keluaran V_d sebagai berikut :



Gambar 2.9 Blok diagram sistem keluaran V_d

dimana persamaan plant *loop* terbuka superposisi sistem dapat direpresentasikan dalam bentuk $G_{ol}(s)$ berikut ini [11,12] :

$$G_{ol}(s) = \left(k \left(1 + \frac{1}{\tau s} \right) + \omega_{ff} \right) \cdot \frac{1}{s} \quad (2.19)$$

dimana k adalah penguatan, τ adalah integrator waktu, dan ω_{ff} adalah konstanta kecepatan sudut.

Dari fungsi alih *loop* terbuka persamaan (2.19) dapat dihitung juga fungsi alih plant *loop* tertutup superposisi $G_{cl}(s)$ sebagai berikut :

$$G_{cl}(s) = \frac{\left(k \left(1 + \frac{1}{\tau s} \right) + \omega_{ff} \right) \cdot \frac{1}{s}}{1 + k \left(1 + \frac{1}{\tau s} \right) \cdot \frac{1}{s}} = \frac{(k + \omega_{ff}) \cdot \tau s + k}{\tau s^2 + k \tau s + k} \quad (2.20)$$

persamaan (2.20) juga dapat diubah menjadi bentuk persamaan orde dua,

$$G_{cl}(s) = \frac{2c\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.21)$$

dengan $\zeta = \frac{\sqrt{k \cdot \tau}}{2}$, $\omega_n = \sqrt{\frac{k}{\tau}}$, dan $c = 1 + \frac{\omega_{ff}}{k}$.

Kemudian dari persamaan (2.20) juga didapatkan persamaan *eigen* dari sistem PLL yang dinyatakan sebagai berikut :

$$D(s) = \tau s^2 + k\tau s + k \quad (2.22)$$

berdasarkan teorema kestabilan *Routh-Hurwitz*, didapatkan syarat kriteria kestabilan sistem adalah $k > 0$ dan $\tau > 0$.

Pada aplikasi yang sebenarnya, sistem PLL akan dibuat sistem digital sehingga persamaan sistem diubah terlebih dahulu dari domain-s ke domain-z. Dengan menggunakan metode aproksimasi *euler-forward*, dimana

$$s = \frac{z-1}{T_s} \quad (2.23)$$

maka persamaan kontroler PI-regulator dalam domain-z didapatkan

$$G_{PI}(z) = k \left(1 + \frac{1}{\tau \left(\frac{z-1}{T_s} \right)} \right) = k + \frac{kT_s}{\tau(z-1)} \quad (2.24)$$

dimana T_s adalah waktu cuplik. Jika ditetapkan $K_p = k, K_i = \frac{k}{\tau}, T_s = 10^{-4}$ maka didapatkan persamaan kontroler PI digital sebagai berikut :

$$G_{PI}(z) = K_p + \frac{0.0001K_i}{z-1} = \frac{K_p z + 0.0001K_i - K_p}{z-1} \quad (2.25)$$

Selanjutnya untuk melakukan tuning kontroler PI digital dapat ditentukan dengan menggunakan respon optimal *settling time overshoot* orde dua pada saat nilai $\zeta = \frac{1}{\sqrt{2}} = 0.707$, maka didapatkan

$$\zeta = \frac{\sqrt{k \cdot \tau}}{2} \quad (2.26)$$

$$\frac{1}{\sqrt{2}} = \frac{\sqrt{k \cdot \tau}}{2} \rightarrow k \cdot \tau = 2$$

Sedangkan untuk ω_n dipilih frekuensi natural dari sistem PLL sebesar 50 Hz, sehingga didapatkan

$$2 \cdot \pi \cdot 50 = \sqrt{\frac{k}{\tau}} \rightarrow \frac{k}{\tau} = 17.725 \quad (2.27)$$

Dengan melakukan substitusi persamaan (2.26) dan (2.27) maka diperoleh nilai variabel sebagai berikut :

$$\frac{k^2}{17.7245} = 2 \rightarrow k = \sqrt{35.4491} = 5.954$$

$$\tau = \frac{2}{5.954} = 0.336$$
(2.28)

sehingga parameter kontroler PI digital dapat dihitung sebagai berikut :

$$K_p = k = 5.954$$

$$K_i = \frac{5.954}{0.336} = 17.725$$
(2.29)

maka didapatkan persamaan kontroler PI digital yang optimal pada algoritma PLL dengan frekuensi natural 50 Hz sebagai berikut :

$$G_{PI}(z) = 5.954 + \frac{0.0001 \cdot (17.725)}{z-1} = \frac{5.954z - 5.953}{z-1}$$
(2.30)

2.4. Algoritma *Dual Second Order Generalized Integrator-PLL (DSOGI-PLL)*

Berdasarkan beberapa referensi jurnal menghasilkan suatu tabel perbandingan algoritma PLL dengan hasil sebagai berikut [11,12,13]:

Tabel 2.1 Hasil perbandingan algoritma PLL

	SRF	DSRF	PSF	SSI	DSOGI
Distortion rejection	-	-	+	+	+
Unbalance robustness	-	+	+	+	+
Positive seq. detection	-	+	+	-	+
Structural simplicity	+	-	-	+	+
Single phase utilization	-	-	-	+	-

Pada tabel 2.1 dapat dilihat bahwa algoritma PLL yang mempunyai struktur algoritma sederhana selain SRF (*Synchronous Reference Frame*) adalah SSI (*Sinusoidal Signal Integrator*) dan DSOGI (*Dual Second Order Generalized Integrator*). Sedangkan yang tidak mempunyai struktur algoritma sederhana seperti DSRF (*Double Synchronous Reference Frame*) dan PSF (*Positive Sequence Filter*) dalam hal ini tidak menjadi perhatian karena lebih susah diimplementasikan ke dalam mikrokontroler. Untuk algoritma DSOGI sebenarnya merupakan dua SSI filter yang di-*decoupling* untuk mendapatkan sinyal fundamental *sequence* positif dari tegangan *alpha-beta* ($\alpha\beta$).

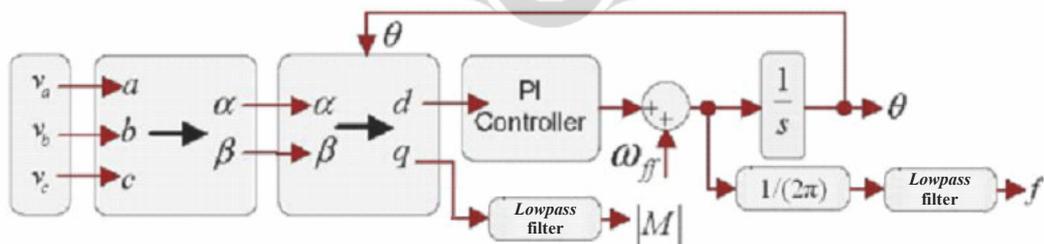
Untuk persamaan fungsi alih loop tertutup pada gambar 2.11 juga dapat dijabarkan sebagai berikut :

$$\begin{aligned}\frac{v'}{v}(s) &= \frac{k\omega s}{s^2 + k\omega s + \omega^2} \\ \frac{qv'}{v}(s) &= \frac{k\omega^2}{s^2 + k\omega s + \omega^2}\end{aligned}\quad (2.32)$$

dimana penguatan k mempunyai pengaruh pada *bandwidth* dari sistem loop tertutup.

2.5. Algoritma Modifikasi SRF-PLL

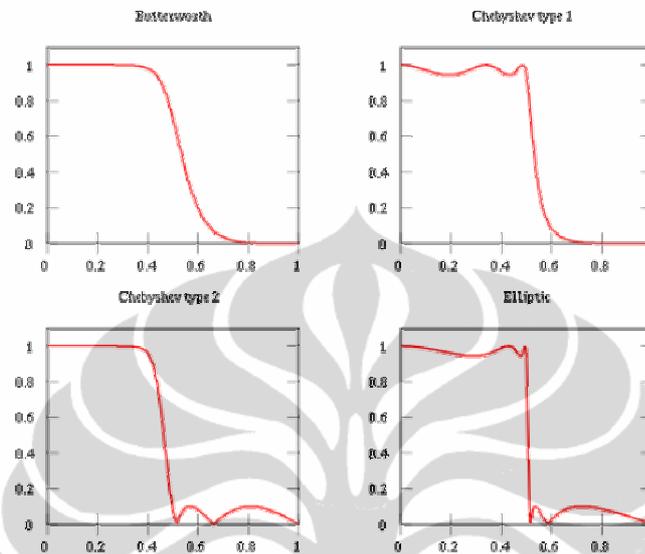
Algoritma modifikasi SRF-PLL ini pada intinya memperbaiki respon keluaran dari algoritma SRF-PLL. Mengacu pada tabel 2.1, penelusuran hasil referensi riset [14,15,16,17,18,19,20], dan berdasarkan pengalaman hasil respon SRF-PLL pada saat terjadi *unbalance* dari penelitian sebelumnya, maka kelemahan SRF-PLL hanya bertumpu pada estimasi frekuensi dan amplitudo yang seringkali mengalami osilasi/hunting saat terjadi kondisi *unbalance*. Sehingga salah satu solusi dalam mengatasinya adalah dengan memberikan penambahan filter pada keluaran estimasi frekuensi dan amplitudo. Algoritma filter yang dipakai adalah metode IIR digital *lowpass* filter yang nantinya akan diuji dan dibandingkan dari semua metode filter *Butterworth*, *Chebyshev* tipe I, *Chebyshev* tipe II, dan *Elliptic* [21]. Algoritma modifikasi SRF-PLL ini dapat diberikan pada gambar sebagai berikut :



Gambar 2.12 Algoritma Modifikasi SRF-PLL

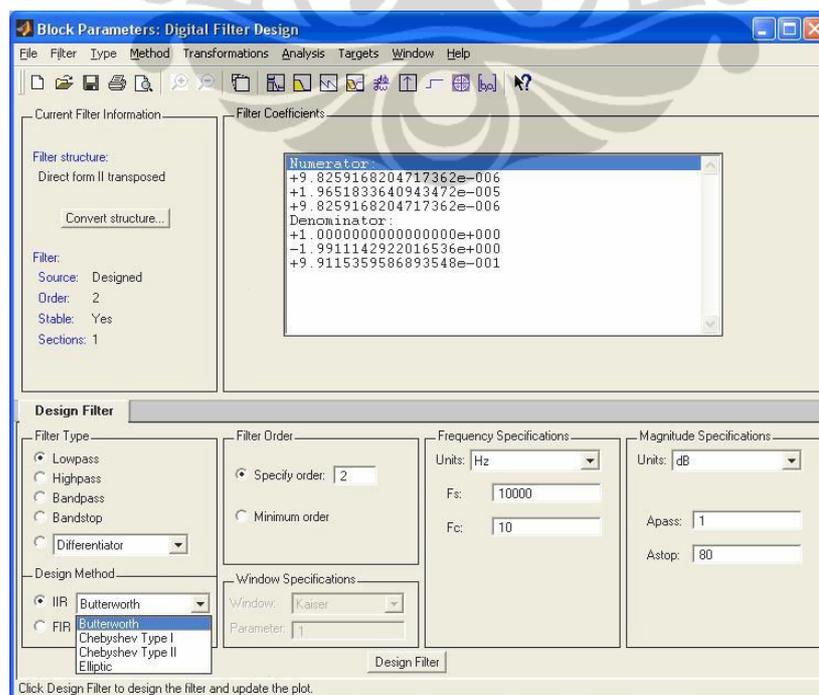
Pada gambar 2.12 dapat dijelaskan juga bahwa orde *lowpass* filter ditentukan orde dua dengan pertimbangan hasil respon yang lebih stabil terhadap osilasi dan masih dalam kategori struktur yang sederhana. Penjelasan mengenai disain digital *lowpass* filter akan diberikan sebagai berikut :

Metode IIR digital *lowpass* filter yang akan diuji dan dipakai adalah metode filter *Butterworth*, *Chebyshev* tipe I, *Chebyshev* tipe II, dan *Elliptic*. Karakteristik respon frekuensi dari masing-masing filter dapat diberikan pada gambar sebagai berikut :



Gambar 2.13 Karakteristik respon frekuensi metode *lowpass* filter

Pada gambar 2.13 dapat dijelaskan bahwa sumbu Y dari grafik merupakan penguatan magnitud dan sumbu X merupakan frekuensi. Disain filter dilakukan dengan memanfaatkan *toolbox FDA Tool* pada *Simulink* Matlab sebagai berikut :



Gambar 2.14 Disain IIR digital filter menggunakan *FDA Tool*

Pada gambar 2.14 dapat dijelaskan bahwa perhitungan disain IIR digital *lowpass* filter menggunakan *FDA Tool* sangat mudah dilakukan dengan mengisi beberapa parameter yang didalamnya dapat dipilih tipe filter *lowpass* dan disain metode IIR yang dapat dipilih mulai dari metode *Butterworth*, *Chebyshev* tipe I, *Chebyshev* tipe II, dan *Elliptic*. Kemudian dapat diisi juga orde filter yang dalam hal ini ditetapkan orde 2 dan spesifikasi frekuensi dengan frekuensi sampling (F_s) sebesar 10 kHz serta frekuensi *cut-off* disetting pada 10 Hz untuk memastikan bahwa pada frekuensi 50 Hz sinyal benar-benar teredam. Untuk magnitude *stopband* disetting sebesar 80 dB dan magnitude *passband* disetting sebesar 1 dB. Selanjutnya dengan menekan tombol disain filter maka langsung diketahui *numerator* dan *denominator* dari koefisien filter dalam domain waktu digital. Hasil koefisien filter ini digunakan dalam persamaan digital filter untuk pengujian secara simulasi dan pengujian secara *online*.



BAB 3

DISAIN DAN DESKRIPSI SISTEM

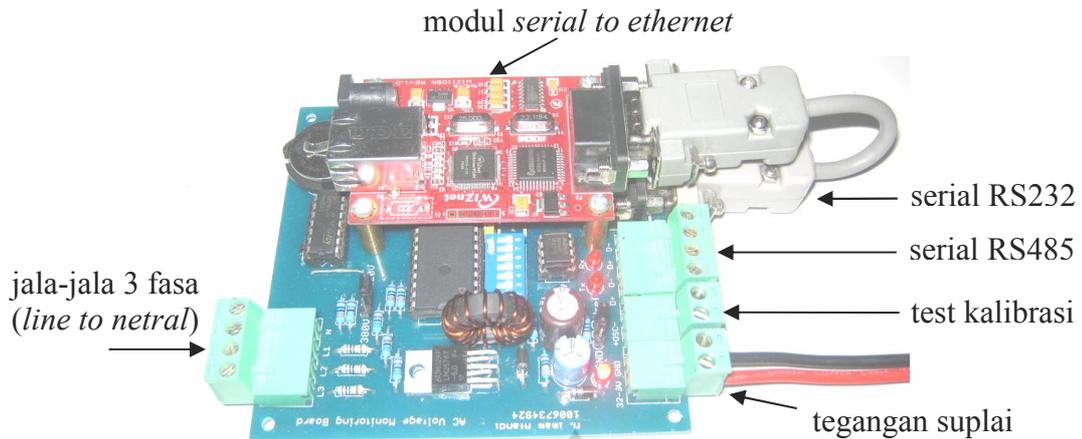
Pada bab ini akan dijelaskan mengenai hasil disain dan pembuatan perangkat keras modul pengkondisi sinyal yang dilengkapi dengan rangkaian mikrokontroler, data akuisisi buatan *National Instruments*, alat *AC Voltage Current Source Standard* sebagai variabel sumber tegangan *unbalance*, dan perangkat lunak Matlab untuk keperluan analisis hasil respon sinyal algoritma digital PLL.

3.1. Spesifikasi Modul Pengkondisi Sinyal Tegangan Listrik Tiga Fasa

Modul pengkondisi sinyal tegangan listrik tiga fasa ini didisain sedemikian rupa dan seminimalis mungkin dengan dijadikan satu *board* dengan rangkaian mikrokontroler yang rencananya akan dijadikan *embedded* PLL berbasis mikrokontroler. Sehingga spesifikasi penuh dari modul ini adalah sebagai berikut :

- Tegangan suplai : 9 – 36 volt
- Tegangan ac masukan : up to 250 V tegangan tiga fasa (*line to netral*)
- Parameter listrik yang diukur : sudut fasa, frekuensi, amplitudo
- Rangkaian pengkondisi sinyal : pembagi tegangan dengan *buffer op-amp single supply*
- Rangkaian mikrokontroler, dengan spesifikasi sebagai berikut :
 - Tipe : ATmega8535/ATmega16/ATmega32
 - Jumlah kanal ADC : 8 kanal
 - Resolusi ADC : 10 bit
 - Waktu cuplik ADC : maks 15 kHz
 - Port komunikasi : serial RS232, serial RS485, TCP/IP
 - Protokol komunikasi : Modbus RTU, Modbus TCP (semua protokol sudah berhasil diujicobakan dengan standard OPC Modbus).

Mengenai hasil PCB (*Printed Circuit Board*) dari spesifikasi modul tersebut di atas dapat dilihat pada gambar berikut ini :



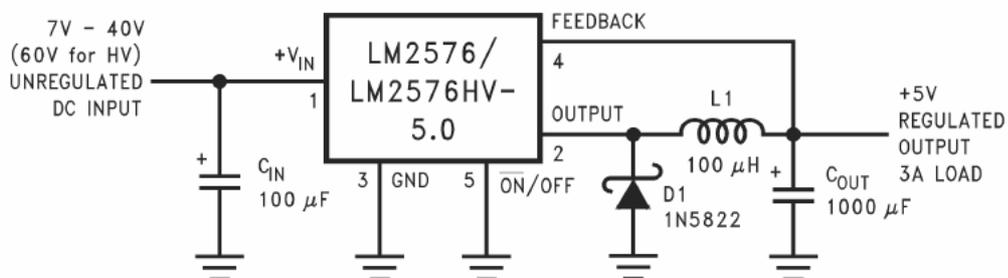
Gambar 3.1 Modul PCB pengujian algoritma PLL

Pada gambar 3.1 dapat dijelaskan bahwa modul rangkaian tegangan suplai, rangkaian pengkondisi sinyal tegangan listrik tiga fasa, dan rangkaian mikrokontroler dijadikan satu *board*. Selain itu terdapat *board serial to ethernet* yang sengaja dipasang di atas *board* utama untuk dijadikan konverter komunikasi serial ke ethernet.

Mengenai hal yang lebih jelas mengenai skematik rangkaian dari modul *board* pada gambar 3.1 dapat dijelaskan pada sub bab berikutnya.

3.2. Disain Rangkaian Tegangan Suplai

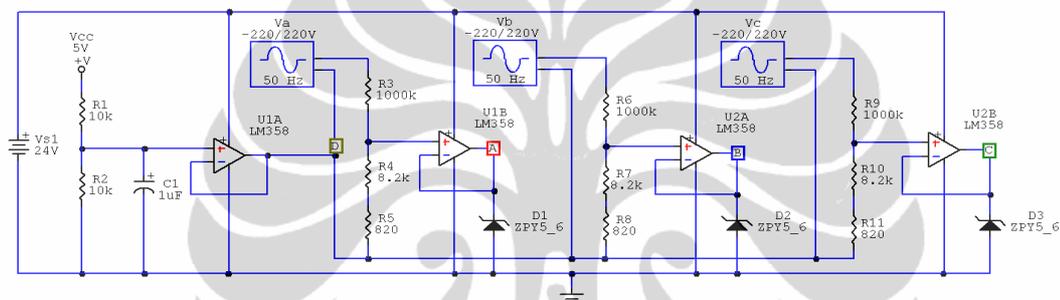
Untuk memenuhi standard industri, maka tegangan suplai pada modul ini dibuat *single supply* dengan jangkauan tegangan yang cukup lebar dari 7 - 40 Vdc menggunakan rangkaian *switching* dengan regulator IC LM2576-5 3A. Rangkaian skematik dari tegangan suplai ini dapat diberikan pada gambar sebagai berikut :



Gambar 3.2 Rangkaian tegangan suplai

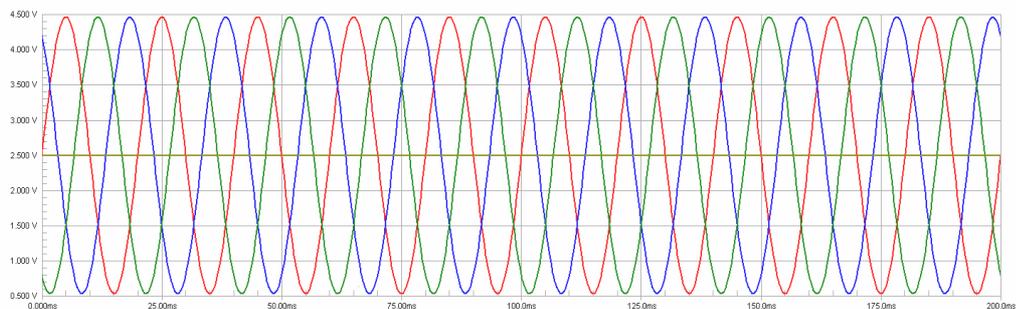
3.3. Disain Rangkaian Pengkondisi Sinyal Tegangan Listrik Tiga Fasa

Sinyal tegangan listrik tiga fasa mempunyai tegangan 380/220V. Dimana penulisan tegangan 380/220V merupakan tegangan yang terukur pada konfigurasi koneksi *delta-wye* atau hubungan segitiga-bintang dari tegangan tiga fasa. Tegangan yang terukur pada koneksi *delta* dinamakan tegangan *line to line* dan tegangan yang terukur pada koneksi *star* dinamakan tegangan *line to netral*. Rangkaian pengkondisi sinyal ini digunakan untuk mengkondisikan sinyal tegangan listrik tiga fasa (*line to netral*) 220 V ke dalam wilayah masukan ADC mikrokontroler yang mempunyai rentang antara 0-5 Vdc. Dimana disain rangkaian pengkondisi sinyal dapat diberikan pada gambar berikut ini :



Gambar 3.3 Rangkaian pengkondisi sinyal tegangan listrik tiga fasa

Pada gambar 3.3 dapat dijelaskan bahwa untuk membuat sinyal sinusoida 220 V tiga fasa dapat masuk dalam rentang 0-5 Vdc maka diperlukan rangkaian *buffer op-amp* (U1A) untuk menginjeksi tegangan 2.5 Vdc ke titik sambungan netral tegangan listrik tiga fasa. Hal ini bertujuan untuk menaikkan level tegangan netral ke 2.5 Vdc dan menjadikan netral tersebut sebagai *virtual reference / virtual ground* bagi rangkaian pembagi tegangan dengan *buffer op-amp* untuk masukan sinyal sinusoida tiga fasa ke ADC mikrokontroler. Hasil simulasi dengan menggunakan perangkat lunak *CircuitMaker2000* dapat diberikan sebagai berikut,



Gambar 3.4 Simulasi rangkaian pengkondisi sinyal tegangan listrik tiga fasa

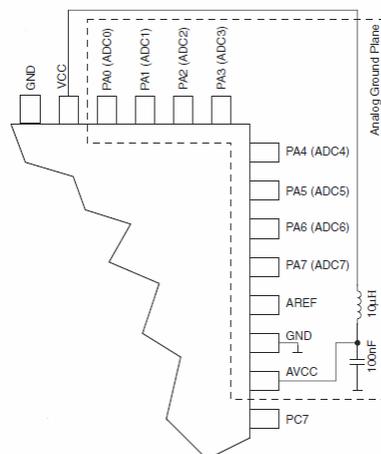
Pada gambar 3.4 dapat dilihat bahwa sinyal keluaran rangkaian pengkondisi sinyal mempunyai rentang antara 0.5-4.5 Vdc atau mempunyai tegangan amplitudo sebesar 4 Vdc. Nilai tersebut dapat diperoleh dengan menentukan nilai pembagi tegangan sebagai berikut :

$$V_{cond} = \frac{8.2k\Omega + 820\Omega}{1000k\Omega + 8.2k\Omega + 820\Omega} \cdot (2.220V_{ac}) = \frac{9020}{1009020} \cdot 440 = 3.993 \quad (3.1)$$

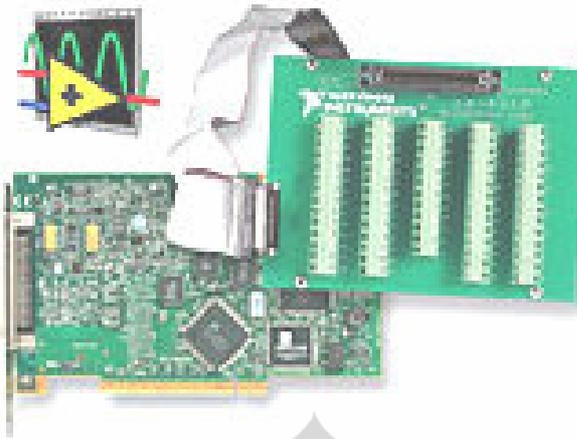
Sebelum dimasukkan ke ADC, rangkaian pembagi tegangan tersebut masih ditambahkan rangkaian *buffer op-amp* untuk menjaga sinyal tidak mengalami drop tegangan dengan menggunakan IC *op-amp single supply* LM358 (dimana dalam satu IC mempunyai *dual op-amp* dengan jumlah kaki DIP 8 pin) atau dapat juga menggunakan IC *op-amp single supply* MAX494 (dimana dalam satu IC mempunyai *quad op-amp* dengan jumlah kaki DIP 14 pin). Disarankan untuk tidak mencoba menggunakan IC *op-amp single supply* LM324 karena mempunyai *offset* tegangan sebesar 0.7 Vdc jika digunakan sebagai rangkaian *buffer* sehingga keluaran *buffer* tidak akan pernah mencapai di bawah 0.7 Vdc jika diberi masukan di bawah 0.7 Vdc.

3.4. Disain Rangkaian Mikrokontroler

Disain rangkaian mikrokontroler ini akan digunakan untuk keperluan variasi produk *embedded PLL* selanjutnya, sedangkan pada tesis ini hanya dilakukan pengujian algoritma PLL menggunakan perangkat lunak Matlab serta data akuisisi *analog input* PCI-6024E buatan *National Instruments* serta masukan dari rangkaian pengkondisi sinyal tegangan listrik tiga fasa 220 V modul PCB. Rangkaian filter untuk mengurangi *noise* ADC dapat diberikan sebagai berikut :



Gambar 3.5 Rangkaian pada mikrokontroler untuk mengurangi *noise* ADC



Gambar 3.7 Data Akuisisi PCI-6024E buatan *National Instruments*

Data akuisisi PCI-6024E mempunyai spesifikasi sebagai berikut :

- ✧ Jumlah channel : 16 *single-ended* or 8 *differential (selectable per channel)*
- ✧ Tipe konverter ADC : *Successive approximation*
- ✧ Resolusi ADC : 12 bits, dalam 1 - 4096
- ✧ Maks. kecepatan cuplik 200 kS/s (dijamin oleh *National Instruments*)

data akuisisi ini juga mempunyai *library* dan komponen objek yang didukung oleh perangkat lunak Matlab sehingga sangat cocok untuk digunakan sebagai referensi/pembandingan dalam melakukan pengukuran secara *real-time*.

3.6. Alat AC Voltage Current Source Standard



Gambar 3.8 AC Voltage Current Source Standard buatan *Yokogawa Inc.*

Alat yang diberikan pada gambar 3.8 digunakan sebagai salah satu sumber tegangan fasa yang dapat dibuat variabel besaran frekuensi dan amplitudo terhadap dua tegangan fasa yang lainnya sehingga akan memberikan efek kondisi *unbalance* pada sistem tegangan tiga fasa.

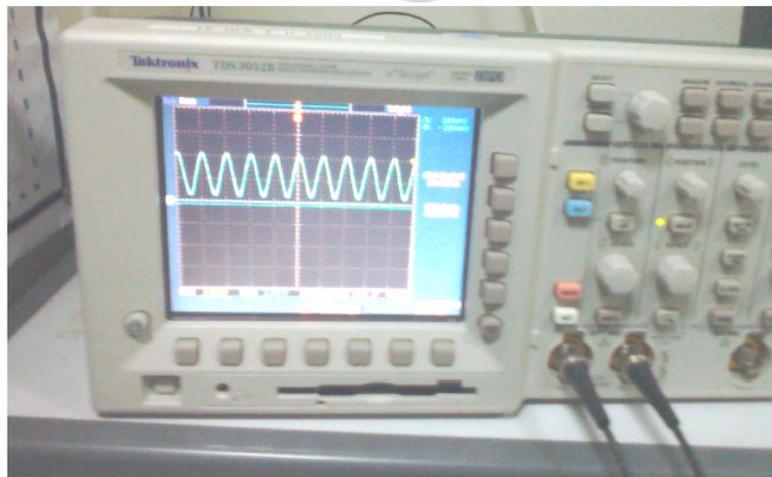
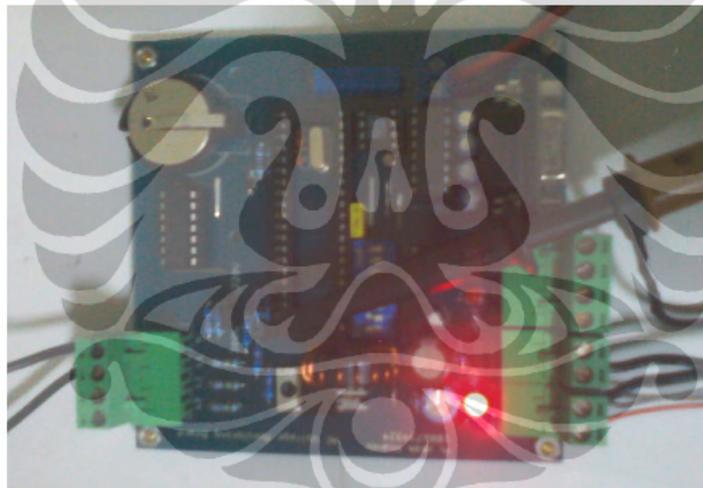
BAB 4

HASIL PENGUJIAN DAN ANALISIS

Pada bab ini akan dijelaskan mengenai hasil kalibrasi masukan sinyal, hasil pengujian secara simulasi dan pengujian secara *online* dari algoritma SRF-PLL, DSOGI-PLL dan modikasi SRF-PLL untuk mengatasi kondisi pengukuran *unbalance* akan diberikan sebagai berikut :

4.1. Kalibrasi Rangkaian Pengkondisi Sinyal Menggunakan Osiloskop

Kalibrasi rangkaian ini dilakukan dengan cara memasukkan salah satu fasa *line to netral* ke konektor masukan pengkondisi sinyal tegangan listrik tiga fasa yang kemudian diukur menggunakan osiloskop Tektronix TDS 3052B seperti yang diberikan pada gambar berikut ini :



Gambar 4.1 Kalibrasi rangkaian pengkondisi sinyal menggunakan osiloskop

Pada gambar 4.1 dapat dijelaskan bahwa hasil keluaran pengkondisi sinyal yang diukur menggunakan osiloskop dapat menampilkan sinyal sinusoida dengan baik dan *noise* yang tidak terlalu signifikan. Sinyal yang diukur pada osiloskop ini menunjukkan amplitudo rata-rata sebesar 3.7 Volt *peak to peak* sehingga ada perbedaan dari hasil disain dengan hasil pengukuran *online* sebesar,

$$\Delta V = 3.995 - 3.7 = 0.225 \text{ V}$$

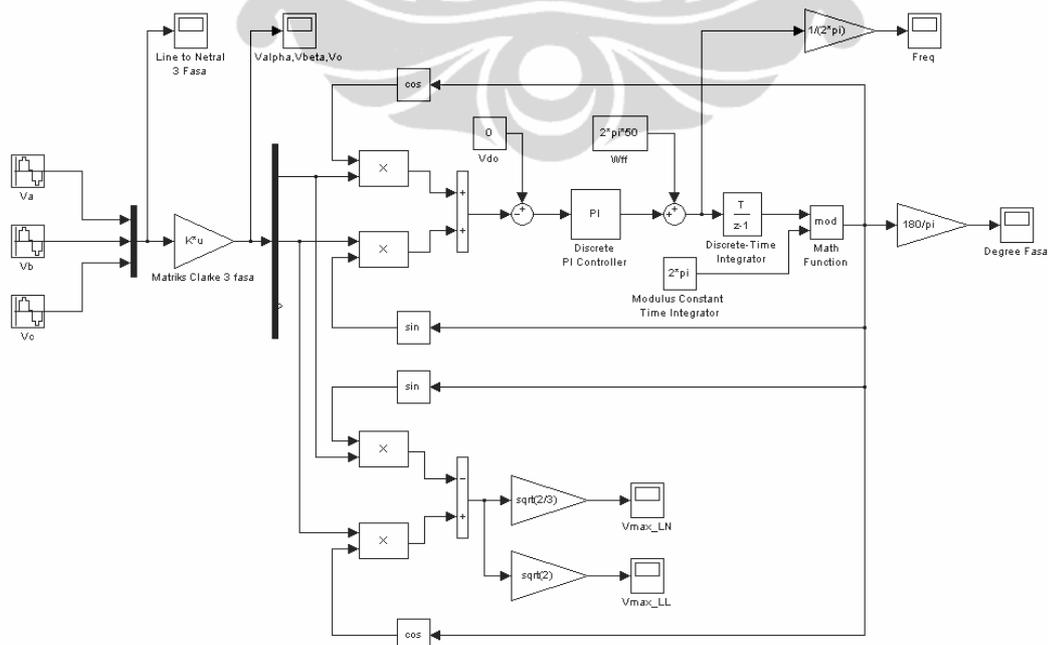
atau secara prosentase error dapat dihitung,

$$\%Error = 0.225 / 3.995 = 0.056 = 5.6 \%$$

Adanya perbedaan tegangan amplitudo *peak to peak* dari hasil disain dengan pengukuran tersebut masih dianggap wajar karena hal ini disebabkan oleh adanya drop tegangan. Untuk mengembalikan mengatasi faktor drop tegangan hanya perlu diberikan faktor pengali pada algoritma PLL.

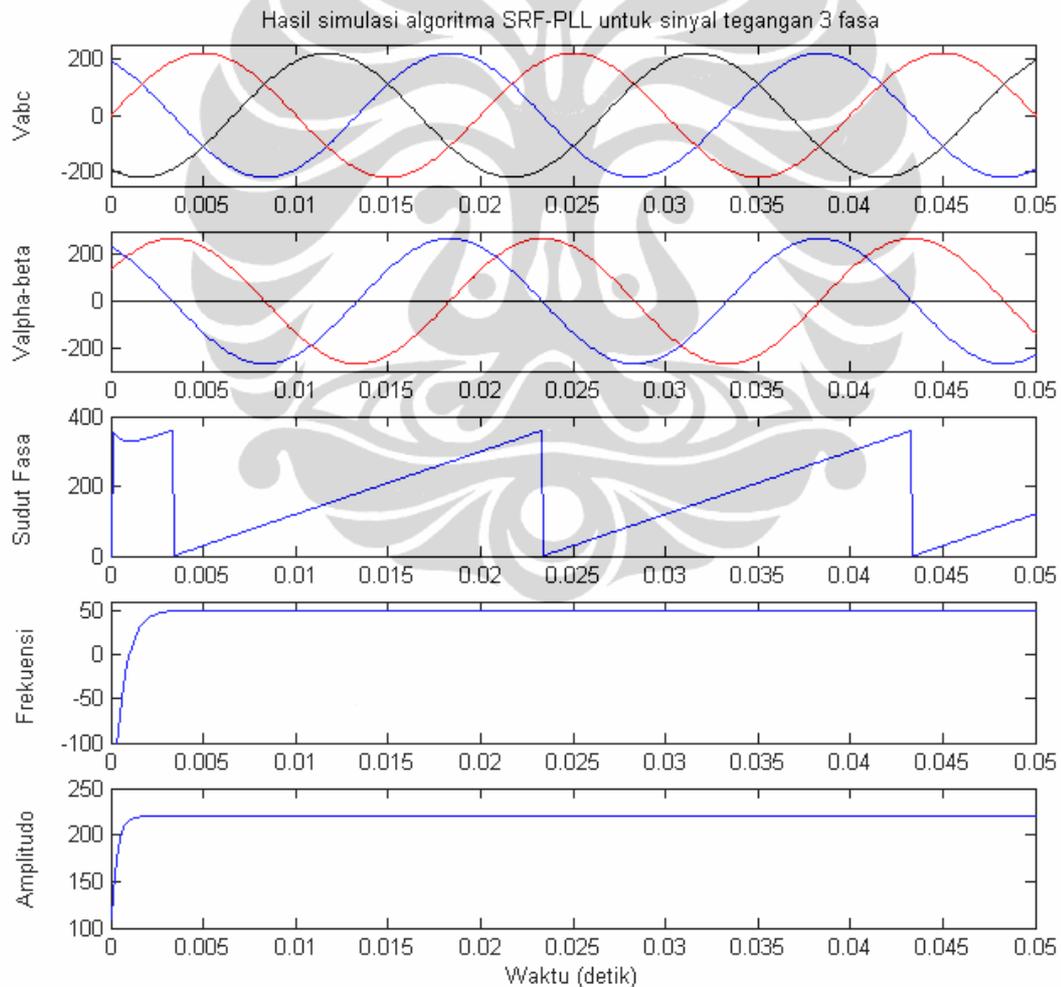
4.2. Pengujian Simulasi Algoritma SRF-PLL Untuk Sinyal Tiga Fasa

Sebelum melakukan pengujian secara *online* maka terlebih dahulu diujicobakan secara simulasi untuk mengetahui apakah algoritma yang digunakan sudah sesuai dengan hasil yang diharapkan. Pengujian secara simulasi algoritma SRF-PLL tiga fasa ini menggunakan *Simulink Matlab* dengan blok diagram standard seperti yang diberikan berikut ini :



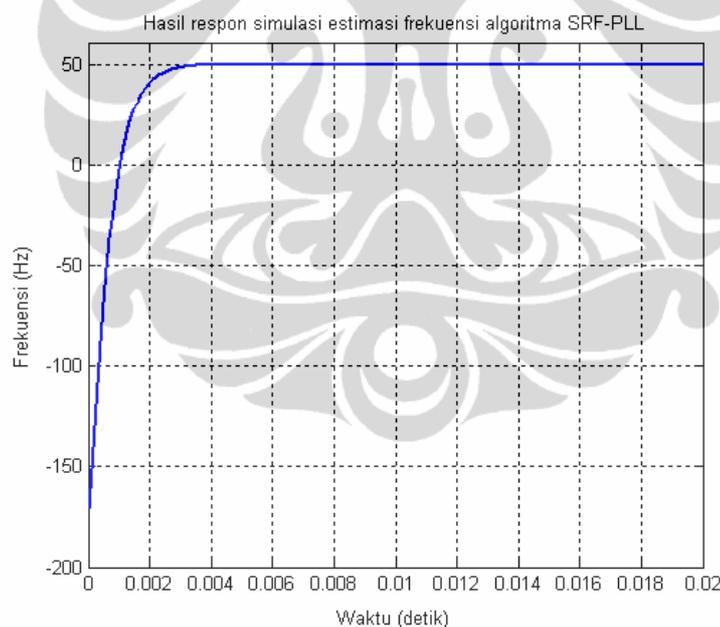
Gambar 4.2 Blok diagram simulasi algoritma SRF-PLL tiga fasa

Pada gambar 4.2 dapat dijelaskan bahwa algoritma SRF-PLL tiga fasa pada bab 2 dikonversikan dalam bentuk diagram blok standard *Simulink Matlab*. Dari blok diagram tersebut terlihat secara jelas dan transparan dengan tidak ada yang disembunyikan/ditutup-tutupi mengenai algoritma SRF-PLL tiga fasa ini. Simulasi ini juga disetting menggunakan blok diagram diskrit/*digital* dengan waktu cuplik 10^{-4} detik karena pada nantinya akan direalisasikan secara pemrograman *digital* mikrokontroler dengan waktu cuplik yang sama. Nilai parameter kontroler PI *digital* disetting sebesar $K_p=5.954$ dan $K_i=17.725$ yang merupakan hasil tuning optimal untuk *plant integrator* PLL seperti yang sudah dijelaskan pada bab 2. Sehingga hasil yang diperoleh dari simulasi SRF-PLL tiga fasa menggunakan *Simulink Matlab* ini dapat diberikan pada gambar berikut ini :



Gambar 4.3 Hasil respon simulasi algoritma SRF-PLL tiga fasa

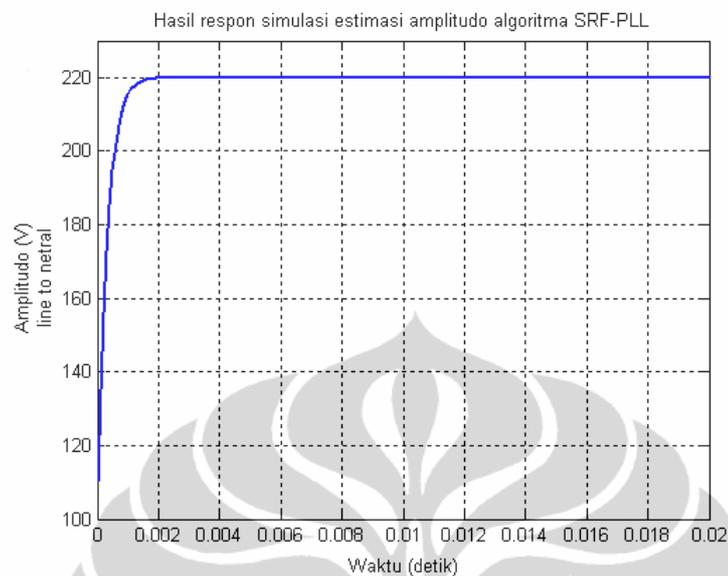
Pada gambar 4.3 dapat dilihat bahwa hasil respon grafik dari simulasi algoritma SRF-PLL dibuat secara *subplot* sejajar dalam domain waktu yang sama untuk memudahkan analisis hasil simulasi. Pada gambar *subplot* yang pertama adalah respon simulasi sinyal tegangan tiga fasa *line to netral* 220 V dengan beda fasa 120° . Selanjutnya dari tegangan tiga fasa tersebut ditransformasikan ke dalam tegangan dua fasa dengan beda fasa 90° menggunakan transformasi *Clarke* yang diberikan pada *subplot* gambar yang kedua. Untuk *subplot* yang ketiga, keempat, dan kelima adalah hasil respon estimasi pengukuran dari algoritma SRF-PLL berupa sudut fasa, frekuensi, dan amplitudo. Untuk sudut fasa dari algoritma PLL ini sebenarnya merupakan penjumlahan (*integrator*) perubahan sudut fasa dari salah satu sinyal sinusoida orthogonal transformasi *Clarke*. Untuk hasil estimasi frekuensi memberikan respon yang cukup cepat dimana untuk lebih jelasnya mengenai hasil estimasi frekuensi ini dapat diberikan pada gambar sebagai berikut :



Gambar 4.4 Hasil respon simulasi estimasi frekuensi SRF-PLL tiga fasa

Pada gambar 4.4 dapat dijelaskan bahwa untuk mencapai keadaan frekuensi *steady state* 50 Hz, algoritma SRF-PLL hanya membutuhkan waktu 0.0038 detik dengan tidak ada *overshoot*. Respon *steady state* yang sangat cepat ini juga membuktikan bahwa hasil disain kontroler PI sesuai dengan hasil yang

diharapkan. Sedangkan untuk hasil estimasi amplitudo simulasi sinyal tegangan tiga fasa *line to neutral* dapat dilihat lebih jelas pada gambar berikut ini :

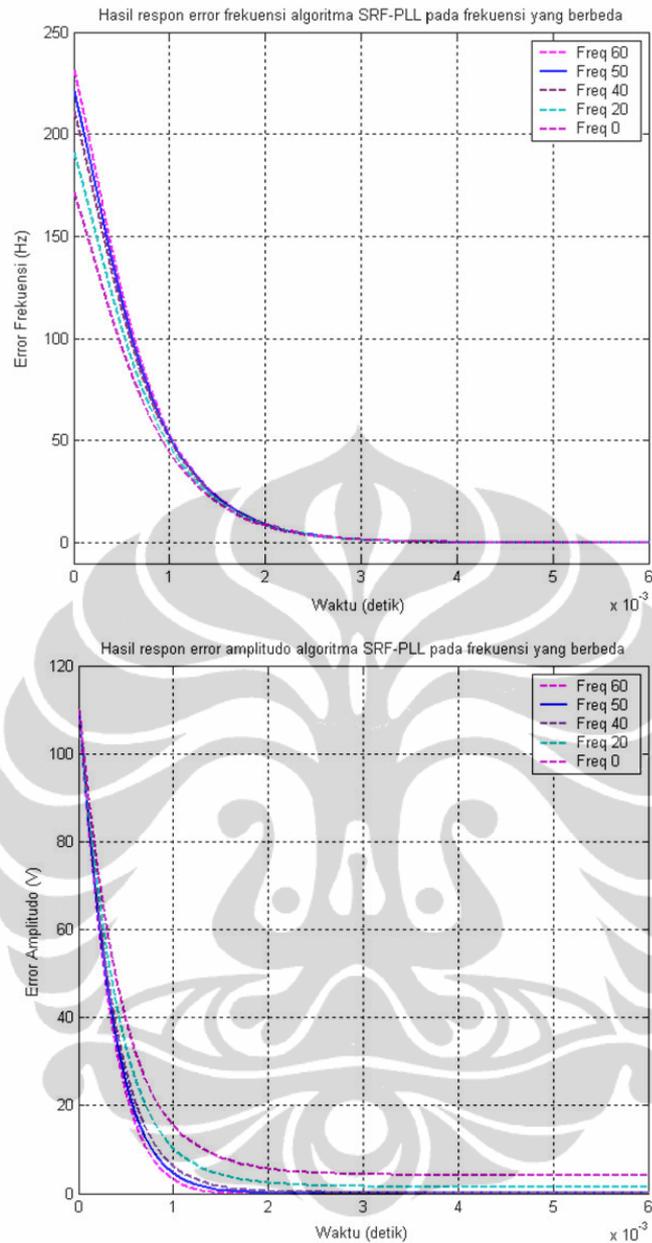


Gambar 4.5 Hasil respon simulasi estimasi amplitudo SRF-PLL tiga fasa

Pada gambar 4.5 dapat dijelaskan bahwa untuk mencapai keadaan amplitudo tegangan *steady state* 220 V (*line to neutral*) hanya membutuhkan waktu 0.002 detik tanpa adanya *overshoot*. Disain kontroler PI yang disetting optimal *settling time overshoot* orde dua dapat bekerja sesuai hasil yang diharapkan.

4.3. Pengujian Simulasi Algoritma SRF-PLL Pada Frekuensi yang Berbeda

Algoritma SRF-PLL harus diujicoba untuk dapat mendeteksi sinyal tegangan listrik untuk frekuensi yang berbeda dengan standard jala-jala 50 Hz. Hal ini bertujuan untuk melihat seberapa responsif algoritma SRF-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan *over-frequency* dan *under-frequency*. Hasil algoritma SRF-PLL untuk frekuensi yang berbeda dengan amplitudo yang sama dapat diberikan pada gambar berikut ini :



Gambar 4.6 Hasil respon *error* estimasi SRF-PLL pada frekuensi yang berbeda

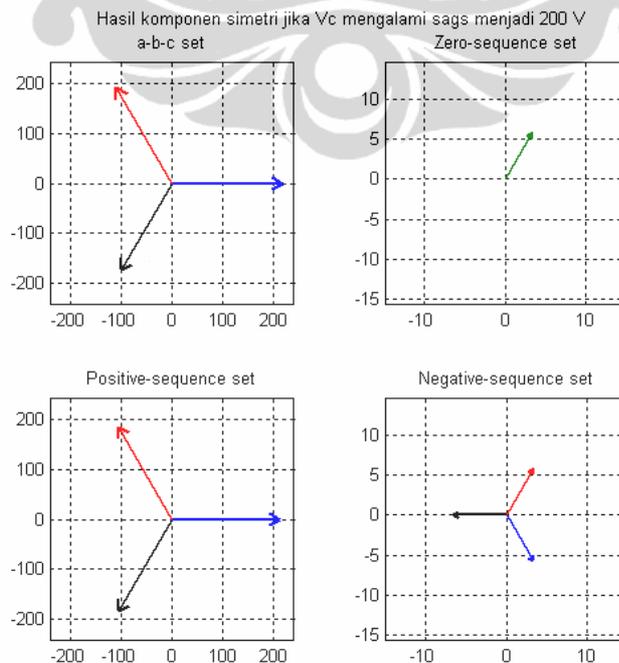
Pada gambar 4.6 dapat dijelaskan bahwa untuk frekuensi yang mempunyai perbedaan lebih dari 10 Hz dari frekuensi standard 50 Hz maka respon estimasi amplitudo pada algoritma SRF-PLL masih mempunyai *offset error*.

4.4. Pengujian Simulasi Algoritma SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan Sags

Algoritma SRF-PLL harus diujicoba untuk dapat mendeteksi sinyal tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags*. Hal ini bertujuan untuk melihat seberapa sensitif algoritma SRF-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan dimana salah satu fasa mengalami drop tegangan *sags*. Misalkan fasa Vc mengalami penurunan tegangan menjadi 200 V, maka jika dianalisis menggunakan komponen simetris dengan bantuan *library abc2sc.m* serta *rec2pol.m* pada Matlab sehingga didapatkan,

```
>> Vabc=[220 0;220 120;200 240]
Vabc =
    220     0
    220    120
    200    240
%magnitudo dan sudut fasa tegangan a
%magnitudo dan sudut fasa tegangan b
%magnitudo dan sudut fasa tegangan c
>> Vsc=abc2sc(Vabc)
Vsc =
    1.0e+002 *
    0.0333 + 0.0577i
    2.1333 + 0.0000i
    0.0333 - 0.0577i
%konversi tegangan abc to symmetrical components
%komponen simetri zero sequence
%komponen simetri positive sequence
%komponen simetri negative sequence
>> Vpol=rec2pol(Vsc)
Vpol =
    6.6667    60.0000
    213.3333    0.0000
    6.6667   -60.0000
%komponen simetri fasor zero sequence
%komponen simetri fasor positive sequence
%komponen simetri fasor negatif sequence
```

Hasil simulasi juga menghasilkan gambar komponen simetri berikut ini :



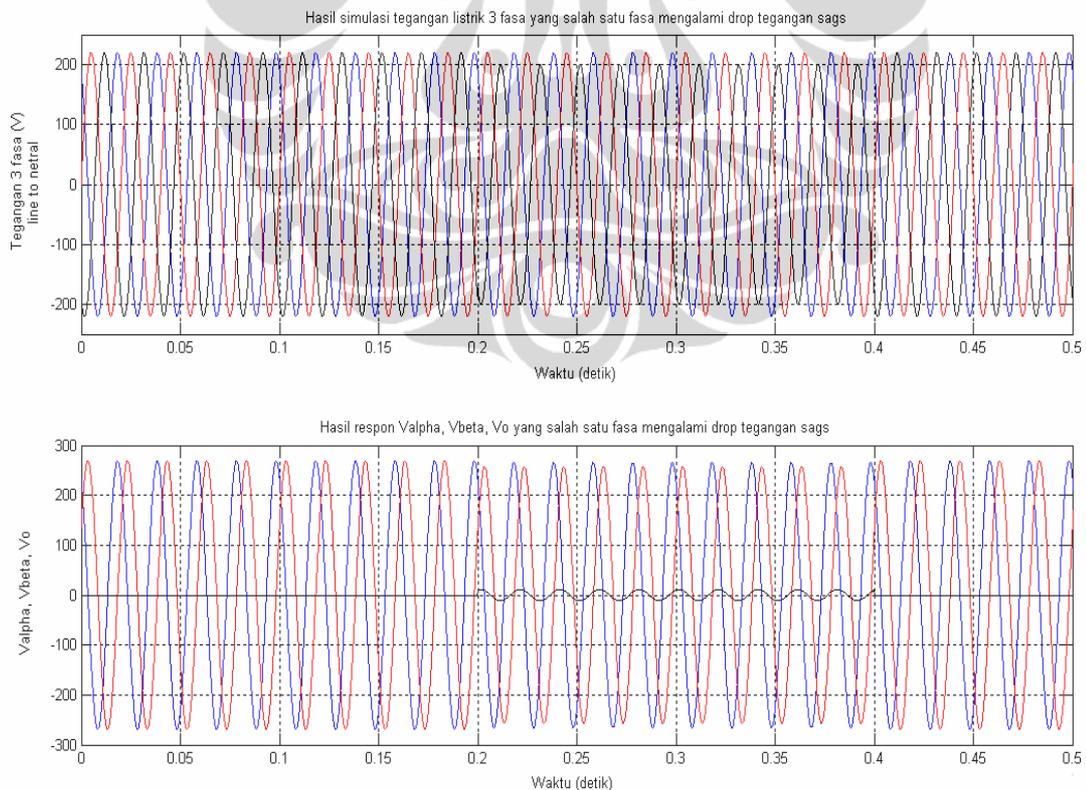
Gambar 4.7 Hasil komponen simetri jika Vc mengalami *sags*

Pada gambar 4.7 dapat dijelaskan bahwa jika salah satu fasa mengalami tegangan *sags* maka juga dapat dipecah menjadi komponen simetri berupa *zero sequence*, *positive sequence*, dan *negative sequence*. Hasil dari komponen simetri juga mengindikasikan bahwa tegangan *sags* juga mengakibatkan kondisi *unbalance* pada sistem tegangan tiga fasa dimana prosentase *unbalance* yang terjadi dapat dihitung menggunakan Matlab sebagai berikut :

```
>> Vavg=(Vabc(1,1)+Vabc(2,1)+Vabc(3,1))/3 %tegangan rata-rata sistem 3 fasa
Vavg =
    213.3333
>> PUVR=((Vabc(1,1)-Vavg)/Vavg)*100 %phase unbalance voltage rate
PUVR =
    3.1250
>> NSUF=(Vpol(3,1)/Vpol(2,1))*100 %negative sequence unbalance factor
NSUF =
    3.1250
```

Dari perhitungan prosentase *unbalance* menggunakan standard IEEE dan standard IEC ternyata menghasilkan nilai yang sama sebesar 3.125 %.

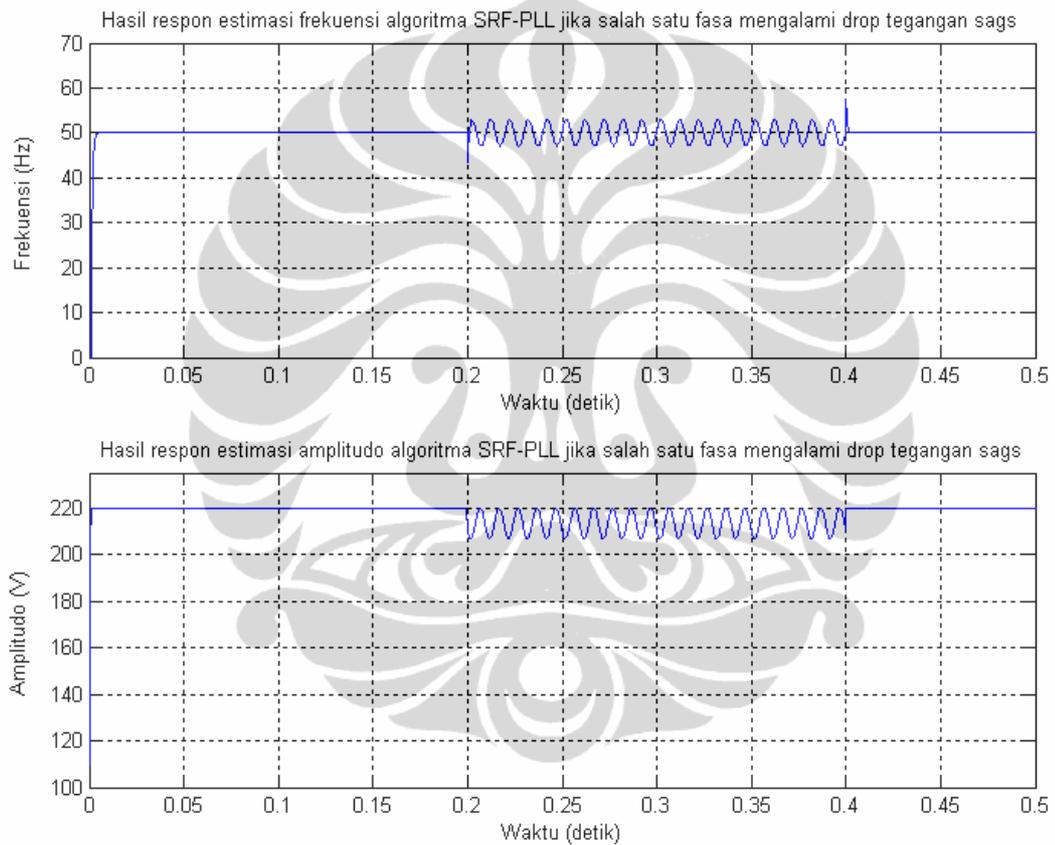
Selanjutnya tegangan tiga fasa yang mengalami *sags* ini diujicobakan ke dalam algoritma SRF-PLL dengan hasil sebagai berikut :



Gambar 4.8 Hasil respon transformasi *Clarke* tegangan tiga fasa yang salah satu fasa mengalami drop tegangan *sags*

Pada gambar 4.8 dapat dijelaskan bahwa jika salah satu fasa mengalami drop tegangan *sags* sehingga mengakibatkan terjadi *unbalance* maka hasil respon transformasi *Clarke* mendapatkan sinyal V_o yang tidak setimbang dimana besaran amplitudo dari sinyal V_o ini merepresentasikan besaran *unbalance* yang terjadi pada tegangan listrik tiga fasa.

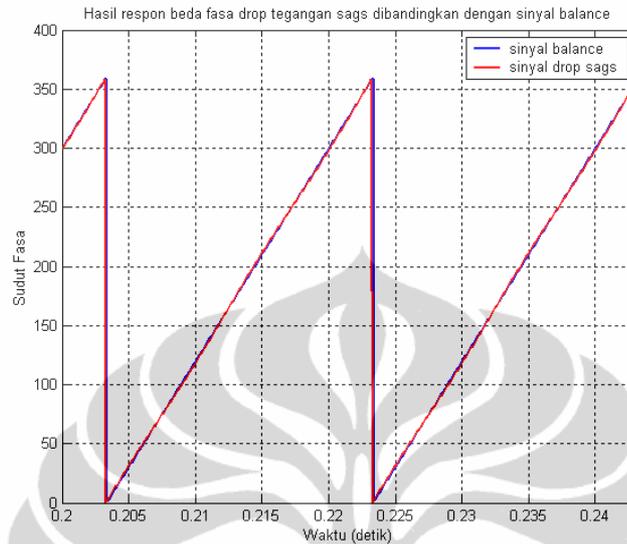
Selanjutnya respon besaran amplitudo dan frekuensi dari hasil algoritma SRF-PLL pada kondisi tegangan tiga fasa mengalami drop tegangan *sags* dapat diberikan sebagai berikut :



Gambar 4.9 Hasil respon estimasi frekuensi dan amplitudo algoritma SRF-PLL saat salah satu fasa mengalami drop tegangan *sags*

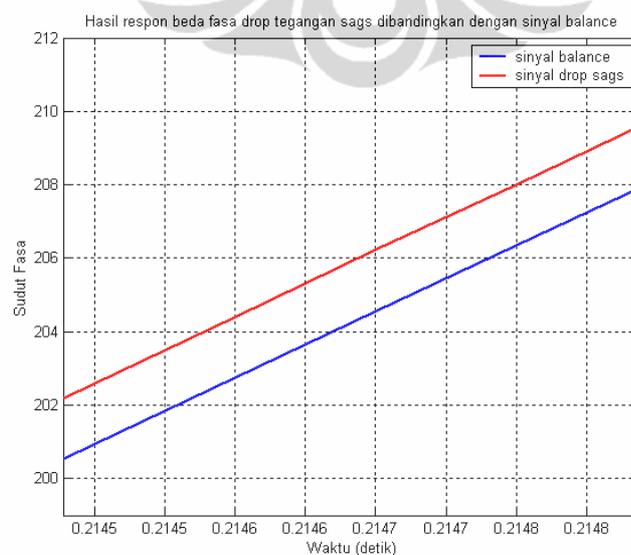
Pada gambar 4.9 dapat dijelaskan bahwa hasil respon menunjukkan adanya osilasi saat salah satu fasa mengalami drop tegangan *sags*. Respon yang berhasil ini mengakibatkan pembacaan pengukuran menjadi tidak konsisten sehingga kurang direkomendasikan dalam suatu sistem pengukuran. Oleh karena itu algoritma SRF-PLL dianggap masih kurang mampu mendeteksi estimasi frekuensi dan amplitudo pada saat salah satu fasa mengalami drop tegangan *sags*.

Selanjutnya untuk estimasi sudut fasa pada kondisi salah satu fasa yang mengalami drop tegangan *sags* tersebut jika dibandingkan dengan tegangan tiga fasa *balance* dapat diberikan sebagai berikut :



Gambar 4.10 Hasil respon beda fasa algoritma SRF-PLL pada kondisi salah satu fasa mengalami drop tegangan *sags* dengan sinyal *balance*

Pada gambar 4.10 dapat dilihat bahwa pada kondisi salah satu tegangan fasa mengalami drop tegangan *sags* sampai 9 % dari tegangan *balance* akan menghasilkan respon sudut fasa yang sedikit berbeda dengan tegangan tiga fasa *balance*. Beda fasa yang terjadi sampai 1.7 derajat seperti yang diberikan pada gambar 4.11 berikut ini :



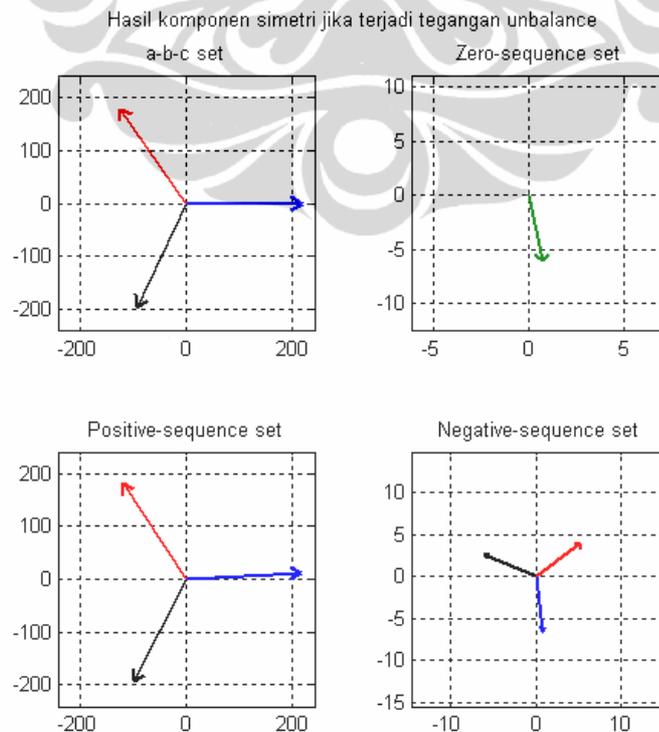
Gambar 4.11 Hasil perbesaran respon beda fasa algoritma SRF-PLL sinyal tegangan *sags* dengan sinyal *balance*

4.5. Pengujian Simulasi Algoritma SRF-PLL Pada Tegangan Tiga Fasa *Unbalance*

Pada pengujian tegangan tiga fasa *unbalance* ini digunakan komposisi magnitudo dan sudut fasa yang semuanya tidak sama dan tidak setimbang. Misalkan tegangan *unbalance* yang terjadi adalah $V_a = 220\angle 0^\circ$, $V_b = 219\angle 125^\circ$, dan $V_c = 218\angle 245^\circ$, sehingga dapat dihitung komponen simetri menggunakan Matlab sebagai berikut :

```
>> Vabc=[220 0;219 125;218 245]
Vabc =
    220     0
    219    125
    218    245
%magnitudo dan sudut fasa tegangan a
%magnitudo dan sudut fasa tegangan b
%magnitudo dan sudut fasa tegangan c
>> Vsc=abc2sc(Vabc)
Vsc =
    1.0e+002 *
    0.0075 - 0.0606i
    2.1845 + 0.1270i
    0.0080 - 0.0664i
%konversi tegangan abc to symmetrical components
%komponen simetri zero sequence
%komponen simetri positive sequence
%komponen simetri negative sequence
>> Vpol=rec2pol(Vsc)
Vpol =
    6.1067 -82.9266
    218.8143   3.3262
    6.6837 -83.1056
%komponen simetri fasor zero sequence
%komponen simetri fasor positive sequence
%komponen simetri fasor negatif sequence
```

Hasil simulasi juga menghasilkan gambar berikut ini :



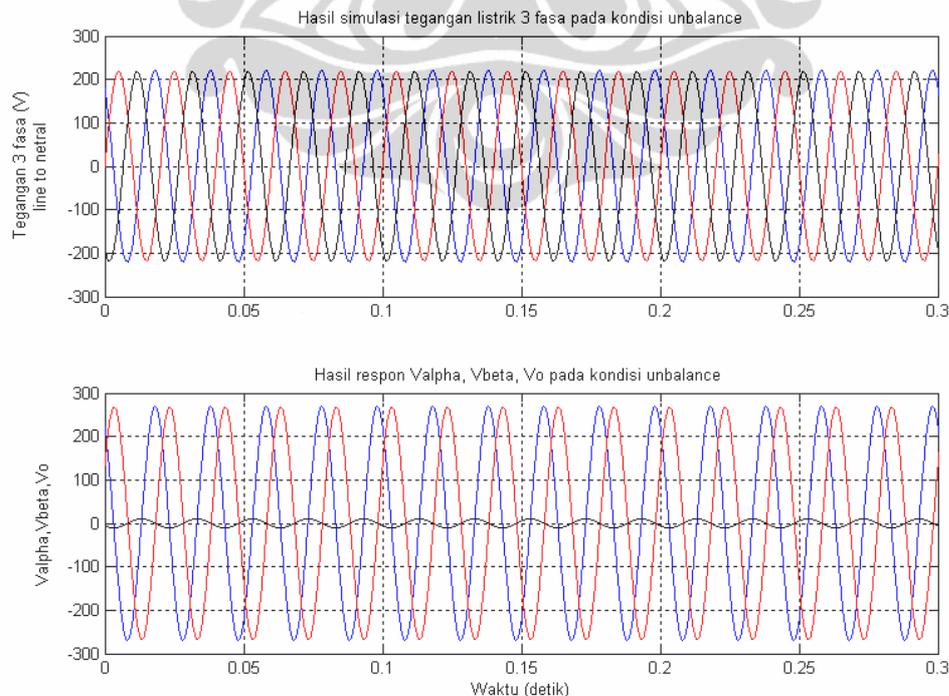
Gambar 4.12 Hasil komponen simetri jika terjadi tegangan *unbalance*

Pada gambar 4.12 dapat dijelaskan bahwa jika terjadi tegangan *unbalance* maka juga dapat dipecah menjadi komponen simetri berupa *zero sequence*, *positive sequence*, dan *negative sequence*. prosentase *unbalance* yang terjadi dapat dihitung menggunakan Matlab sebagai berikut :

```
>> Vavg=(Vabc(1,1)+Vabc(2,1)+Vabc(3,1))/3 %tegangan rata-rata sistem 3 fasa
Vavg =
    219
>> PUVR=((Vabc(1,1)-Vavg)/Vavg)*100 %phase unbalance voltage rate
PUVR =
    0.4566
>> NSUF=(Vpol(3,1)/Vpol(2,1))*100 %negative sequence unbalance factor
NSUF =
    3.0545
```

Dari perhitungan prosentase *unbalance* menggunakan standard IEEE dan standard IEC ternyata menghasilkan nilai yang tidak sama dimana hasil dari standard IEEE jauh lebih kecil 15 % dari hasil standard IEC. Hal ini disebabkan karena pada standard IEEE tidak memperhitungkan sudut fasa pada perhitungan *unbalance* sehingga sering standard IEC lebih mendekati definisi yang sebenarnya dari perhitungan *unbalance* karena besaran fasor dari *sequence* positif dan negatif yang dijadikan acuan dalam perhitungan *unbalance* sistem tiga fasa.

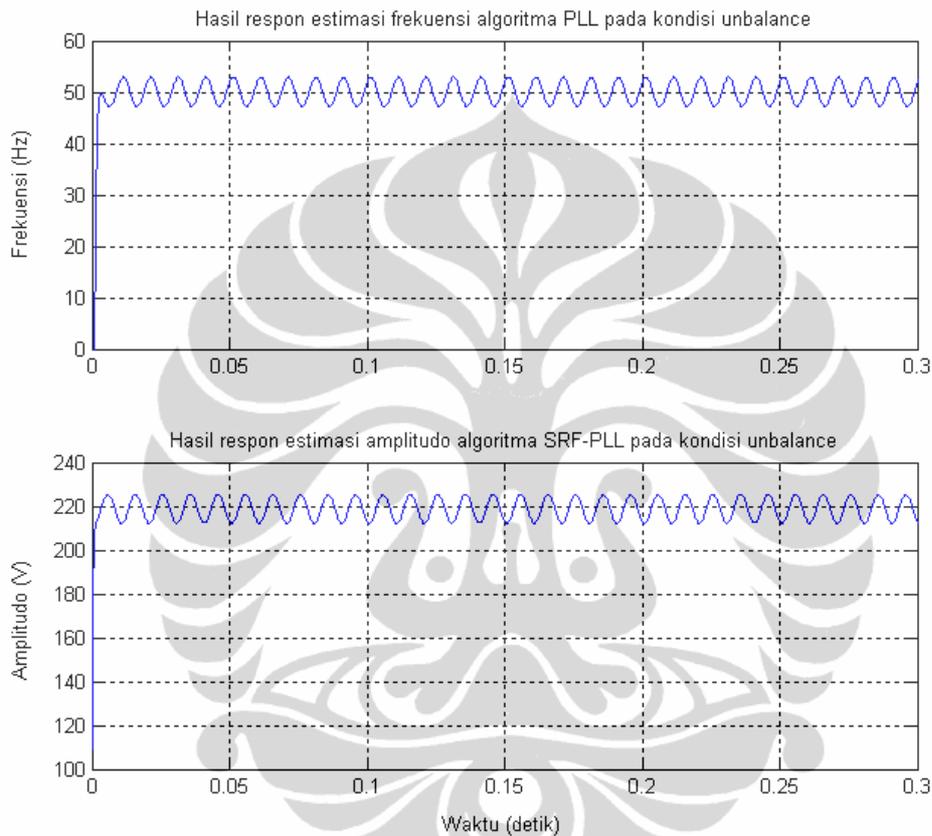
Selanjutnya tegangan tiga fasa yang *unbalance* ini diujicobakan ke dalam algoritma SRF-PLL dengan hasil sebagai berikut :



Gambar 4.13 Hasil respon transformasi Clarke pada kondisi *unbalance*

Pada gambar 4.13 dapat dijelaskan bahwa jika terjadi tegangan *unbalance* maka hasil respon transformasi *Clarke* mendapatkan sinyal V_o yang tidak setimbang dimana besaran amplitudo dari sinyal V_o ini merepresentasikan besaran *unbalance* yang terjadi pada tegangan listrik tiga fasa.

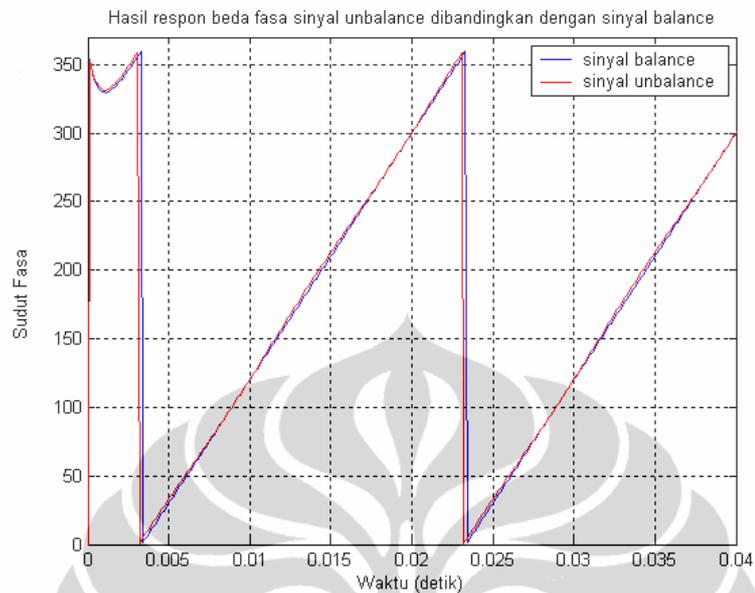
Selanjutnya respon besaran amplitudo dan frekuensi dari hasil algoritma SRF-PLL pada kondisi tegangan *unbalance* dapat diberikan sebagai berikut :



Gambar 4.14 Hasil respon estimasi frekuensi dan amplitudo algoritma SRF-PLL pada kondisi *unbalance*

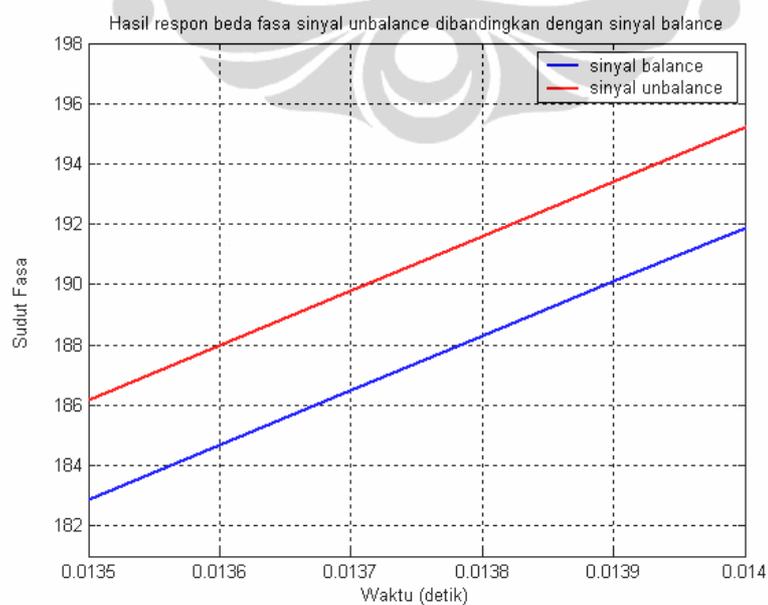
Pada gambar 4.14 dapat dijelaskan bahwa hasil respon menunjukkan adanya osilasi pada kondisi *unbalance*. Respon yang berosilasi ini mengakibatkan pembacaan pengukuran menjadi tidak konsisten sehingga kurang direkomendasikan dalam suatu sistem pengukuran. Oleh karena itu algoritma SRF-PLL dianggap masih kurang mampu mendeteksi estimasi frekuensi dan amplitudo pada kondisi *unbalance*.

Selanjutnya untuk estimasi sudut fasa pada kondisi *unbalance* jika dibandingkan dengan tegangan tiga fasa *balance* dapat diberikan sebagai berikut :



Gambar 4.15 Hasil respon beda fasa algoritma SRF-PLL pada kondisi sinyal *unbalance* dengan sinyal *balance*

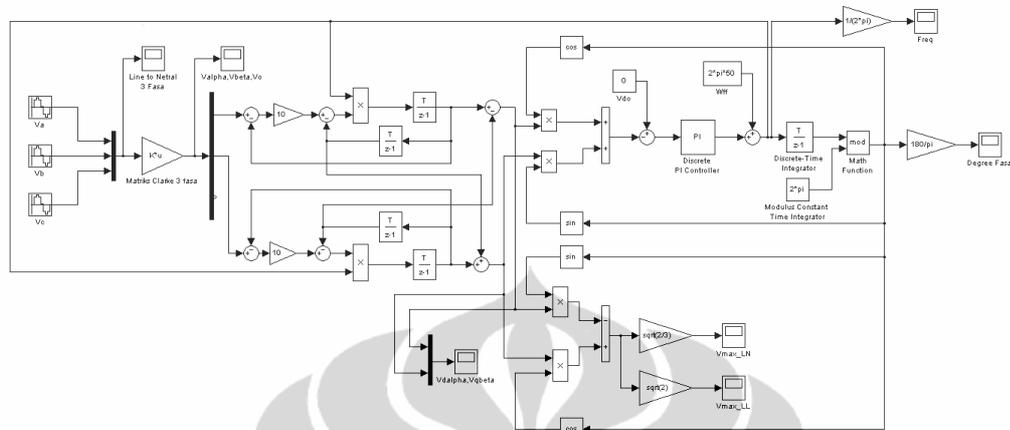
Pada gambar 4.15 dapat dilihat bahwa pada kondisi tegangan tiga fasa *unbalance* akan menghasilkan respon sudut fasa yang sedikit berbeda dengan tegangan tiga fasa *balance*. Beda fasa yang terjadi dapat mencapai 3.3 derajat seperti yang diberikan pada gambar 4.16 berikut ini :



Gambar 4.16 Hasil perbesaran respon beda fasa algoritma SRF-PLL pada kondisi sinyal *unbalance* dengan sinyal *balance*

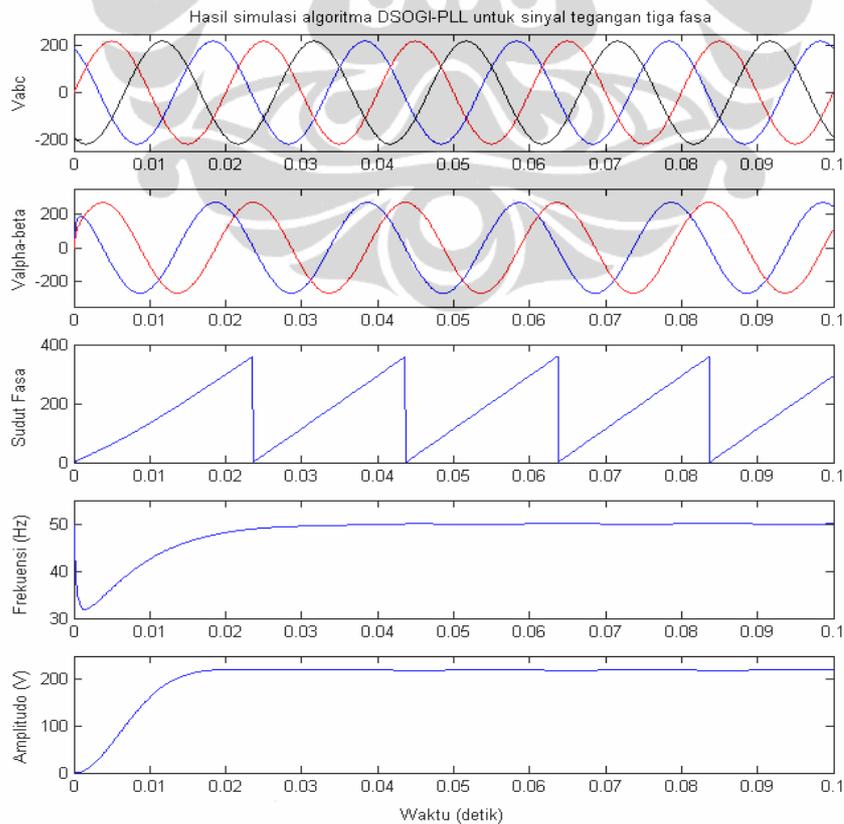
4.6. Pengujian Simulasi Algoritma DSOGI-PLL Untuk Sinyal Tiga Fasa

Algoritma DSOGI-PLL dapat digambarkan secara blok diagram seperti yang diberikan berikut ini :



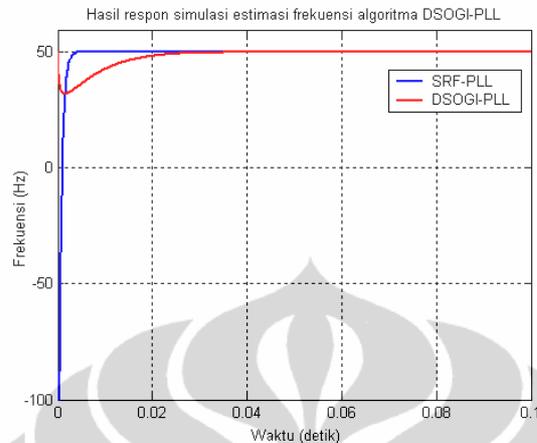
Gambar 4.17 Blok diagram simulasi algoritma DSOGI-PLL tiga fasa

Pada gambar 4.17 dapat dijelaskan bahwa algoritma DSOGI-PLL menambahkan *decoupling Second Order Generalized Integrator (SOGI)* setelah keluaran sinyal transformasi *Clarke*, dimana hasil respon algoritma DSOGI-PLL dapat diberikan pada gambar sebagai berikut :



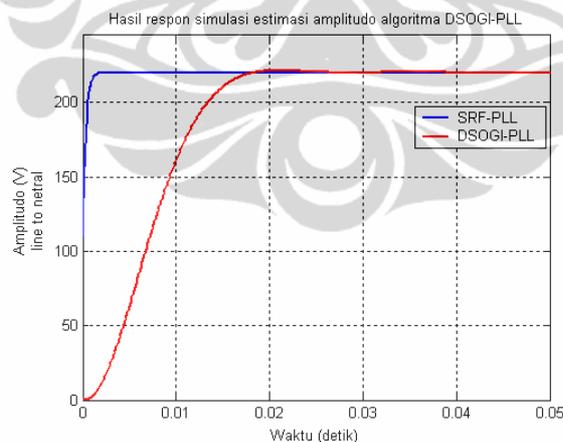
Gambar 4.18 Hasil respon simulasi algoritma DSOGI-PLL tiga fasa

Pada gambar 4.18 dapat dijelaskan bahwa hasil estimasi frekuensi dan estimasi amplitudo untuk algoritma DSOGI-PLL ini memberikan respon yang cukup cepat, dimana untuk lebih jelasnya diberikan pada gambar sebagai berikut :



Gambar 4.19 Hasil respon simulasi estimasi frekuensi DSOGI-PLL tiga fasa

Pada gambar 4.19 dapat dijelaskan bahwa untuk mencapai keadaan frekuensi *steady state* 50 Hz, algoritma DSOGI-PLL membutuhkan waktu 0.04 detik tanpa adanya *overshoot*. Hasil estimasi frekuensi DSOGI-PLL mempunyai respon *transient steady state* 20 kali lebih lambat dibandingkan waktu respon algoritma SRF-PLL.

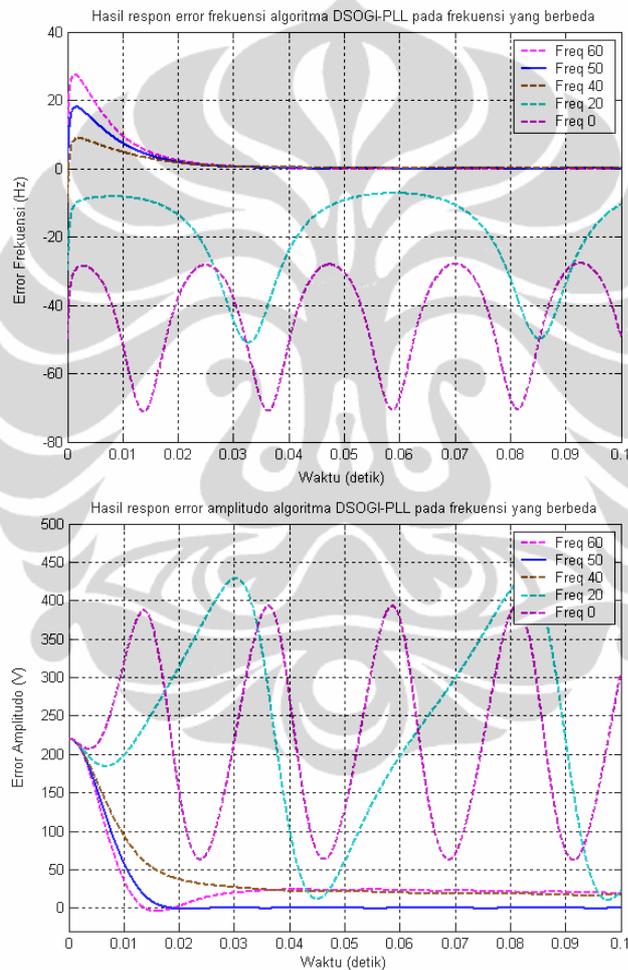


Gambar 4.20 Hasil respon simulasi estimasi amplitudo DSOGI-PLL tiga fasa

Pada gambar 4.20 dapat dijelaskan bahwa untuk mencapai keadaan amplitudo *steady state* 220 V, algoritma DSOGI-PLL membutuhkan waktu 0.03 detik dengan maksimum *overshoot* sebesar 0.7 %. Hasil estimasi amplitudo untuk algoritma DSOGI-PLL masih mempunyai respon *transient steady state* 15 kali lebih lambat dibandingkan waktu respon algoritma SRF-PLL.

4.7. Pengujian Simulasi Algoritma DSOGI-PLL Pada Frekuensi yang Berbeda

Algoritma DSOGI-PLL harus diujicoba untuk dapat mendeteksi sinyal tegangan listrik pada frekuensi yang berbeda dengan standard jala-jala 50 Hz. Hal ini bertujuan untuk melihat seberapa responsif algoritma DSOGI-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan *over-frequency* dan *under-frequency*. Hasil algoritma DSOGI-PLL untuk frekuensi yang berbeda dengan amplitudo yang sama diberikan sebagai berikut :

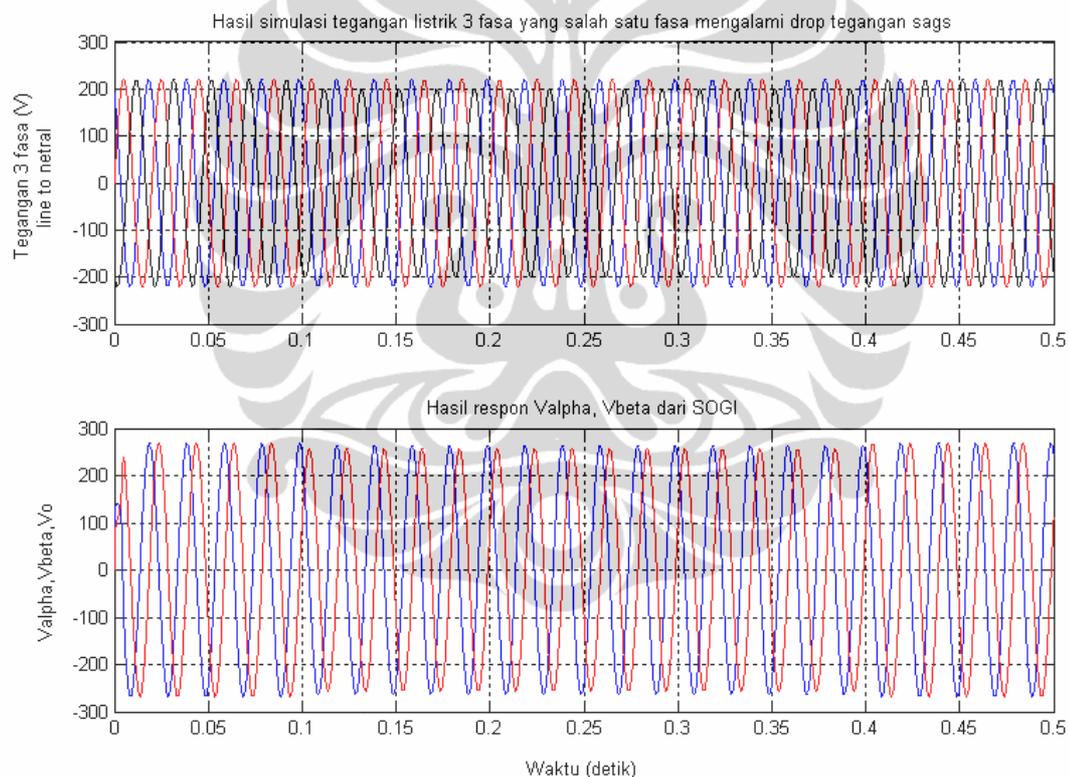


Gambar 4.21 Hasil *error* estimasi algoritma DSOGI-PLL pada frekuensi berbeda

Pada gambar 4.21 dapat dijelaskan bahwa estimasi frekuensi dan estimasi amplitudo pada algoritma DSOGI-PLL masih mempunyai *offset error* untuk frekuensi sinyal diluar frekuensi standard 50 Hz. *Offset error* ini disebabkan oleh referensi kecepatan sudut yang mempunyai frekuensi 50 Hz sehingga membuat algoritma DSOGI-PLL tidak mampu mengestimasi diluar frekuensi referensi.

4.8. Pengujian Simulasi Algoritma DSOGI-PLL Tiga Fasa yang Salah Satu Fasa Mengalami Drop Tegangan *Sags*

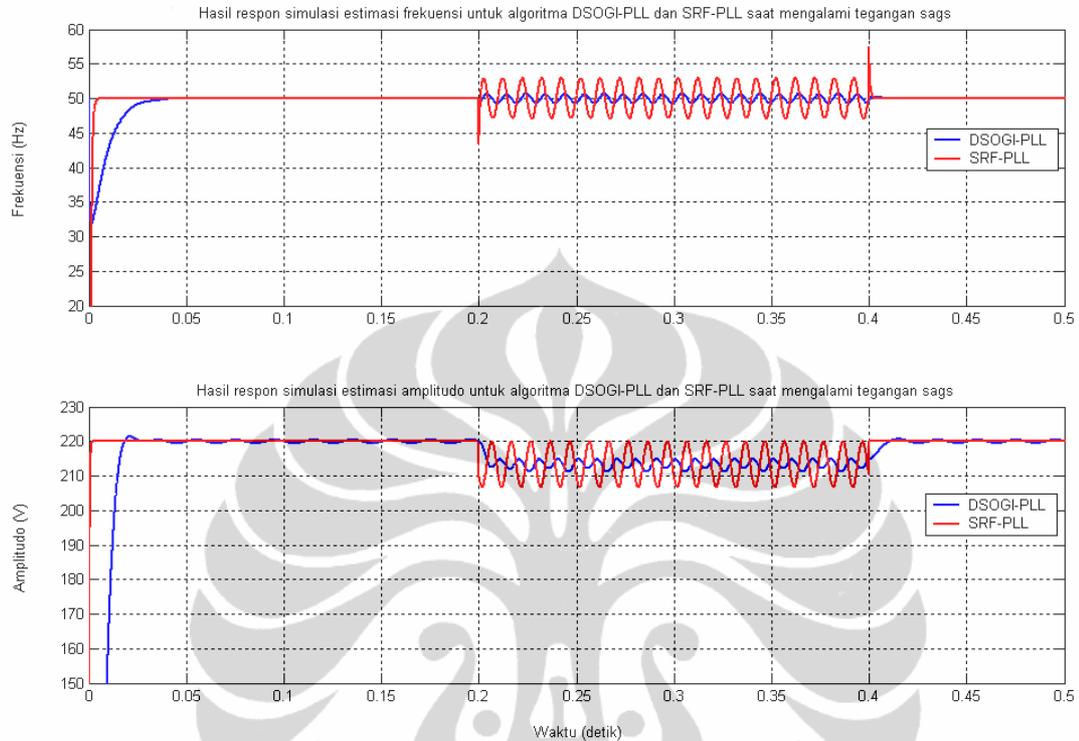
Algoritma DSOGI-PLL harus diujicoba untuk dapat mendeteksi sinyal tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags*. Hal ini bertujuan untuk melihat seberapa sensitif algoritma DSOGI-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan dimana salah satu fasa mengalami drop tegangan *sags*. Misalkan fasa V_c mengalami penurunan tegangan menjadi 200 V seperti yang sudah diujicobakan pada algoritma SRF-PLL pada subbab 4.4. Selanjutnya tegangan tiga fasa yang mengalami *sags* ini diujicobakan ke dalam algoritma DSOGI-PLL dengan hasil sebagai berikut :



Gambar 4.22 Hasil respon transformasi *Clarke*-SOGI tegangan tiga fasa yang salah satu fasa mengalami drop tegangan *sags*

Pada gambar 4.22 dapat dijelaskan bahwa jika salah satu fasa mengalami drop tegangan *sags* sehingga mengakibatkan terjadi *unbalance* maka hasil respon transformasi *Clarke* dan algoritma SOGI mendapatkan sinyal V_{α} dan V_{β} yang tidak setimbang dan merepresentasikan besaran *unbalance* yang terjadi pada tegangan listrik tiga fasa.

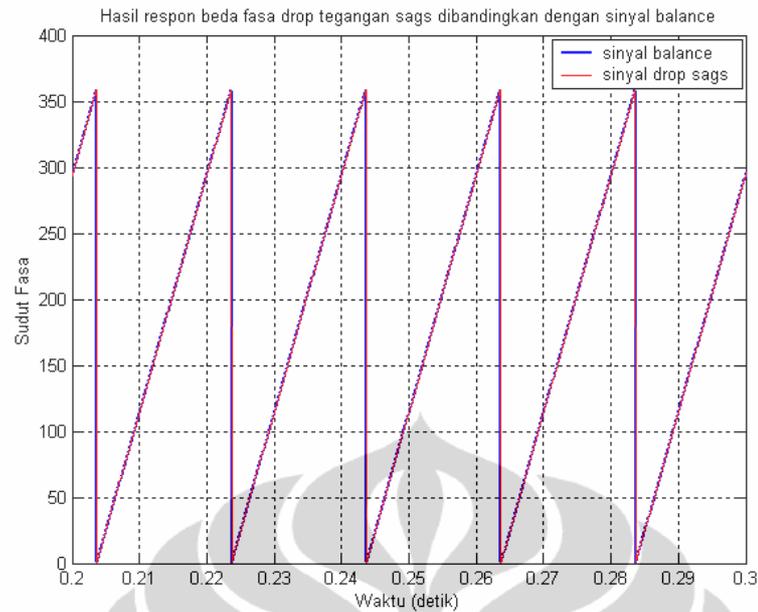
Selanjutnya respon besaran amplitudo dan frekuensi dari hasil algoritma DSOGI-PLL dibandingkan dengan SRF-PLL pada kondisi tegangan tiga fasa yang mengalami drop tegangan *sags* dapat diberikan sebagai berikut :



Gambar 4.23 Hasil respon estimasi frekuensi dan amplitudo algoritma DSOGI-PLL dan SRF-PLL saat mengalami tegangan *sags*

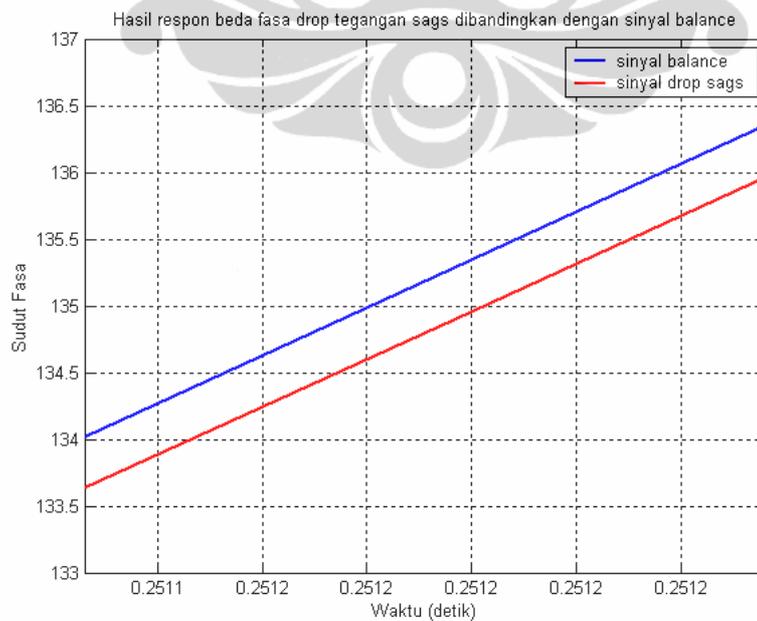
Pada gambar 4.23 dapat dijelaskan bahwa hasil respon estimasi frekuensi dan amplitudo untuk algoritma DSOGI-PLL mempunyai respon yang lebih baik dari SRF-PLL pada saat mengalami tegangan *sags* karena algoritma DSOGI-PLL dapat mengkompensasi osilasi pengukuran menjadi teredam dan menghasilkan nilai rata-rata dari osilasi tersebut. Namun dalam hal ini masih juga terdapat osilasi pada algoritma DSOGI-PLL sehingga masih diperlukan modifikasi algoritma yang lain untuk mendapatkan respon yang lebih baik lagi.

Selanjutnya untuk estimasi sudut fasa pada kondisi salah satu fasa yang mengalami drop tegangan *sags* tersebut jika dibandingkan dengan tegangan tiga fasa *balance* dapat diberikan sebagai berikut :



Gambar 4.24 Hasil respon beda fasa algoritma DSOGI-PLL pada kondisi salah satu fasa mengalami drop tegangan *sags* dengan sinyal *balance*

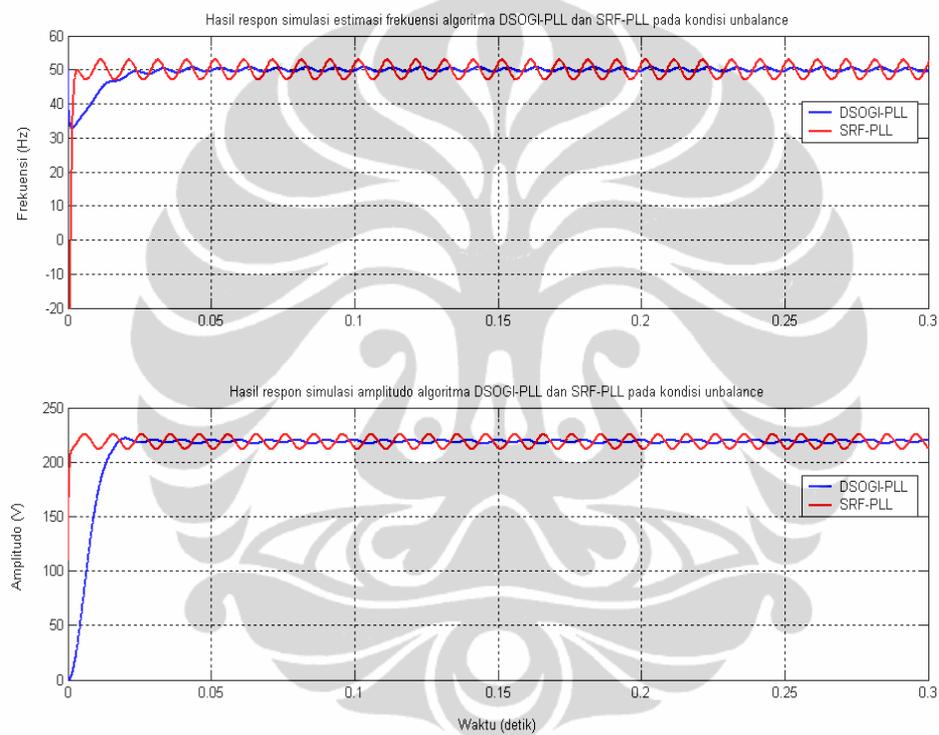
Pada gambar 4.24 dapat dilihat bahwa pada kondisi salah satu tegangan fasa mengalami drop tegangan *sags* sampai 9 % dari tegangan *balance* akan menghasilkan respon sudut fasa yang sangat berhimpit dengan tegangan tiga fasa *balance*. Beda fasa yang terjadi hanya sampai 0.4 derajat seperti yang diberikan pada gambar 4.25 berikut ini :



Gambar 4.25 Hasil perbesaran respon beda fasa algoritma DSOGI-PLL sinyal tegangan *sags* dengan sinyal *balance*

4.9. Pengujian Simulasi Algoritma DSOGI-PLL Pada Tegangan Tiga Fasa *Unbalance*

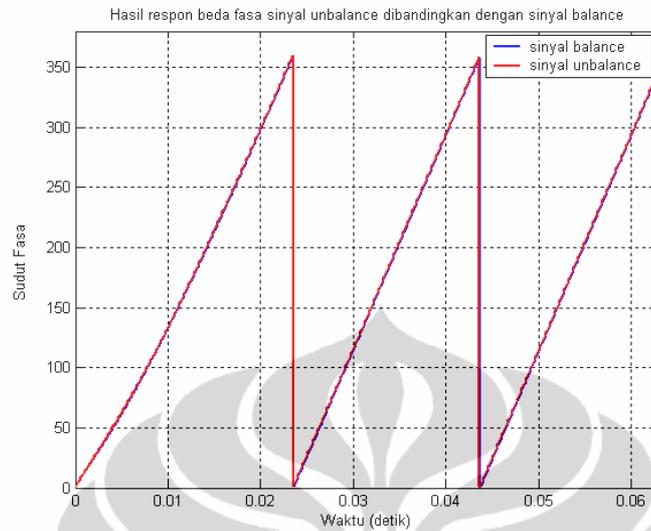
Pada pengujian tegangan tiga fasa *unbalance* ini digunakan komposisi magnitudo dan sudut fasa yang semuanya tidak sama dan tidak setimbang. Misalkan tegangan *unbalance* yang terjadi adalah $V_a = 220\angle 0^\circ$, $V_b = 219\angle 125^\circ$, dan $V_c = 218\angle 245^\circ$ yang sama seperti pada subbab 4.5. Selanjutnya tegangan tiga fasa yang *unbalance* ini diujicobakan ke dalam algoritma DSOGI-PLL dengan hasil sebagai berikut :



Gambar 4.26 Hasil respon estimasi frekuensi dan amplitudo algoritma DSOGI-PLL dan SRF-PLL pada kondisi *unbalance*

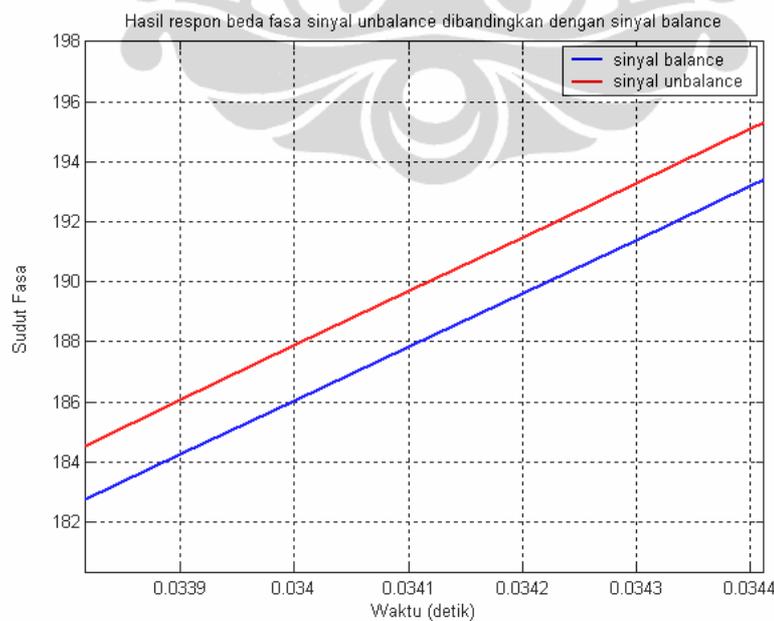
Pada gambar 4.26 dapat dijelaskan bahwa hasil respon estimasi frekuensi dan amplitudo untuk algoritma DSOGI-PLL mempunyai respon yang lebih baik dari SRF-PLL pada kondisi *unbalance* karena algoritma DSOGI-PLL dapat mengkompensasi osilasi pengukuran menjadi teredam dan menghasilkan nilai rata-rata dari osilasi tersebut.

Selanjutnya untuk estimasi sudut fasa pada kondisi *unbalance* jika dibandingkan dengan tegangan tiga fasa *balance* dapat diberikan sebagai berikut :



Gambar 4.27 Hasil respon beda fasa algoritma SRF-PLL pada kondisi sinyal *unbalance* dengan sinyal *balance*

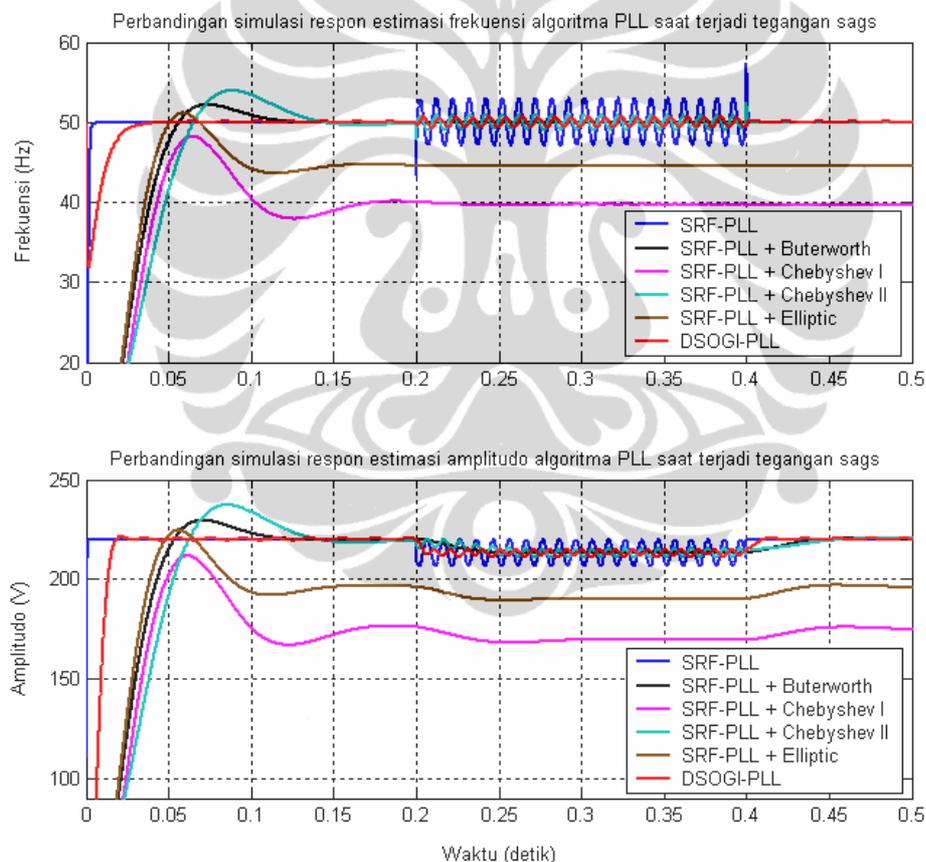
Pada gambar 4.27 dapat dilihat bahwa pada kondisi tegangan tiga fasa *unbalance* akan menghasilkan respon sudut fasa yang sedikit berbeda dengan tegangan tiga fasa *balance*. Beda fasa yang terjadi dapat mencapai 2 derajat seperti yang diberikan pada gambar 4.28 berikut ini :



Gambar 4.28 Hasil perbesaran respon beda fasa algoritma DSOGI-PLL pada kondisi sinyal *unbalance* dengan sinyal *balance*

4.10. Pengujian Simulasi Algoritma Modifikasi SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan Sags

Algoritma modifikasi SRF-PLL harus diujicoba untuk dapat mendeteksi sinyal tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags*. Hal ini bertujuan untuk melihat seberapa sensitif algoritma modifikasi SRF-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan dimana salah satu fasa mengalami drop tegangan *sags*. Misalkan fasa V_c mengalami penurunan tegangan menjadi 200 V seperti yang sudah diujicobakan pada subbab 4.4 dan subbab 4.8. Hasil pengujian untuk algoritma modifikasi SRF-PLL dengan menggunakan digital *lowpass* filter orde dua serta perbandingannya dapat diberikan sebagai berikut :

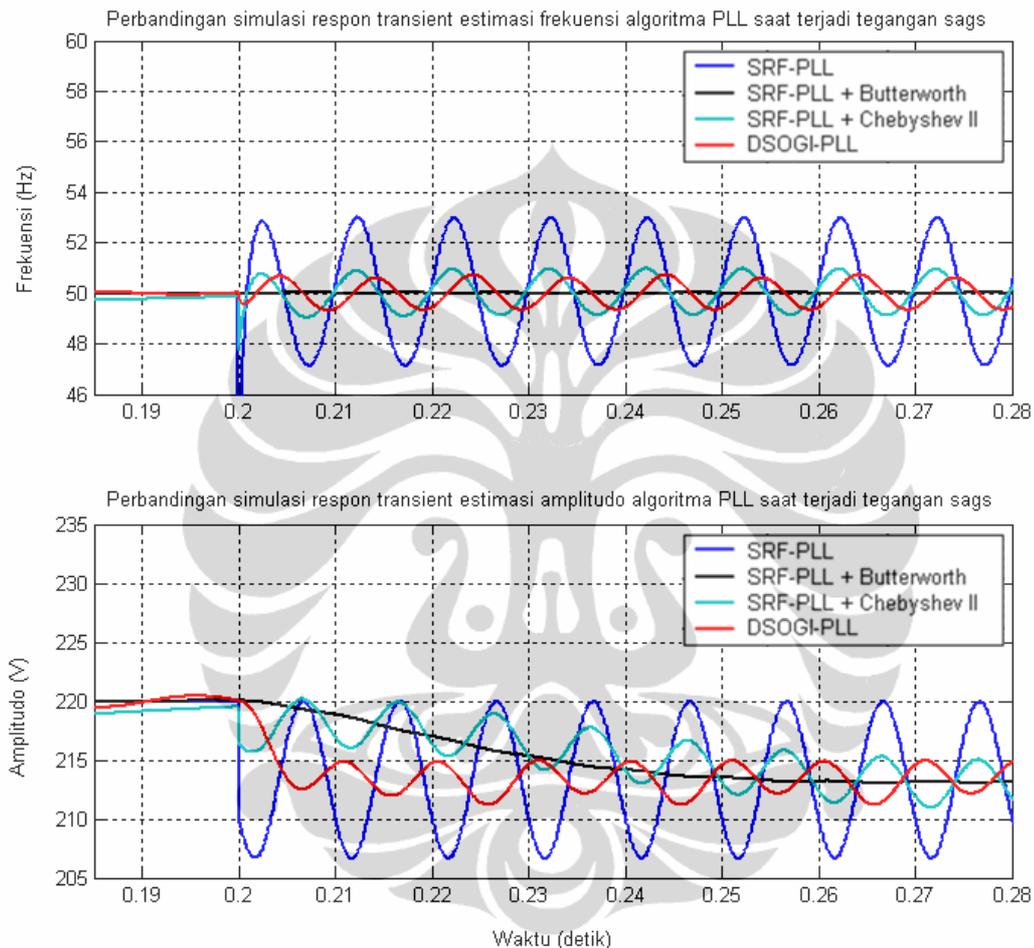


Gambar 4.29 Hasil perbandingan respon estimasi frekuensi dan amplitudo algoritma PLL saat mengalami tegangan *sags*

Pada gambar 4.29 dapat dilihat bahwa modifikasi SRF-PLL dengan digital *lowpass* filter orde dua yang dapat mencapai *steady state* hanya digital filter *Butterworth* dan *Chebyshev II*. Digital *lowpass* filter orde dua tersebut disetting

sama semua dengan frekuensi *cut-off* / frekuensi stop pada 10 Hz dimana hal ini dengan memperhitungkan pelemahan filter orde dua akan benar-benar sangat teredam pada frekuensi 50 Hz.

Pada gambar 4.29 juga dapat diperjelas mengenai respon *transient* pada saat terjadi tegangan *sags* seperti yang diberikan pada gambar berikut ini :



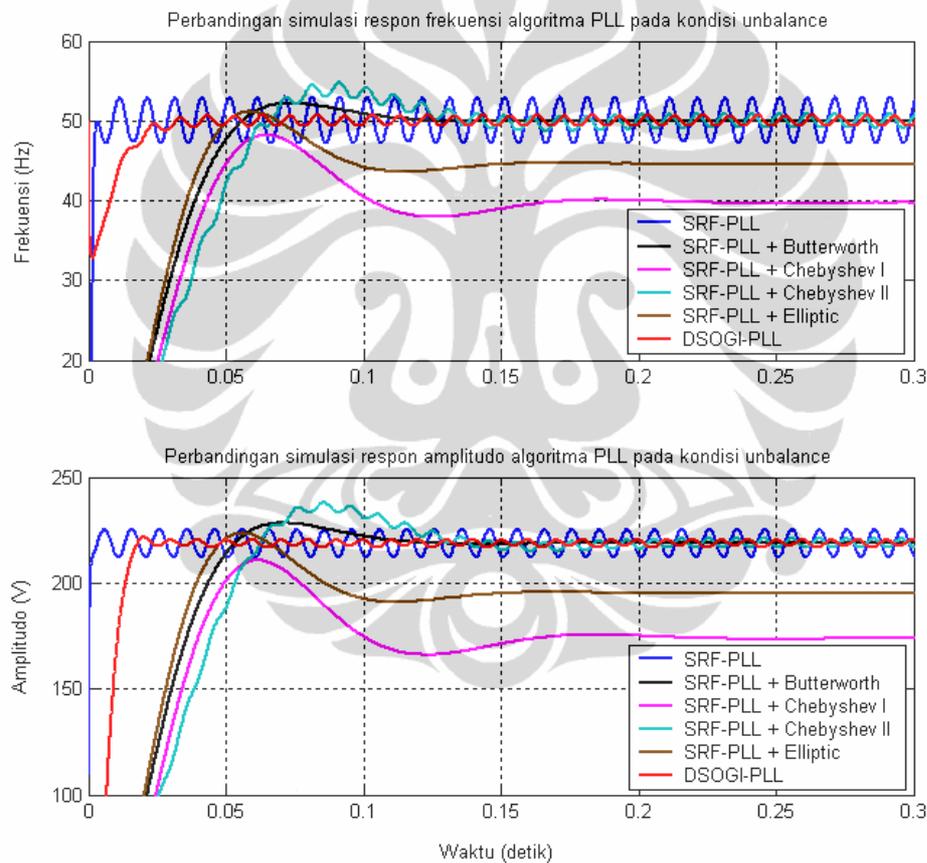
Gambar 4.30 Hasil perbandingan respon *transient* estimasi frekuensi dan amplitudo algoritma PLL saat mengalami tegangan *sags*

Pada gambar 4.30 dapat dilihat bahwa respon SRF-PLL dengan *Butterworth* mempunyai kestabilan yang lebih baik dalam meredam osilasi dan memberikan nilai rata-rata dari osilasi yang terjadi.

Kemudian untuk hasil pengukuran sudut fasa pada modifikasi SRF-PLL pada saat salah satu fasa mengalami drop tegangan *sags* ini masih sama dengan hasil pengukuran sudut fasa SRF-PLL pada subbab 4.4 .

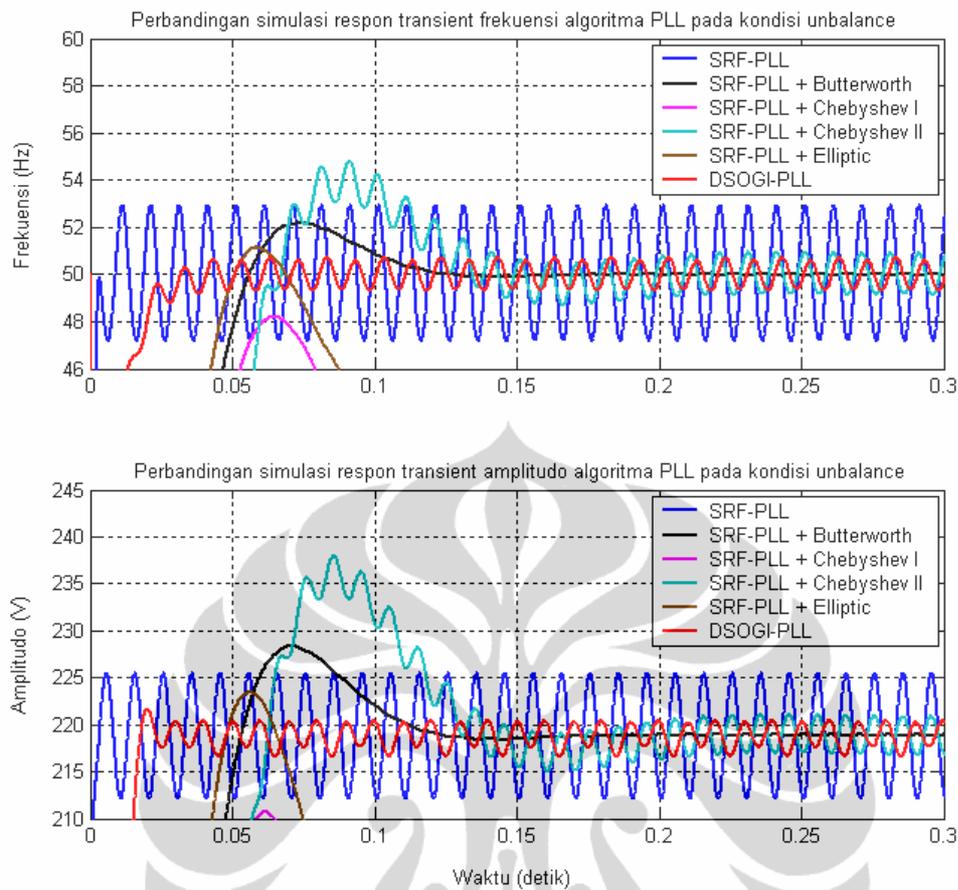
4.11. Pengujian Simulasi Algoritma Modifikasi SRF-PLL Pada Tegangan Tiga Fasa *Unbalance*

Pada pengujian tegangan tiga fasa *unbalance* ini digunakan komposisi magnitudo dan sudut fasa yang semuanya tidak sama dan tidak setimbang. Misalkan tegangan *unbalance* yang terjadi adalah $V_a = 220\angle 0^\circ$, $V_b = 219\angle 125^\circ$, dan $V_c = 218\angle 245^\circ$ seperti yang sudah diujicobakan pada subbab 4.5 dan subbab 4.9. Selanjutnya tegangan tiga fasa yang *unbalance* ini diujicobakan ke dalam algoritma modifikasi SRF-PLL dengan digital *lowpass* filter dan dibandingkan dengan algoritma PLL yang lain dengan hasil sebagai berikut :



Gambar 4.31 Hasil perbandingan respon estimasi frekuensi dan amplitudo algoritma PLL pada kondisi *unbalance*

Pada gambar 4.31 dapat dilihat bahwa modifikasi SRF-PLL dengan digital *lowpass* filter orde dua yang dapat mencapai *steady state* hanya SRF-PLL dengan digital filter *Butterworth* dan *Chebyshev II*. Pada gambar 4.31 juga dapat diperjelas lagi respon *transient* pada kondisi *unbalance* seperti yang diberikan pada gambar berikut ini :



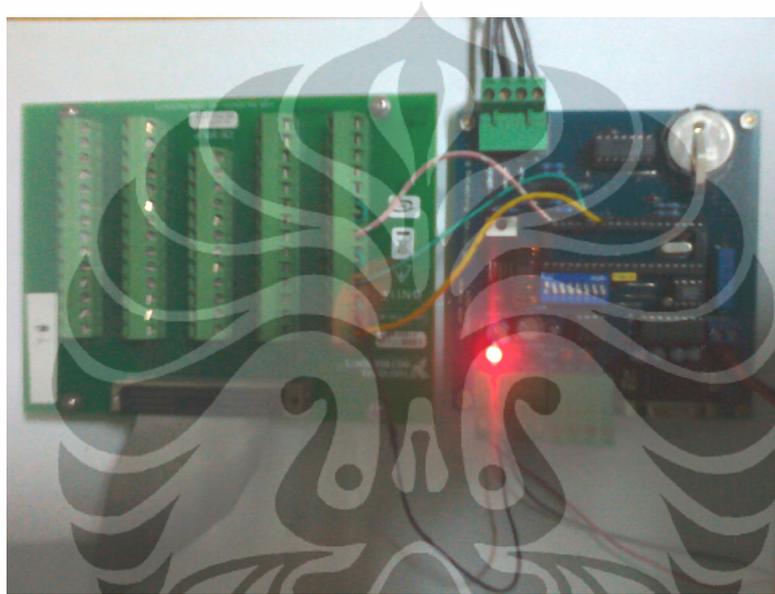
Gambar 4.32 Hasil perbandingan respon *transient* estimasi frekuensi dan amplitudo algoritma PLL pada kondisi *unbalance*

Pada gambar 4.32 dapat dilihat bahwa respon SRF-PLL dengan *Butterworth* mempunyai kestabilan yang lebih baik dalam meredam osilasi dan memberikan nilai rata-rata dari osilasi yang terjadi. Algoritma DSOGI-PLL mempunyai respon transient yang lebih cepat dibandingkan SRF-PLL dengan *Butterworth* namun DSOGI-PLL masih mempunyai sedikit osilasi sehingga menjadi nilai minus dalam algoritma tersebut. Untuk mengatasi *overshoot* pengukuran yang mencapai 4 % dari kondisi *steady state* pada respon SRF-PLL dengan *Butterworth*, maka dapat dilakukan dengan cara mengabaikan permulaan pengukuran dimulai dari 0 detik sampai 0.15 detik sebagai kondisi *delay* awal pengukuran tegangan listrik tiga fasa.

Kemudian untuk hasil pengukuran sudut fasa pada modifikasi SRF-PLL pada kondisi *unbalance* ini masih sama dengan hasil pengukuran sudut fasa SRF-PLL pada subbab 4.5 .

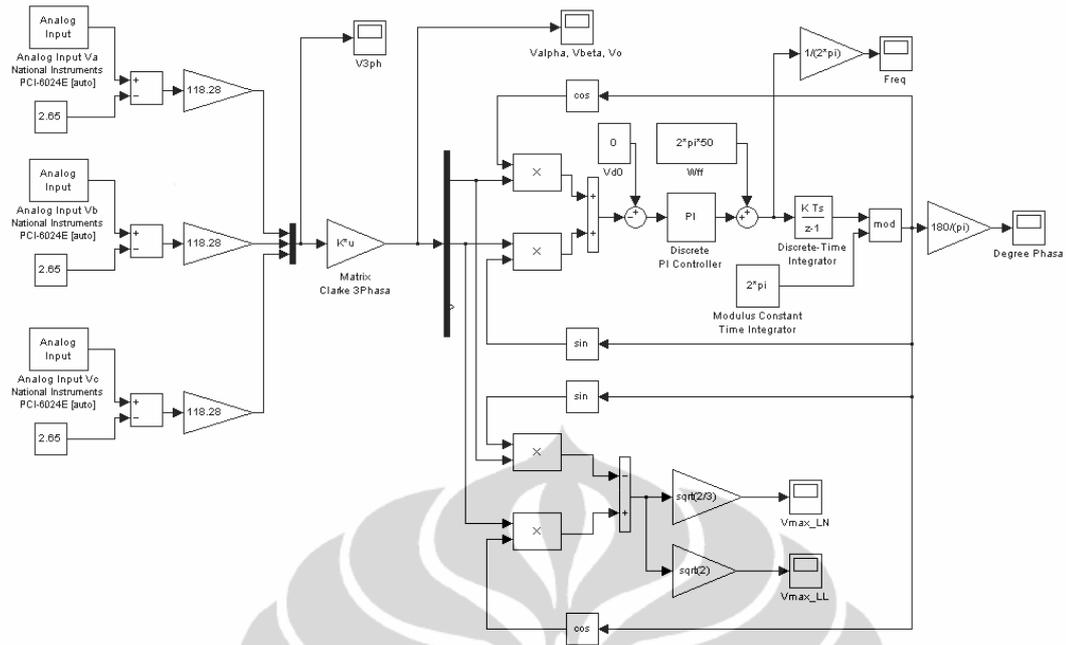
4.12. Pengujian *Online* Algoritma SRF-PLL Tegangan Listrik Tiga Fasa

Pengujian secara *online* ini masih tetap menggunakan *Simulink Matlab* untuk melakukan perhitungan algoritma SRF-PLL yang bedanya dengan pengujian secara simulasi, hanya mengganti blok diagram sinyal masukan tiga fasa secara simulasi dengan blok diagram *analog input* dengan masukan dari rangkaian pengkondisi sinyal tegangan listrik tiga fasa. Instalasi rangkaian modul pengkondisi sinyal dengan *analog input* NI PCI-6024E dapat diberikan pada gambar berikut ini :



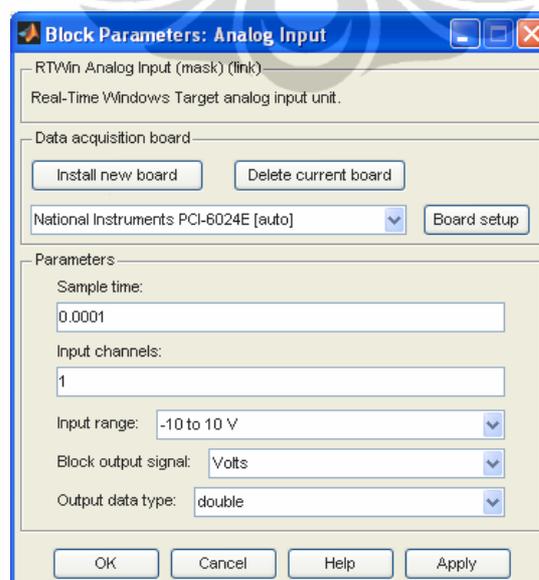
Gambar 4.33 Instalasi akuisisi data dengan *analog input* NI PCI-6024E

Pada gambar 4.33 dapat dijelaskan bahwa modul rangkaian pengkondisi sinyal tegangan listrik tiga fasa dihubungkan dengan konektor *board* dari NI PCI-6024E. Setting *analog input* pada PCI-6024E dibuat *differential input* sehingga *common* negatif dari *differential input* dihubungkan menjadi satu koneksi *ground* pada rangkaian pengkondisi sinyal. Sedangkan blok diagram *Simulink Matlab* untuk pengujian *online* ini dapat diberikan pada gambar sebagai berikut :



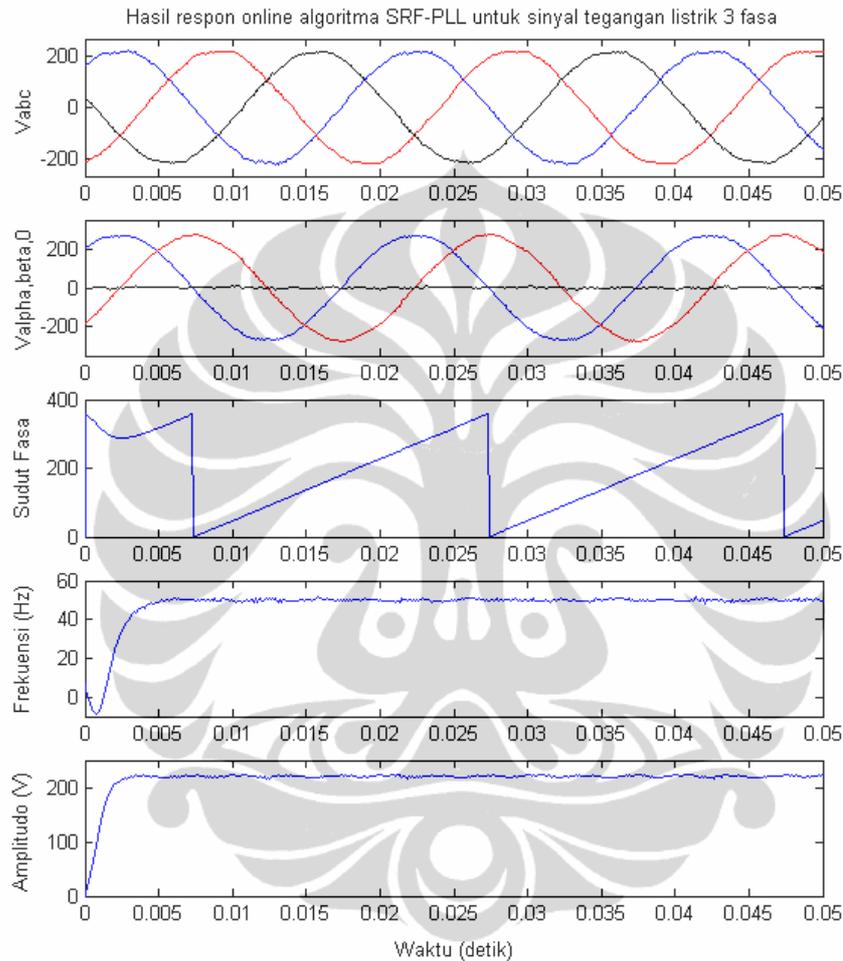
Gambar 4.34 Blok diagram pengujian *online* algoritma SRF-PLL tiga fasa

Pada gambar 4.34 dapat dijelaskan bahwa hasil pengambilan data *analog input* masih harus diberi pengurangan dan perkalian dengan konstanta tertentu untuk mendapatkan nilai asli dari tegangan sinusoida listrik tiga fasa. Untuk nilai parameter kontroler PI digital tetap disetting sebesar $K_p=5.954$ dan $K_i=17.725$ supaya dapat dibandingkan dengan hasil respon secara simulasi. Setting untuk parameter blok diagram *analog input* PCI-6024E dapat diberikan pada gambar berikut ini



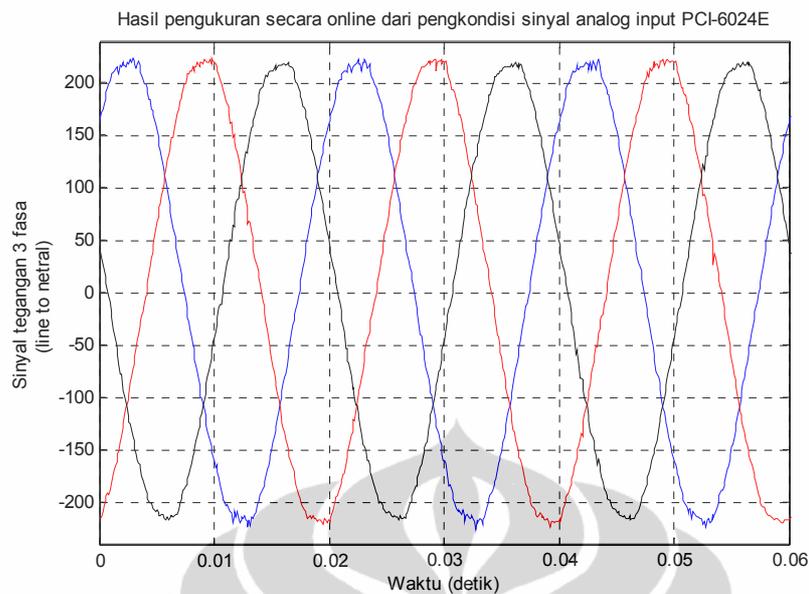
Gambar 4.35 Setting parameter blok diagram *analog input* PCI-6024E

Pada gambar 4.35 dapat dijelaskan bahwa parameter analog input disetting dengan waktu cuplik data yang sama dengan waktu cuplik global blok diagram diskrit/digital *Simulink Matlab*. Kemudian hasil yang diperoleh dari pengujian secara *online* algoritma SRF-PLL tiga fasa menggunakan *Simulink Matlab* ini dapat diberikan pada gambar sebagai berikut :



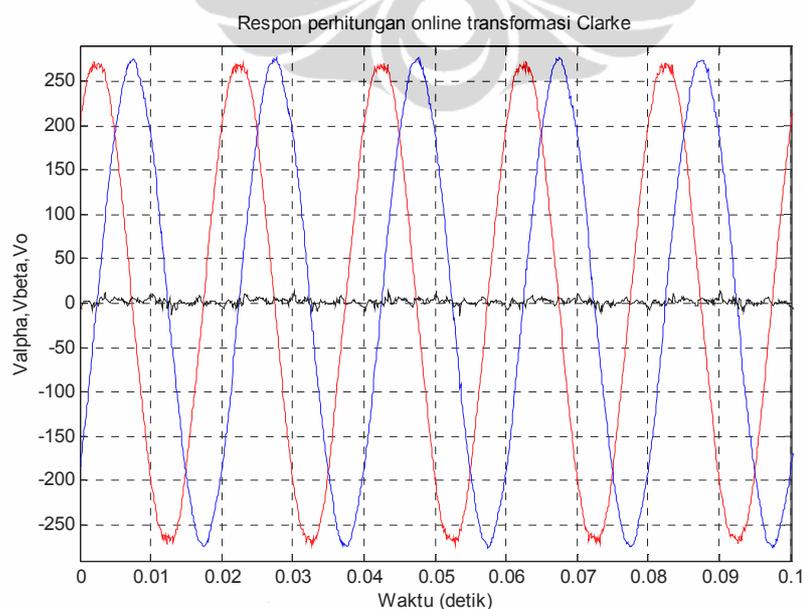
Gambar 4.36 Hasil respon *online* algoritma SRF-PLL tiga fasa

Pada gambar 4.36 dapat dijelaskan bahwa hasil respon grafik dari pengujian *online* algoritma SRF-PLL dibuat secara *subplot* sejajar dalam domain waktu yang sama untuk memudahkan analisis hasil respon *online*. Pada gambar *subplot* yang pertama adalah hasil akuisisi data *analog input* yang dikondisikan menjadi sinyal tegangan tiga fasa (*line to netral*) 220 V. Dapat dilihat bahwa respon sinyal sinusoida tiga fasa masih menampilkan data yang sesuai dengan hasil yang diinginkan. Untuk melihat secara detail bentuk sinyal tiga fasa dari *subplot* yang pertama dapat diberikan pada gambar sebagai berikut :



Gambar 4.37 Hasil pengukuran *online* sinyal tegangan tiga fasa

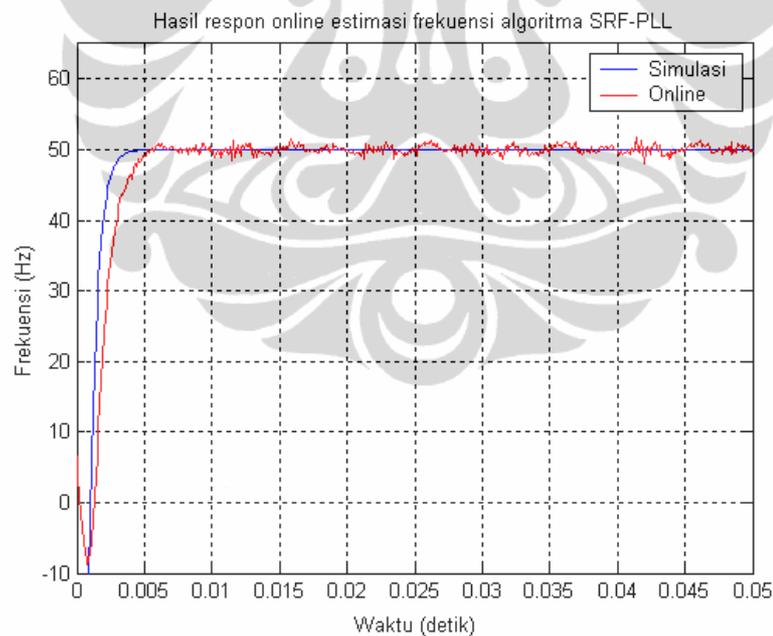
Pada gambar 4.37 dapat dilihat bahwa sinyal yang dibaca tidak murni sinyal sinusoida tiga fasa karena masih terdapat *sedikit noise* dan/atau sedikit cacat pada puncak dan lembah dari ketiga sinyal tiga fasa tersebut. Hal itu disebabkan dari faktor sinyal sinusoida tegangan listrik yang sudah cacat dan/atau faktor internal rangkaian yang ikut juga menyumbang *noise* dalam pembacaan sinyal *analog input*. Namun secara global, sinyal sinusoida tiga fasa yang dibaca oleh *analog input* ini masih merepresentasikan sinyal terukur yang sebenarnya.



Gambar 4.38 Hasil respon perhitungan *online* transformasi Clarke

Pada gambar 4.38 dapat dijelaskan bahwa hasil sinyal orthogonal dari transformasi *Clarke* memberikan respon sinyal sinusoida yang juga sedikit cacat pada puncak dan lembah dari kedua sinyal V_{α} dan V_{β} . Hasil resultan dari sinyal orthogonal ini mempunyai amplitudo yang lebih besar daripada amplitudo sinyal masukan tegangan tiga fasa *line to netral* yaitu sebesar 270 V. Selain itu pada sinyal V_o dari transformasi *Clarke* juga mengalami deviasi sebesar ± 5 V dari titik setimbangnya. Hal ini disebabkan oleh hasil pembacaan *analog input* sinyal sinusoida tiga fasa sudah terdapat sedikit *noise* dan/atau sedikit cacat harmonisa pada puncak dan lembah dari ketiga sinyal tersebut. Sehingga sinyal V_o dari transformasi *Clarke* ini dapat dijadikan parameter pengukuran distorsi sinyal tiga fasa.

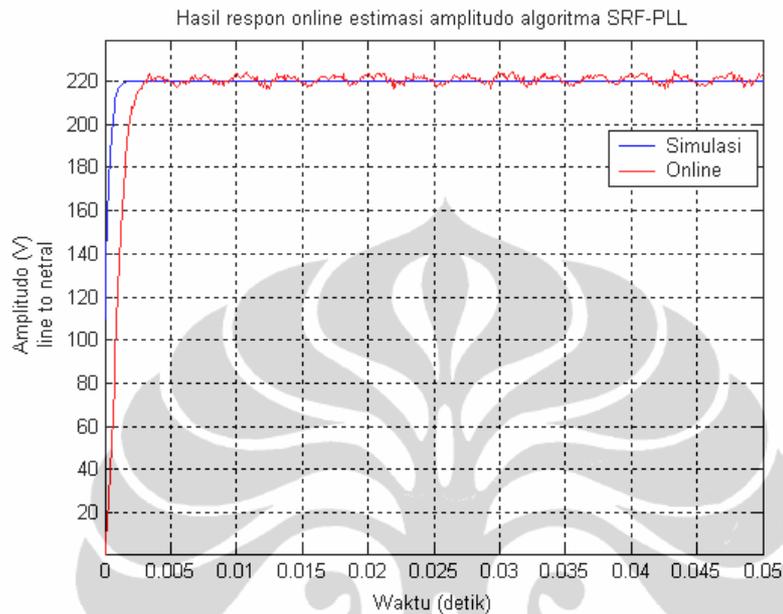
Untuk perhitungan *online* sudut fasa dari algoritma PLL ini masih tetap merupakan penjumlahan (*integrator*) perubahan sudut fasa dari salah satu sinyal sinusoida orthogonal transformasi *Clarke*. Kemudian untuk respon estimasi frekuensi dari pengujian *online* dapat diberikan pada gambar berikut ini :



Gambar 4.39 Hasil respon *online* estimasi frekuensi algoritma SRF-PLL

Pada gambar 4.39 dapat dijelaskan bahwa pada pengujian *online* untuk mencapai keadaan frekuensi *steady state* 50 Hz membutuhkan waktu yang hampir sama dengan pengujian secara simulasi yaitu sekitar 0.006 detik tanpa adanya *overshoot*. Dari respon *transient* estimasi frekuensi dapat dilihat juga bahwa pada

pengujian *online* sempat mengalami ayunan *transient* ke bawah walaupun pada akhirnya dapat kembali ke posisi *steady state*-nya. Sedangkan untuk hasil estimasi amplitudo sinyal tegangan tiga fasa (*line to netral*) dapat dilihat lebih jelas pada gambar berikut ini :



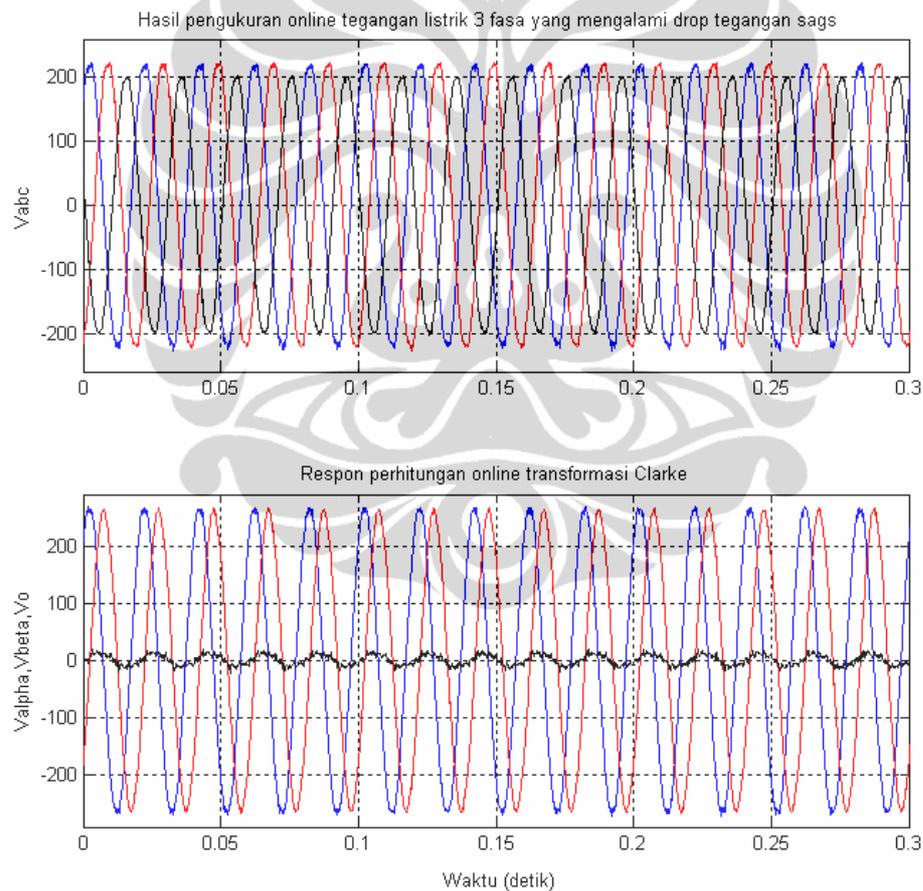
Gambar 4.40 Hasil respon *online* estimasi amplitudo algoritma SRF-PLL

Pada gambar 4.40 dapat dijelaskan bahwa pada pengujian *online* untuk mencapai keadaan amplitudo tegangan *steady state* 220 V (*line to netral*) membutuhkan waktu yang lebih lambat dari pengujian secara simulasi yaitu sekitar 0.005 detik tanpa adanya *overshoot*. Adanya *ripple* tegangan yang terjadi pada saat *steady state* disebabkan karena *noise* / distorsi sinyal yang terjadi dari hasil pengukuran *analog input*.

4.13. Pengujian *Online* Algoritma SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan *Sags*

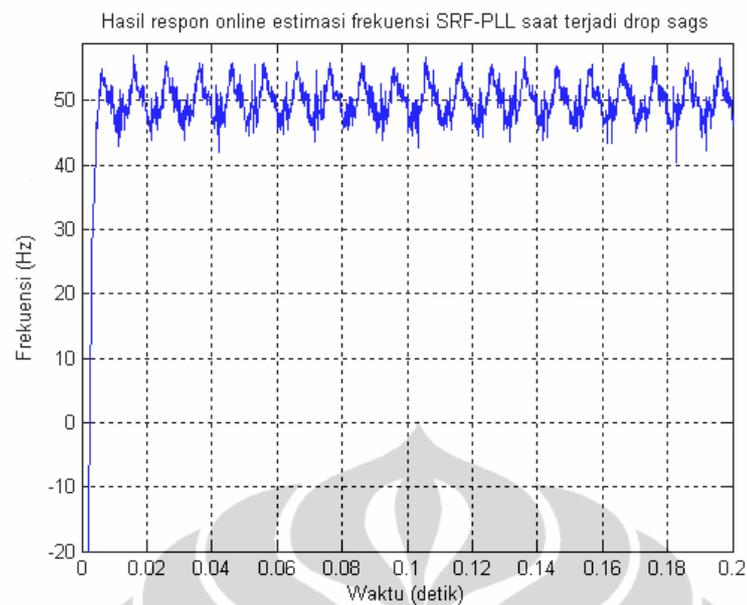
Algoritma SRF-PLL diujicoba secara *online* untuk dapat mendeteksi sinyal tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags*. Hal ini bertujuan untuk melihat seberapa sensitif algoritma SRF-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan dimana salah satu fasa mengalami drop tegangan *sags*. Dengan menggunakan alat *AC Voltage Current Source Standard* buatan *Yokogawa Inc.* yang sudah ditampilkan

pada subbab 3.6 dan pada gambar 3.8, maka dapat dilakukan variasi tegangan listrik pada salah satu fasa dengan frekuensi standard 50 Hz. Alat tersebut disetting sedemikian rupa menggantikan tegangan V_c pada salah satu tegangan listrik tiga fasa untuk menghasilkan tegangan fasa sebesar 200 V dengan frekuensi 50 Hz. Hal yang paling sulit adalah menyeimbangkan beda fasa menjadi 120° dengan tegangan fasa lainnya karena alat ini merupakan *inverter* juga sehingga dengan melakukan pergeseran nilai frekuensi sedikit lebih cepat dan sedikit lebih lambat maka akhirnya dapat dicapai kondisi beda fasa setimbang tersebut. Hasil pengukuran tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags* dan perhitungan transformasi *Clarke* diberikan pada gambar sebagai berikut :



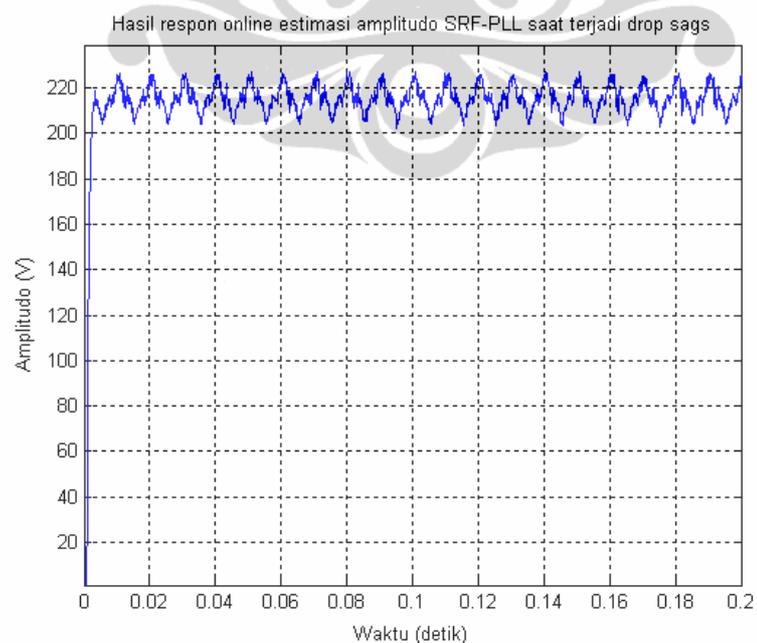
Gambar 4.41 Hasil pengukuran *online* tegangan listrik tiga fasa yang mengalami drop tegangan *sags* dan perhitungan *online* transformasi *Clarke*

Pada gambar 4.41 dapat dijelaskan bahwa adanya salah satu fasa yang mengalami drop tegangan *sags* mengakibatkan tegangan V_o menjadi tidak setimbang sehingga sinyal V_o menjadi osilasi.



Gambar 4.42 Hasil respon *online* estimasi frekuensi algoritma SRF-PLL pada kondisi drop tegangan *sags*

Pada gambar 4.42 dapat dijelaskan bahwa pada kondisi salah satu fasa terjadi drop tegangan *sags* sebesar 200 V dengan frekuensi tetap 50 Hz, menghasilkan estimasi frekuensi algoritma SRF-PLL yang berhasil sampai 10 Hz atau osilasi mencapai 20 % dari frekuensi standar 50 Hz. Selanjutnya estimasi amplitudo dapat diberikan pada gambar berikut :

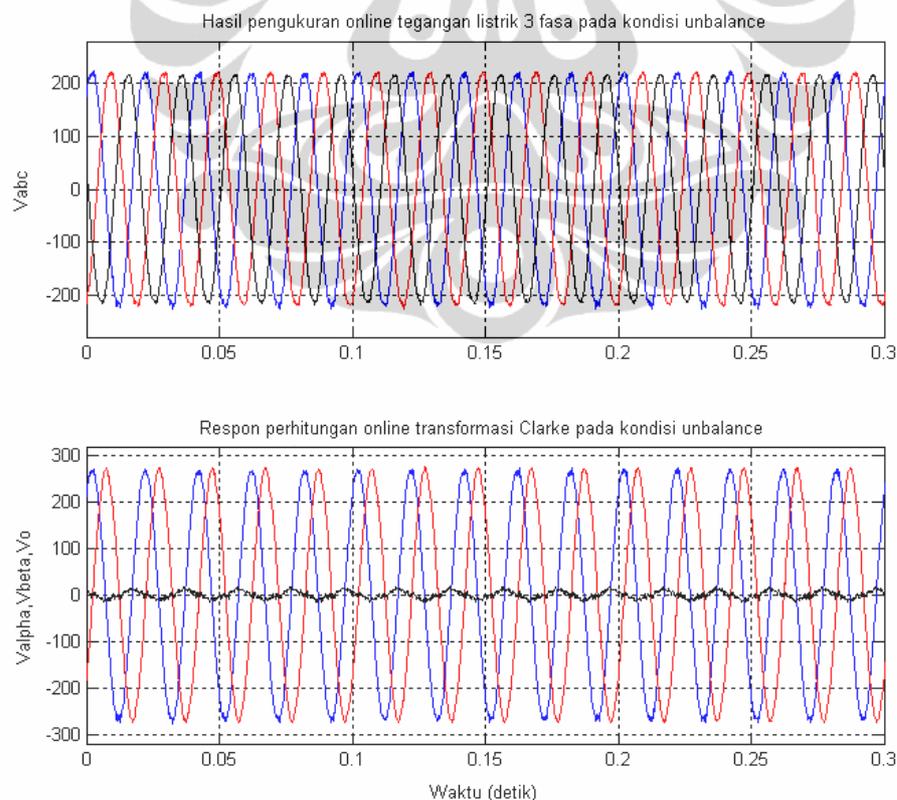


Gambar 4.43 Hasil respon *online* estimasi amplitudo algoritma SRF-PLL pada kondisi drop tegangan *sags*

Pada gambar 4.43 dapat dijelaskan bahwa pada kondisi salah satu fasa terjadi drop tegangan *sags* sebesar 200 V dengan frekuensi tetap 50 Hz, menghasilkan estimasi amplitudo algoritma SRF-PLL yang berosilasi sampai 20 V atau osilasi mencapai 9.1 % dari tegangan *steady state*-nya.

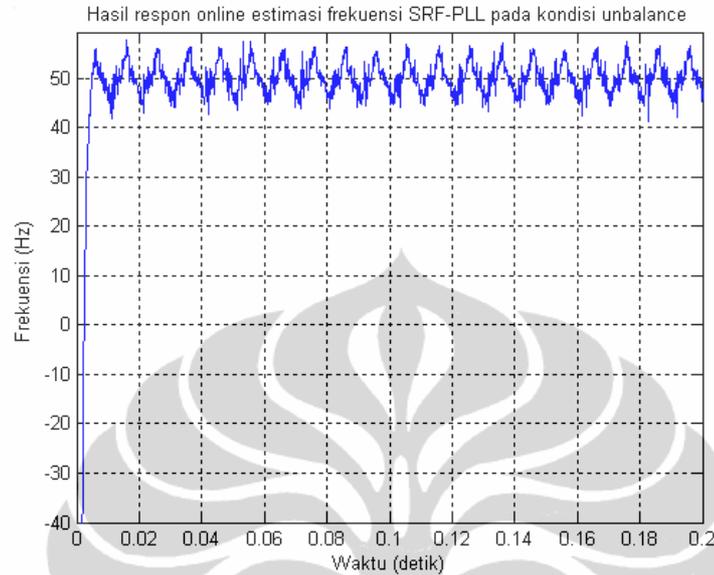
4.14. Pengujian *Online* Algoritma SRF-PLL Pada Tegangan Tiga Fasa *Unbalance*

Pada pengujian *online* tegangan listrik tiga fasa *unbalance* ini digunakan komposisi tegangan $V_a = 220\angle 0^\circ$, $V_b = 219\angle 125^\circ$, dan $V_c = 218\angle 245^\circ$. Selanjutnya untuk merealisasikan kondisi *unbalance* tersebut hanya membutuhkan satu variabel sumber tegangan listrik yang ditempatkan pada fasa a menggunakan alat *AC Voltage Current Source Standard*. Alat tersebut disetting mendahului 125° terhadap fasa b, sedangkan untuk menurunkan tegangan pada fasa b dan fasa c hanya menggunakan faktor pengali pada *Simulink Matlab* sebelum masuk ke algoritma PLL. Selanjutnya tegangan tiga fasa yang *unbalance* ini diujicobakan ke dalam algoritma SRF-PLL dengan hasil sebagai berikut :



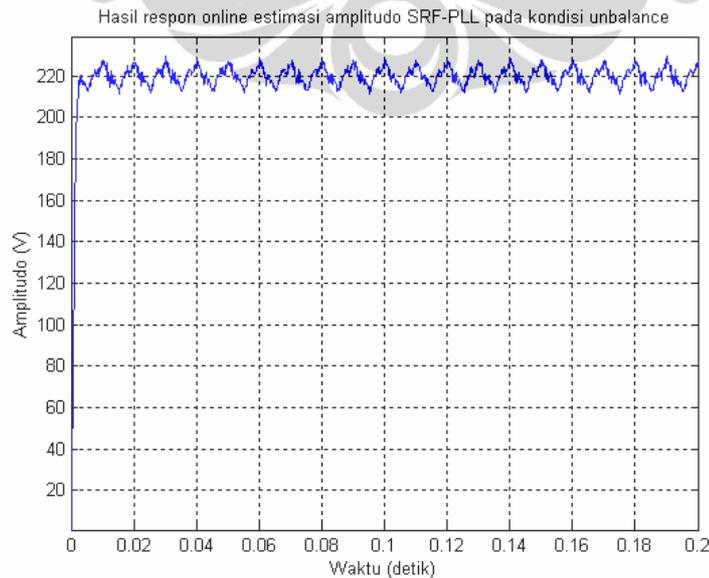
Gambar 4.44 Hasil pengukuran *online* tegangan listrik tiga fasa pada kondisi *unbalance* dan perhitungan *online* transformasi Clarke

Pada gambar 4.44 dapat dijelaskan bahwa pada kondisi *unbalance* yang mengalami sedikit perubahan amplitudo dan sudut fasa mengakibatkan tegangan V_o menjadi tidak setimbang sehingga sinyal V_o menjadi osilasi.



Gambar 4.45 Hasil respon *online* estimasi frekuensi algoritma SRF-PLL pada kondisi *unbalance*

Pada gambar 4.45 dapat dijelaskan bahwa pada kondisi *unbalance* dengan frekuensi tetap 50 Hz, menghasilkan estimasi frekuensi algoritma SRF-PLL yang berhasil sampai 15 Hz atau osilasi mencapai 30 % dari frekuensi standar 50 Hz. Selanjutnya estimasi amplitudo dapat diberikan pada gambar berikut :



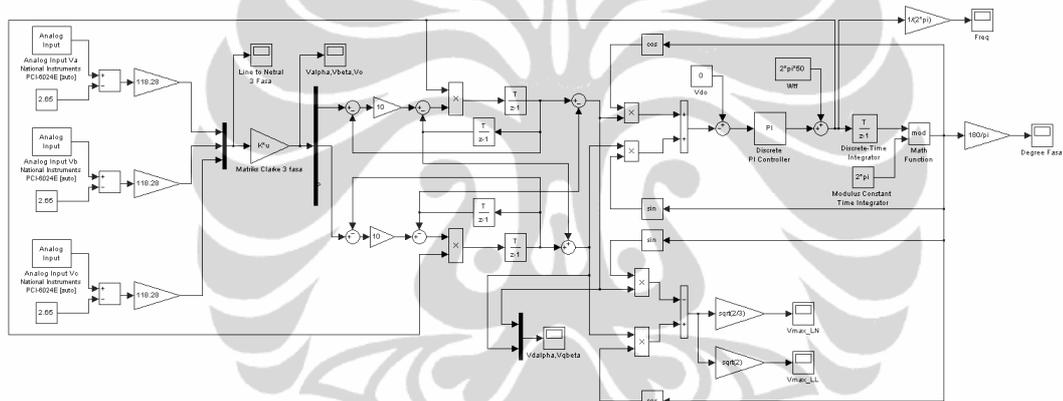
Gambar 4.46 Hasil respon *online* estimasi amplitudo algoritma SRF-PLL pada kondisi *unbalance*

Pada gambar 4.46 dapat dijelaskan bahwa pada kondisi *unbalance* dengan frekuensi tetap 50 Hz, menghasilkan estimasi amplitudo algoritma SRF-PLL yang beresilasi sampai 10 V atau osilasi mencapai 4.5 % dari tegangan *steady state*-nya.

Hasil estimasi pengukuran tegangan listrik tiga fasa menggunakan algoritma SRF-PLL ini sangat sensitif dan sangat rentan terhadap osilasi jika tegangan listrik tiga fasa tersebut mengalami *unbalance*. Hal ini sangat tidak direkomendasikan dalam pengukuran yang ingin mengetahui nilai rata-rata dari pengukuran yang sebenarnya.

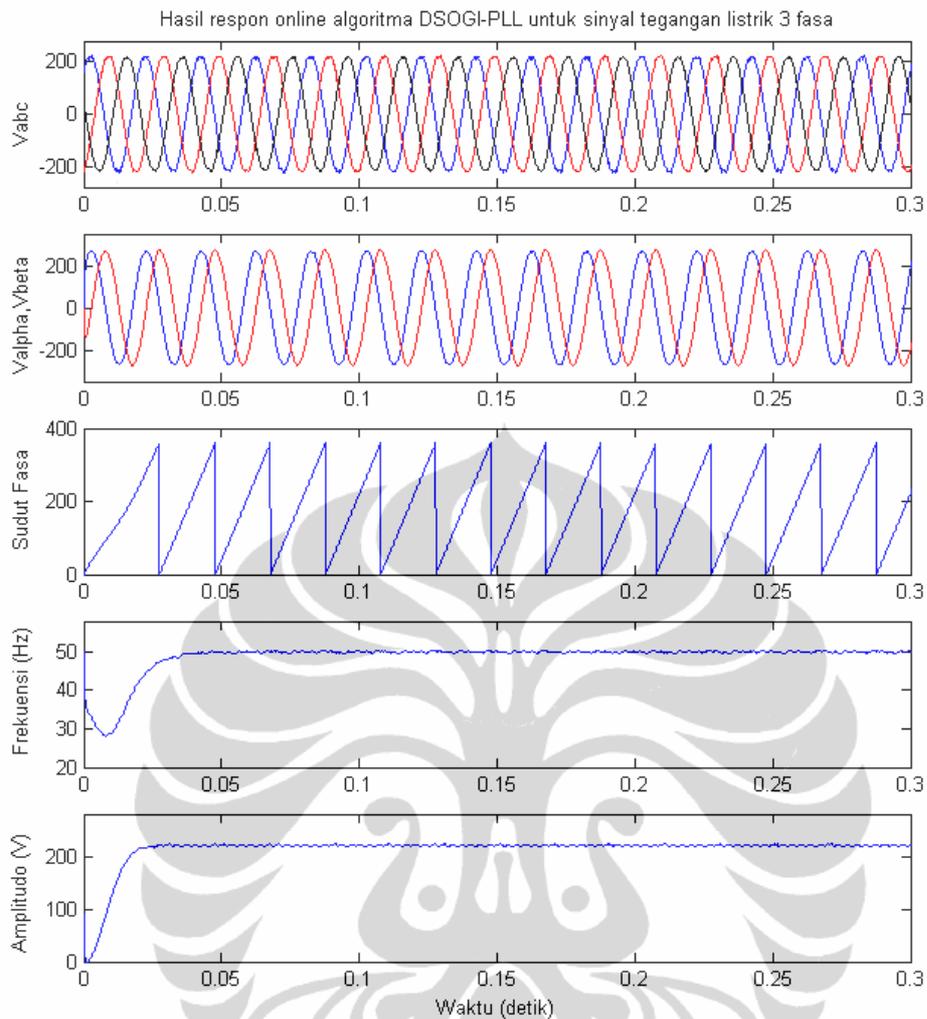
4.15. Pengujian *Online* Algoritma DSOGI-PLL Tegangan Listrik Tiga Fasa

Algoritma DSOGI-PLL diujicoba secara *online* menggunakan *Simulink Matlab* dapat digambarkan secara blok diagram seperti yang diberikan berikut ini :



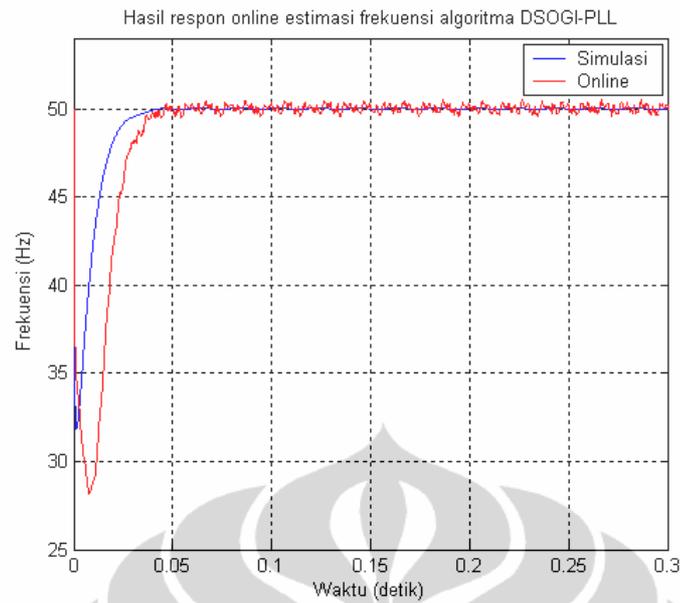
Gambar 4.47 Blok diagram pengujian *online* algoritma DSOGI-PLL tiga fasa

Pada gambar 4.47 dapat dijelaskan bahwa hasil pengambilan data *analog input* masih harus diberi pengurangan dan perkalian dengan konstanta tertentu untuk mendapatkan nilai asli dari tegangan sinusoida listrik tiga fasa. Setting parameter blok diagram *analog input* PCI-6024E dibuat sama seperti pada subbab 4.12 dimana parameter analog input disetting dengan waktu cuplik data yang sama dengan waktu cuplik global blok diagram diskrit/digital *Simulink Matlab*. Penentuan parameter juga dibuat sama seperti pada subbab 4.6 supaya dapat dibandingkan dengan hasil respon secara simulasi. Kemudian hasil yang diperoleh dari pengujian secara *online* algoritma DSOGI-PLL tiga fasa menggunakan *Simulink Matlab* ini dapat diberikan pada gambar sebagai berikut :



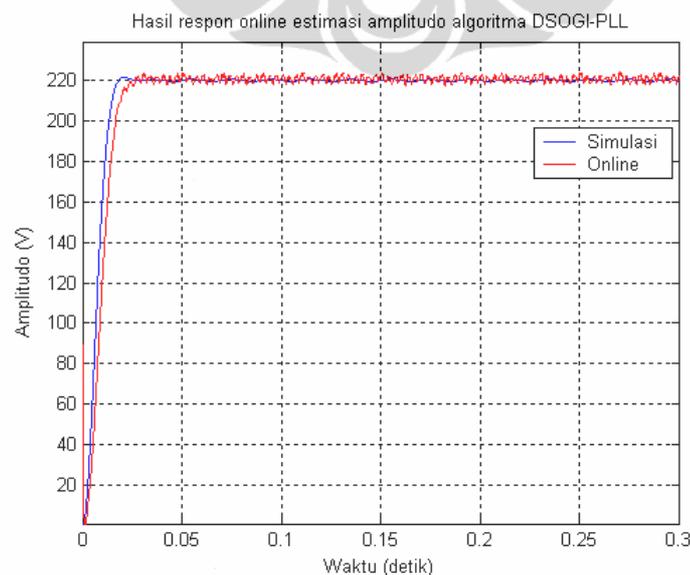
Gambar 4.48 Hasil respon *online* algoritma DSOGI-PLL tiga fasa

Pada gambar 4.48 dapat dijelaskan bahwa hasil respon grafik dari pengujian *online* algoritma DSOGI-PLL dibuat secara *subplot* sejajar dalam domain waktu yang sama untuk memudahkan analisis hasil respon *online*. Pada gambar *subplot* yang pertama adalah hasil akuisisi data *analog input* yang dikondisikan menjadi sinyal tegangan tiga fasa (*line to netral*) 220 V. Dapat dilihat bahwa respon sinyal sinusoida tiga fasa masih menampilkan data yang sesuai dengan hasil yang diinginkan. Untuk perhitungan *online* sudut fasa dari algoritma PLL ini masih tetap merupakan penjumlahan (*integrator*) perubahan sudut fasa dari salah satu sinyal sinusoida orthogonal transformasi *Clarke*. Sedangkan untuk respon *online* estimasi frekuensi dari pengujian *online* algoritma DSOGI-PLL dapat diberikan pada gambar berikut ini :



Gambar 4.49 Hasil respon *online* estimasi frekuensi algoritma DSOGI-PLL

Pada gambar 4.49 dapat dijelaskan bahwa pada pengujian *online* untuk mencapai keadaan frekuensi *steady state* 50 Hz membutuhkan waktu yang hampir sama dengan pengujian secara simulasi yaitu sekitar 0.05 detik tanpa adanya *overshoot*. Dari respon *transient* estimasi frekuensi dapat dilihat juga bahwa pada pengujian *online* sempat mengalami ayunan *transient* ke bawah walaupun pada akhirnya dapat kembali ke posisi *steady state*-nya. Sedangkan untuk hasil estimasi amplitudo sinyal tegangan tiga fasa (*line to netral*) dapat dilihat lebih jelas pada gambar berikut ini :



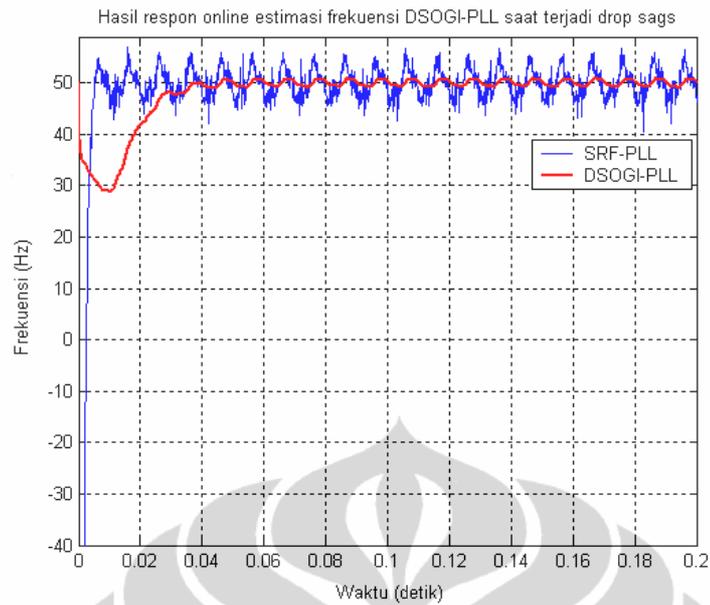
Gambar 4.50 Hasil respon *online* estimasi amplitudo algoritma DSOGI-PLL

Pada gambar 4.50 dapat dijelaskan bahwa pada pengujian *online* untuk mencapai keadaan amplitudo tegangan *steady state* 220 V (*line to neutral*) membutuhkan waktu yang lebih lambat dari pengujian secara simulasi yaitu sekitar 0.04 detik tanpa adanya *overshoot*. Adanya *ripple* tegangan yang terjadi pada saat *steady state* disebabkan karena *noise* / distorsi sinyal yang terjadi dari hasil pengukuran *analog input*.

4.16. Pengujian *Online* Algoritma DSOGI-PLL yang Salah Satu Fasa Mengalami Drop Tegangan *Sags*

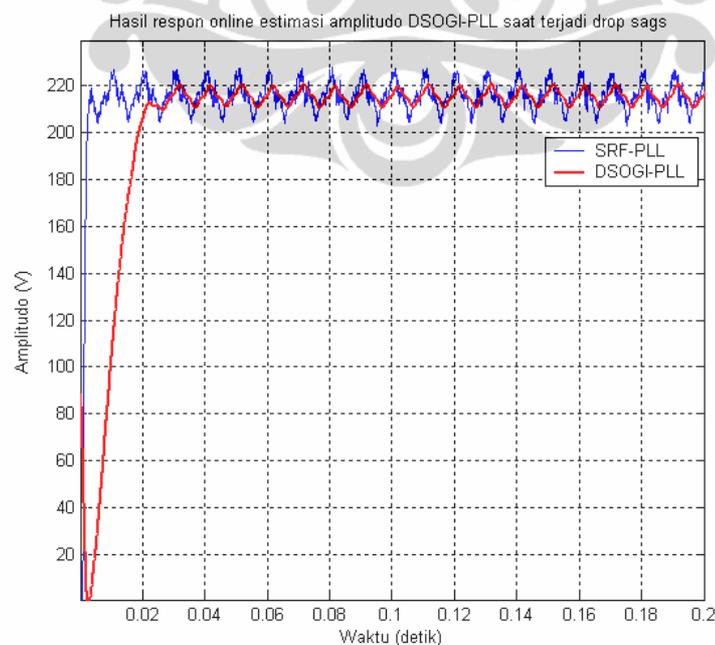
Algoritma DSOGI-PLL diujicoba secara *online* untuk dapat mendeteksi sinyal tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags*. Hal ini bertujuan untuk melihat seberapa sensitif algoritma DSOGI-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan dimana salah satu fasa mengalami drop tegangan *sags*. Dengan menggunakan alat *AC Voltage Current Source Standard* buatan *Yokogawa Inc.* yang sudah ditampilkan pada subbab 3.6 dan pada gambar 3.8, maka dapat dilakukan variasi tegangan listrik pada salah satu fasa dengan frekuensi standard 50 Hz. Alat tersebut disetting sedemikian rupa menggantikan tegangan V_c pada salah satu tegangan listrik tiga fasa untuk menghasilkan tegangan fasa sebesar 200 V dengan frekuensi 50 Hz. Hal yang paling sulit adalah menyeimbangkan beda fasa menjadi 120° dengan tegangan fasa lainnya karena alat ini merupakan *inverter* juga sehingga dengan melakukan pergeseran nilai frekuensi sedikit lebih cepat dan sedikit lebih lambat maka akhirnya dapat dicapai kondisi beda fasa setimbang tersebut. Hasil pengukuran tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags* dan perhitungan transformasi *Clarke* diberikan sama seperti pada gambar 4.41 di subbab 4.13.

Selanjutnya hasil respon *online* estimasi frekuensi algoritma DSOGI-PLL jika dibandingkan dengan algoritma SRF-PLL pada saat mengalami drop tegangan *sags* dapat diberikan pada gambar berikut :



Gambar 4.51 Hasil respon *online* estimasi frekuensi algoritma DSOGI-PLL pada kondisi drop tegangan *sags*

Pada gambar 4.51 dapat dijelaskan bahwa pada kondisi salah satu fasa terjadi drop tegangan *sags* sebesar 200 V dengan frekuensi tetap 50 Hz, menghasilkan estimasi frekuensi algoritma DSOGI-PLL yang berhasil sampai 2 Hz atau osilasi mencapai 4 % dari frekuensi standar 50 Hz. Selanjutnya estimasi amplitudo dapat diberikan pada gambar berikut :



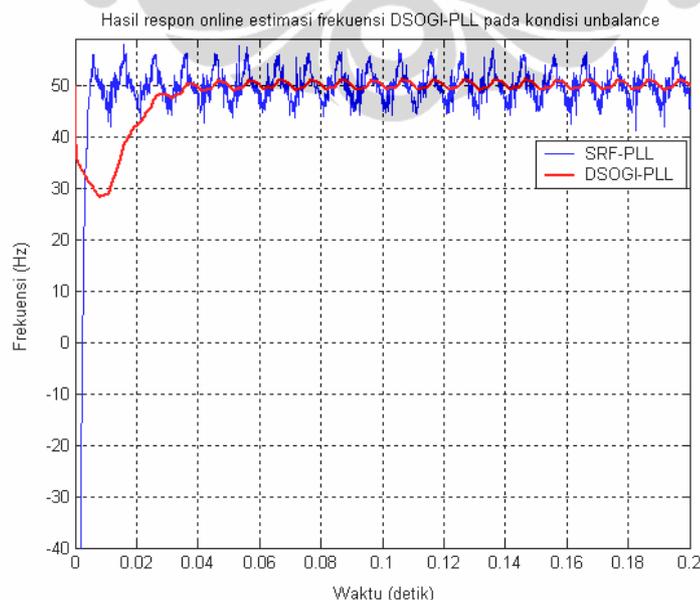
Gambar 4.52 Hasil respon *online* estimasi amplitudo algoritma DSOGI-PLL pada kondisi drop tegangan *sags*

Pada gambar 4.52 dapat dijelaskan bahwa pada kondisi salah satu fasa terjadi drop tegangan *sags* sebesar 200 V dengan frekuensi tetap 50 Hz, menghasilkan estimasi amplitudo algoritma DSOGI-PLL yang beresilasi sampai 10 V atau osilasi mencapai 4.5 % dari tegangan *steady state*-nya.

4.17. Pengujian *Online* Algoritma DSOGI-PLL Pada Tegangan Tiga Fasa *Unbalance*

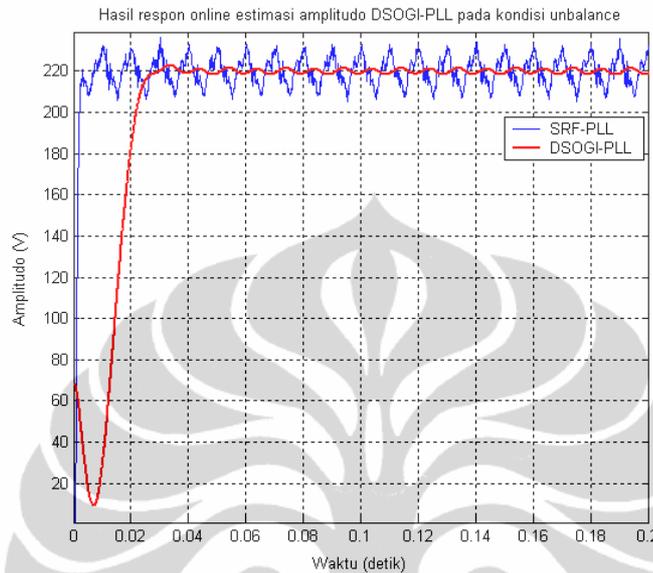
Pada pengujian *online* tegangan listrik tiga fasa *unbalance* ini digunakan komposisi tegangan $V_a = 220\angle 0^\circ$, $V_b = 219\angle 125^\circ$, dan $V_c = 218\angle 245^\circ$. Selanjutnya untuk merealisasikan kondisi *unbalance* tersebut hanya membutuhkan satu variabel sumber tegangan listrik yang ditempatkan pada fasa a menggunakan alat *AC Voltage Current Source Standard*. Alat tersebut disetting mendahului 125° terhadap fasa b, sedangkan untuk menurunkan tegangan pada fasa b dan fasa c hanya menggunakan faktor pengali pada *Simulink Matlab* sebelum masuk ke algoritma PLL. Hasil pengukuran tegangan listrik tiga fasa pada kondisi *unbalance* dan perhitungan transformasi *Clarke* diberikan sama seperti pada gambar 4.44 di subbab 4.14.

Selanjutnya hasil respon *online* estimasi frekuensi algoritma DSOGI-PLL jika dibandingkan dengan algoritma SRF-PLL pada saat kondisi *unbalance* dapat diberikan pada gambar berikut :



Gambar 4.53 Hasil respon *online* estimasi frekuensi algoritma DSOGI-PLL pada kondisi *unbalance*

Pada gambar 4.53 dapat dijelaskan bahwa pada kondisi *unbalance* dengan frekuensi tetap 50 Hz, menghasilkan estimasi frekuensi algoritma DSOGI-PLL yang berhasil sampai 2 Hz atau osilasi mencapai 4 % dari frekuensi standard 50 Hz. Selanjutnya estimasi amplitudo dapat diberikan pada gambar berikut :



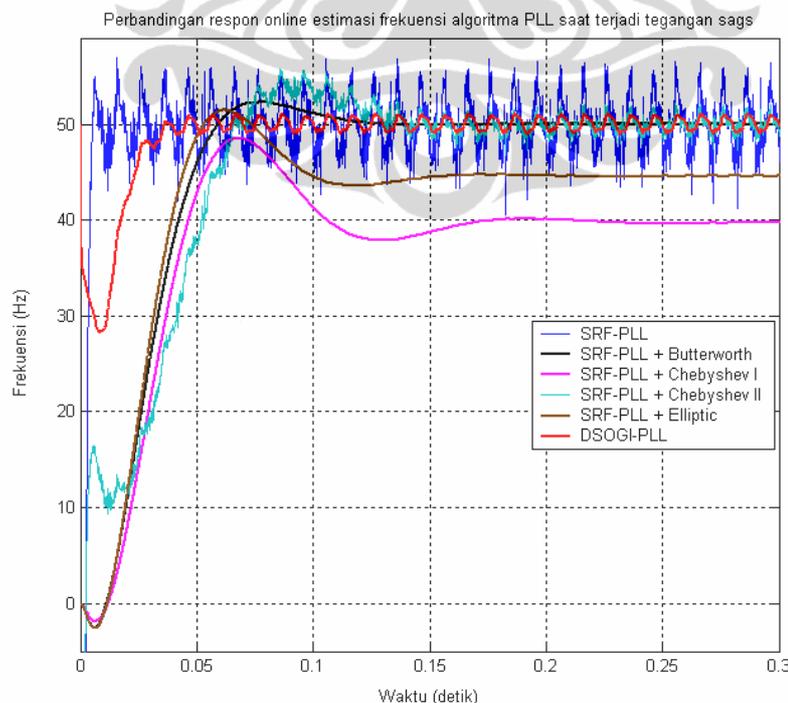
Gambar 4.54 Hasil respon *online* estimasi amplitudo algoritma DSOGI-PLL pada kondisi *unbalance*

Pada gambar 4.54 dapat dijelaskan bahwa pada kondisi *unbalance* dengan frekuensi tetap 50 Hz, menghasilkan estimasi amplitudo algoritma DSOGI-PLL yang berhasil sampai 2 V atau osilasi mencapai 0.9 % dari tegangan *steady state*-nya. Hasil estimasi pengukuran tegangan listrik tiga fasa menggunakan algoritma DSOGI-PLL ini lebih tahan dan stabil terhadap osilasi jika dibandingkan dengan algoritma SRF-PLL pada kondisi tegangan listrik tiga fasa tersebut mengalami *unbalance*. Hal ini menjadikan algoritma DSOGI-PLL lebih direkomendasikan dibandingkan dengan algoritma SRF-PLL dalam pengukuran yang ingin mengetahui nilai rata-rata dari pengukuran yang sebenarnya. Namun pada algoritma DSOGI-PLL ini masih ada sedikit osilasi dari respon *online* estimasi frekuensi dan estimasi amplitudo-nya. Sehingga osilasi ini seharusnya dapat diminimalisir melalui modifikasi algoritma PLL yang akan dijelaskan pada subbab selanjutnya.

4.18. Pengujian *Online* Algoritma Modifikasi SRF-PLL yang Salah Satu Fasa Mengalami Drop Tegangan *Sags*

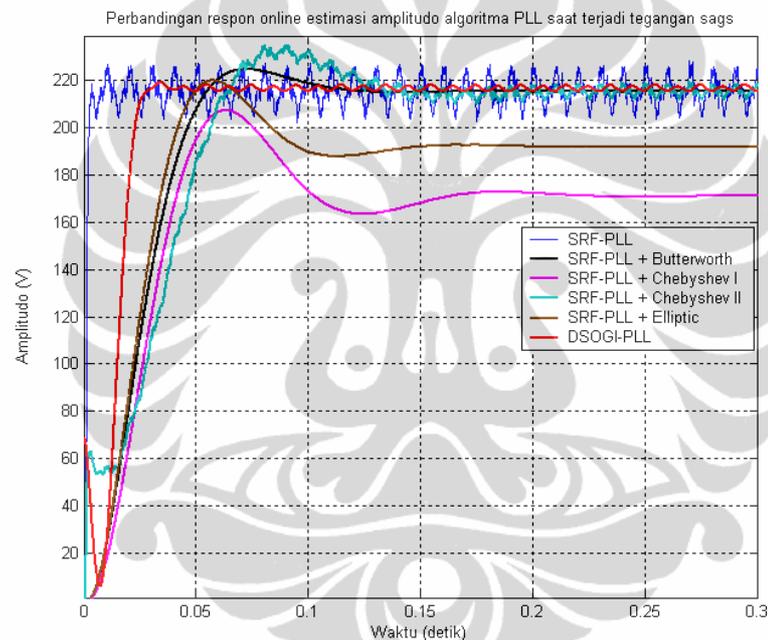
Algoritma modifikasi SRF-PLL diujicoba secara *online* untuk dapat mendeteksi sinyal tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags*. Hal ini bertujuan untuk melihat seberapa sensitif algoritma DSOGI-PLL dalam menerima sinyal masukan tegangan listrik yang mengalami gangguan dimana salah satu fasa mengalami drop tegangan *sags*. Dengan menggunakan alat *AC Voltage Current Source Standard* buatan *Yokogawa Inc.* yang sudah ditampilkan pada subbab 3.6 dan pada gambar 3.8, maka dapat dilakukan variasi tegangan listrik pada salah satu fasa dengan frekuensi standard 50 Hz. Alat tersebut disetting sedemikian rupa menggantikan tegangan V_c pada salah satu tegangan listrik tiga fasa untuk menghasilkan tegangan fasa sebesar 200 V dengan frekuensi 50 Hz. Hasil pengukuran tegangan listrik tiga fasa yang salah satu fasa mengalami drop tegangan *sags* dan perhitungan transformasi *Clarke* diberikan sama seperti pada gambar 4.41 di subbab 4.13 .

Selanjutnya hasil respon *online* estimasi frekuensi algoritma modifikasi SRF-PLL jika dibandingkan dengan algoritma PLL yang lainnya pada saat mengalami drop tegangan *sags* dapat diberikan pada gambar berikut :



Gambar 4.55 Perbandingan respon *online* estimasi frekuensi algoritma modifikasi SRF-PLL pada kondisi drop tegangan *sags*

Pada gambar 4.55 dapat dijelaskan bahwa modifikasi SRF-PLL dengan digital *lowpass* filter orde dua yang dapat mencapai *steady state* hanya digital filter *Butterworth* dan *Chebyshev II*. Selain itu, algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* memberikan respon yang lebih baik dan tanpa ada osilasi dibandingkan modifikasi algoritma SRF-PLL dengan digital filter *Chebyshev II*. Hasil respon *online* estimasi frekuensi algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* ini masih mempunyai maksimum *overshoot* sebesar 5 % dengan membutuhkan waktu 0.12 detik untuk mencapai *steady state*-nya. Selanjutnya hasil respon estimasi amplitudo dapat diberikan pada gambar berikut :



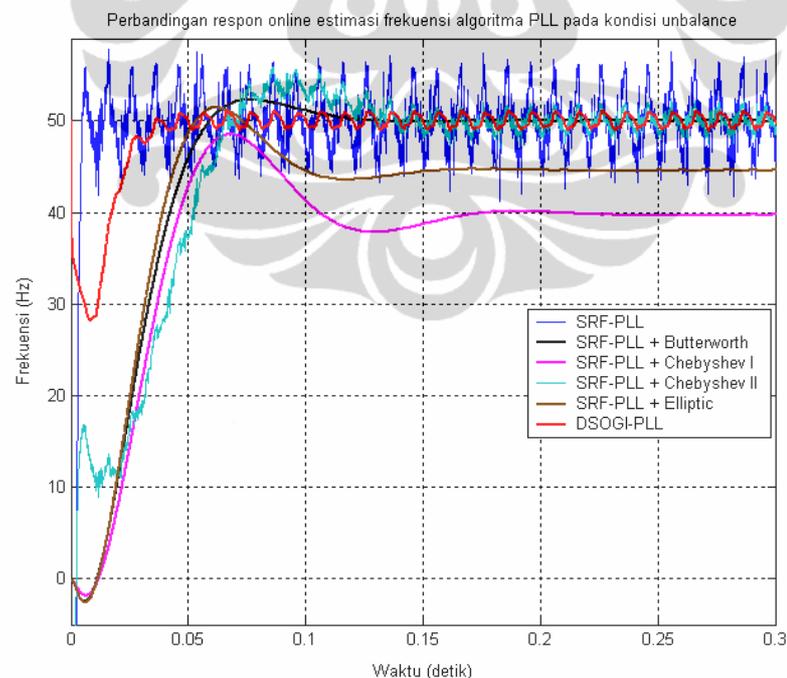
Gambar 4.56 Perbandingan respon *online* estimasi amplitudo algoritma modifikasi SRF-PLL pada kondisi drop tegangan *sags*

Pada gambar 4.56 dapat dijelaskan bahwa bahwa modifikasi SRF-PLL dengan digital *lowpass* filter orde dua yang dapat mencapai *steady state* hanya digital filter *Butterworth* dan *Chebyshev II*. Selain itu, algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* memberikan respon yang lebih baik dan tanpa ada osilasi dibandingkan modifikasi algoritma SRF-PLL dengan digital filter *Chebyshev II*. Hasil respon *online* estimasi amplitudo algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* ini masih mempunyai maksimum *overshoot* sebesar 4.5 % dengan membutuhkan waktu 0.12 detik untuk mencapai *steady state*-nya.

4.19. Pengujian *Online* Algoritma Modifikasi SRF-PLL Pada Tegangan Tiga Fasa *Unbalance*

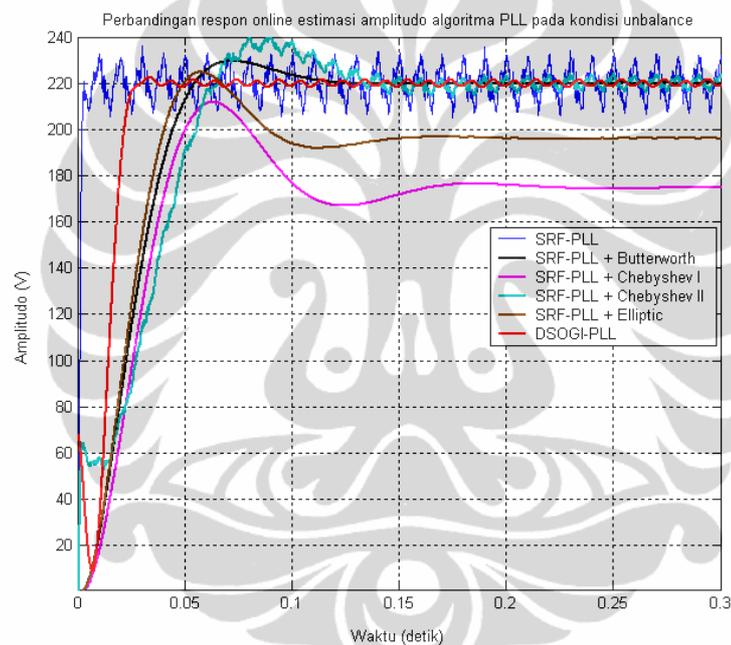
Pada pengujian *online* tegangan listrik tiga fasa *unbalance* ini digunakan komposisi tegangan $V_a = 220\angle 0^\circ$, $V_b = 219\angle 125^\circ$, dan $V_c = 218\angle 245^\circ$. Selanjutnya untuk merealisasikan kondisi *unbalance* tersebut hanya membutuhkan satu variabel sumber tegangan listrik yang ditempatkan pada fasa a menggunakan alat *AC Voltage Current Source Standard*. Alat tersebut disetting mendahului 125° terhadap fasa b, sedangkan untuk menurunkan tegangan pada fasa b dan fasa c hanya menggunakan faktor pengali pada *Simulink Matlab* sebelum masuk ke algoritma PLL. Hasil pengukuran tegangan listrik tiga fasa pada kondisi *unbalance* dan perhitungan transformasi *Clarke* diberikan sama seperti pada gambar 4.44 di subbab 4.14.

Selanjutnya hasil respon *online* estimasi frekuensi algoritma modifikasi SRF-PLL dengan menggunakan digital *lowpass* filter orde dua jika dibandingkan dengan algoritma PLL yang lainnya pada saat kondisi *unbalance* dapat diberikan pada gambar berikut :



Gambar 4.57 Hasil respon *online* estimasi frekuensi algoritma modifikasi SRF-PLL pada kondisi *unbalance*

Pada gambar 4.57 dapat dijelaskan bahwa modifikasi SRF-PLL dengan digital *lowpass* filter orde dua yang dapat mencapai *steady state* hanya digital filter *Butterworth* dan *Chebyshev II*. Selain itu, algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* memberikan respon yang lebih baik dan tanpa ada osilasi dibandingkan modifikasi algoritma SRF-PLL dengan digital filter *Chebyshev II*. Hasil respon *online* estimasi frekuensi algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* ini masih mempunyai maksimum *overshoot* sebesar 5 % dengan membutuhkan waktu 0.13 detik untuk mencapai *steady state*-nya. Selanjutnya hasil respon estimasi amplitudo dapat diberikan pada gambar berikut :



Gambar 4.58 Hasil respon *online* estimasi amplitudo algoritma modifikasi SRF-PLL pada kondisi *unbalance*

Pada gambar 4.58 dapat dijelaskan bahwa bahwa modifikasi SRF-PLL dengan digital *lowpass* filter orde dua yang dapat mencapai *steady state* hanya digital filter *Butterworth* dan *Chebyshev II*. Selain itu, algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* memberikan respon yang lebih baik dan tanpa ada osilasi dibandingkan modifikasi algoritma SRF-PLL dengan digital filter *Chebyshev II*. Hasil respon *online* estimasi amplitudo algoritma modifikasi SRF-PLL dengan digital filter *Butterworth* ini masih mempunyai maksimum *overshoot* sebesar 4.5 % dengan membutuhkan waktu 0.13 detik untuk mencapai *steady state*-nya.

BAB 5

KESIMPULAN

Dari hasil pengujian dan analisis dapat dibuat kesimpulan bahwa :

1. Hasil pengujian rangkaian pengkondisi sinyal untuk melakukan pengukuran tegangan listrik tiga fasa 380/220V dapat merepresentasikan sinyal sinusoida dengan baik walaupun masih sedikit terdapat *noise* dan adanya drop tegangan pada rangkaian pengkondisi sinyal masih dapat dikompensasi dengan pemberian faktor pengali sebelum dimasukkan ke dalam algoritma PLL.
2. Hasil pengujian secara simulasi dan pengujian secara *online* mendapatkan algoritma SRF-PLL (*Synchronous Reference Frame Phase Locked Loop*) mempunyai respon waktu *steady state* sampai 20 kali lebih cepat jika dibandingkan dengan algoritma PLL lainnya namun sangat sensitif dan rentan osilasi jika ada ketidaksetimbangan fasor tegangan (*unbalance*) sehingga kurang direkomendasikan dalam pengukuran tegangan listrik tiga fasa.
3. Hasil pengujian secara simulasi dan pengujian secara *online* mendapatkan algoritma modifikasi SRF-PLL menggunakan digital *lowpass* filter *Butterworth* orde dua dengan frekuensi *cut-off* 10 Hz mempunyai respon yang lebih stabil tanpa osilasi pada kondisi *unbalance* jika dibandingkan dengan algoritma PLL lainnya pada pengukuran sudut fasa, frekuensi dan amplitudo tegangan listrik tiga fasa.
4. Hasil pengujian secara simulasi dan pengujian secara *online* algoritma modifikasi SRF-PLL menggunakan digital *lowpass* filter *Butterworth* orde dua masih mendapatkan *overshoot* pada respon *transient* awal pengukuran sampai mencapai *steady state* pada 0.13 detik, sehingga untuk aplikasinya nanti pengukuran pada kondisi *transient* awal dianggap diabaikan hingga mencapai kondisi *steady state*-nya.
5. Hasil algoritma modifikasi SRF-PLL tiga fasa ini dapat diaplikasikan pada dunia industri sebagai variasi produk seperti *Automatic Mains Failure, Automatic Transfer Switch, Three Phase Sequencer Detector, Three Phase Synchronizer Check, Three Phase Auto Synchronizer, Three Phase Under Voltage & Under Frequency Protection, Three Phase ROCOF, Three Phase ROCOV, Three Phase Load Shedding, Three Phase Load Sharing*, dsb.

DAFTAR REFERENSI

- [1] Sallam, A.A., and Malik, O.P., 2011. *Electric Distribution Systems*, John Wiley & Sons
- [2] Gers, J., 2005. *Protection of Electricity Distribution Networks, 2nd edition*, The Institution of Engineering and Technology
- [3] Fehr, R.E., 2006. *A Novel Approach for Understanding Symmetrical Components and Sequence Networks of Three-Phase Power Systems*, Proceeding of Power Electronic Specialist (PESC'06)
- [4] Schlabbach, J., Blume, D., and Stephanblome, T., 2000. *Voltage Quality in Electrical Power Systems*, The Institution of Engineering and Technology, UK
- [5] Fernandez, F.D.F., 2009. *Contributions to Grid-Synchronization Techniques For Power Electronic Converters*, Dissertation, Vigo University, Spanyol
- [6] Guo, X.Q., Wu, W.Y., and Gu, H.R., 2011. *Phase Locked Loop and Synchronization Methods for Grid Interfaced Converters : A Review*, Proceedings in Yanshan University
- [7] Minambres, V., Milanes, M.I., Vinagre, B., and Romero, E. 2009. *Comparison of Controllers for a Three-Phase Phase Locked Loop System under Distorted Conditions*, Compatibility and Power Electronics (CPE 2009)
- [8] Salamah, A.M., Finney, S.J., and Williams, B.W., 2007. *Three-Phase Phase Locked Loop for Distorted Utilities*, Electric Power Applications (IET 2007)
- [9] Filho, M.S., 2010. *A Comparative Study of Three Phase and Single Phase PLL Algorithm for Grid Connected Systems*, XVIII Congresso Brasileiro de Automatica
- [10] Santos, C.H.G., Silva, S.M., and Leite, V.J.S., 2010. *Application of The Double Synchronous Reference Frame PLL for Single Phase Grid-Connected Systems*, XVIII Congresso Brasileiro de Automatica
- [11] Sen, B., Sharma, D., and Babu, B.C., 2012. *DSRF and SOGI based PLL-Two Viable Scheme for Grid Synchronization of DG Systems during Grid Abnormalities*, Proceeding of IEEE Transactions on Power Systems
- [12] Eren, S., Karimi-Ghartemani, M., and Bakhshai, A., 2009. *Enhancing the Three-Phase Synchronous Reference Frame PLL to Remove Unbalance and Harmonic Errors*, Industrial Electronics, 2009 IECON '09, 35th Annual Conference of IEEE

- [13] Limongi, L.R., Bojoi, R., Pica, C., Profumo, F., and Tenconi, A., 2007. *Analysis and Comparison of Phase Locked Loop Techniques for Grid Utility Applications*, Proceeding of IEEE Power Conversion Conference
- [14] Krievs, O., Steiks, I., and Ribickis, L., 2010. *A PLL Scheme for Synchronization with Grid Voltage Phasor in Active Power Filter Systems*, Scientific Jurnal of Riga Technical University
- [15] Rodriguez, P., Luna, A., Ciobotaru, M., Teodorescu, R., and Blaabjerg, F., 2006. *Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions*, Proceeding of 32nd Annual Conference on Industrial Electronic (IECON 2006)
- [16] Freijedo, F.D., Yepes, A.G., Lopez, O., Vidal, A., and Gandoy, J.D., 2011. *Three-Phase PLLs with Fast Postfault Retracking and Steady State Rejection of Voltage Unbalance and Harmonics by Means of Lead Compensation*, Proceeding of IEEE Transactions on Power Electronics
- [17] Xiong, F., Yue, W., Ming, L., Ke, W., and Wanjun, L., 2010. *A Novel PLL for Grid Synchronization of Power Electronic Converters in Unbalanced and Variable-Frequency Environment*, Proceeding of IEEE International Symposium on Power Electronics for Distributed Generation Systems
- [18] Meral, M.E., 2011. *Improved Phase-Locked Loop For Robust and Fast Tracking of Three Phases Under Unbalanced Electric Grid Conditions*, Proceeding of IET Generation Transmission & Distribution
- [19] Luna, A., Citro, C., Gavriluta, C., Hermoso, J., Candela, I., and Rodriguez, P., 2012. *Advanced PLL Structures for Grid Synchronization in Distributed Generation*, Proceeding of International Conference on Renewable Energies and Power Quality (ICREPQ'12)
- [20] Nicastrì, A., and Nagliero, A., 2010. *Comparison and Evaluation of The PLL Techniques for The Design of The Grid-Connected Inverter Systems*, Proceeding of Power Electronic Specialist (PESC'10)
- [21] Manolakis, D., and Ingle, V., 2011. *Applied Digital Signal Processing: Theory and Practice*, Cambridge University Press