



UNIVERSITAS INDONESIA

**INVERTER SATU FASA SINKRON BERBASIS DIGITAL
PHASE LOCKED LOOP**

TESIS

HELLY ANDRI

1006804003

**FAKULTAS TEKNIK
PROGRAM STUDI MAGISTER TEKNIK ELEKTRO
DEPOK
JUNI 2012**



UNIVERSITAS INDONESIA

**INVERTER SATU FASA SINKRON BERBASIS DIGITAL
PHASE LOCKED LOOP**

TESIS

Diajukan sebagai salah satu syarat untuk memperoleh gelar

Magister Teknik

HELLY ANDRI

1006804003

**FAKULTAS TEKNIK
PROGRAM STUDI MAGISTER TEKNIK ELEKTRO
KEKHUSUSAN TEKNIK KONTROL INDUSTRI
DEPOK
JUNI 2012**

PERNYATAAN ORISINALITAS

Tesis ini adalah hasil karya saya sendiri, dan semua sumber baik yang dikutip maupun dirujuk telah saya nyatakan dengan benar.

Nama : Helly Andri

NPM : 1006804003

Tanda tangan :



Tanggal : 22 Juni 2012



HALAMAN PENGESAHAN

Tesis ini diajukan oleh:

Nama : Helly Andri
NPM : 1006804003
Program Studi : Magister Teknik Elektro
Judul Tesis : Inverter Satu Fasa Sinkron Berbasis Digital Phase Locked Loop

Telah berhasil dipertahankan dihadapan dewan penguji dan diterima sebagai bagian persyaratan yang diperlukan untuk memperoleh gelar Magister Teknik pada Program Studi Teknik Teknik Elektro, Fakultas Teknik, Universitas Indonesia.

DEWAN PENGUJI

Pembimbing : Dr. Ir. Feri Yusivar, M.Eng.

(.....)

Penguji : Dr. Ir. Ridwan Gunawan, MT.

(.....)

Penguji : Dr. Ir. Abdul Halim, M.Eng.

(.....)

Penguji : Dr. Abdul Muis, ST, M.Eng.

(.....)

Ditetapkan di : Depok

Tanggal : 22 Juni 2012

UCAPAN TERIMA KASIH

Alhamdulillah, atas segala karunia dan petunjuk dari Allah SWT. Karena kasih-Nya sehingga penulis dapat menyelesaikan penyusunan laporan tesis ini. Penyusunan tesis ini dilakukan dalam rangka memenuhi salah satu syarat untuk mencapai gelar Magister Teknik Jurusan Teknik Elektro pada Fakultas Teknik Universitas Indonesia. Penulis menyadari betapa besar dukungan dan bimbingan dari berbagai pihak, baik dari masa perkuliahan sampai pada penyusunan tesis ini.

Untuk itu penulis mengucapkan terima kasih yang sangat mendalam kepada :

1. Bapak Dr. Ir. Feri Yusivar, M.Eng., selaku dosen pembimbing yang telah menyediakan waktu, tenaga dan pikiran dalam mengarahkan penulis dalam penyusunan tesis ini.
2. Dosen-dosen yang telah mengajarkan ilmu yang sangat bermanfaat.
3. Kedua orang tua, dan kakak atas do'a dan motivasinya.
4. Sahabat-sahabat yang telah membantu penulis dalam menyelesaikan tesis ini.

Dan semoga tesis ini membawa manfaat bagi pengembangan ilmu.

Depok, 22 Juni 2012

Penulis

**HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI
TUGAS AKHIR UNTUK KEPENTINGAN AKADEMIS**

Sebagai sivitas akademik Universitas Indonesia, saya yang bertanda tangan di bawah ini:

Nama : Helly Andri
NPM : 1006804003
Kekhususan : Teknik Kontrol Industri
Program Studi : Magister Teknik Elektro
Fakultas : Teknik
Jenis karya : Tesis

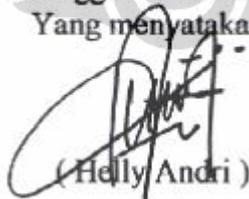
Demi pengembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia **Hak Bebas Royalti Noneksklusif** (*Non-exclusive Royalty-Free Right*) atas karya ilmiah saya yang berjudul :

**INVERTER SATU FASA SINKRON BERBASIS DIGITAL PHASE
LOCKED LOOP**

beserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Indonesia berhak menyimpan, mengalihmedia/formatkan, mengelola dalam bentuk pangkalan data (*database*), merawat, dan memublikasikan tugas akhir saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai pemilik Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di: Depok
Pada tanggal : 22 Juni 2012
Yang menyatakan,


(Helly Andri)

ABSTRAK

Nama : Helly Andri
Program Studi : Magister Teknik Elektro
Judul : Inverter Satu Fasa Sinkron Berbasis Digital Phase Locked Loop

Tesis ini bertujuan untuk merancang, membuat dan menguji inverter satu fasa yang karakteristiknya sama dengan tegangan *grid*. Proses tersebut dilakukan dengan mengontrol kerja inverter sehingga diperoleh amplitudo, frekuensi dan sudut fasa yang sesuai dengan tegangan *grid* menggunakan metode algoritma digital *Phase Locked Loop* (PLL), serta pengujian algoritma digital PLL secara *real-time* terhadap sumber tegangan *grid* satu fasa dengan tujuan membuktikan bahwa algoritma PLL yang dimodifikasi merupakan metode yang sederhana dengan memberikan hasil waktu *steady state* 1.0 detik, serta memberikan respon amplitudo, frekuensi dan sudut fasa estimasi yang sama dengan tegangan *grid*. Amplitudo, frekuensi dan sudut fasa dari vektor tegangan *grid* adalah informasi dasar data untuk melakukan sinkronisasi terhadap peralatan pengkondisian daya. Pengambilan data informasi vektor tegangan *grid* yang akurat, akan sangat penting untuk memastikan operasi yang benar dari sistem kontrol. PLL digital satu fasa ini di implementasikan dengan membuat fasa virtual yang tertinggal (*lagging*) sebesar 90^0 dari tegangan *grid* yang diukur dengan menggunakan algoritma *All Pass Filter* (APF) dengan hasil persentase *error* nol persen.

Kata kunci: Inverter, digital *Phase Locked Loop* (PLL), *All Pass Filter* (APF), amplitudo, frekuensi, sudut fasa.

ABSTRACT

Name : Helly Andri
Study Program : Magister of Electrical Engineering
Title : Single-Phase Synchronous Inverter Based Digital Phase Locked Loop

This theses aims to design, make and test an inverter that has same characteristic with grid voltage. The process have been done by controlling of inverter (dc to ac) so we have temporary amplitude, frequency, and phase angle that suit to grid voltage use algorithms digital Phase Locked Loop (PLL), and testing algorithms digital PLL in real-time to single-phase grid voltage source aims to prove the modification algorithms is a simple method and provide the results of a steady state about 1.0 second, and response amplitude, frequency and phase angle estimations equal to the grid voltage. Amplitude, frequency and phase angle of the grid voltage vector is a data base of information to synchronize power conditioning equipment. An accurate information data retrieval of voltage vector is important to make sure the correct operation of control system. Single-phase digital PLL is implemented by creating a virtual phase, which is delayed by 90^0 of the grid voltage that measured using the algorithm All Pass Filter (APF). The results of the phase shift using APF is almost close to zero percent error.

Key word : *Inverter, digital Phase Locked Loop (PLL), All Pass Filter (APF), amplitude, frequency, phase angle.*

DAFTAR ISI

HALAMAN JUDUL.....	i
PERNYATAAN ORISINALITAS	ii
HALAMAN PENGESAHAN	iii
UCAPAN TERIMA KASIH	iv
LEMBAR PERSETUJUAN PUBLIKASI KARYA ILMIAH	v
ABSTRAK.....	vi
DAFTAR ISI.....	viii
DAFTAR GAMBAR.....	x
BAB 1 PENDAHULUAN.....	1
1.1 Latar Belakang.....	1
1.2 Tujuan.....	3
1.3 Pembatasan Masalah.....	3
1.4 Susunan Penulisan.....	3
BAB 2 DASAR TEORI.....	5
2.1 Algoritma <i>Phase Locked Loop</i>	5
2.1.1 <i>All Pass Filter</i> (APF)	5
2.1.2 <i>Low Pass Filter</i> (LPF)	6
2.1.3 Transformasi <i>Park</i> (<i>dq transformation</i>)	7
2.1.4 <i>Phase Locked Loop</i> (PLL)	8
2.1.5 Perbandingan Metode Sinkronisasi PLL Terhadap Metode Lainnya	9
2.2 Inverter	11
2.2.1 Inverter Satu Fasa Dengan Kontrol PWM	15
2.3 <i>Insulated Gate Bipolar Transistor</i>	18
2.4 Natural PWM	20
BAB 3 METODOLOGI PENELITIAN	21
3.1 Algoritma PLL	21
3.2 Rangkaian Pembagi Tegangan	27
3.3 Diagram Blok Inverter	30
3.3.1 Mikrokontroler AT90PWM3B	31
3.3.2 Rangkaian <i>Driver</i> IGBT	35
3.4 Uji Coba Sistem	36
3.4.1 Pengujian Metode Algoritma PLL (<i>Real-Time</i>)	36
3.4.2 Pengujian Inverter	38
BAB 4 HASIL PENGUJIAN DAN ANALISIS	40
4.1 Pengujian Algoritma PLL	40
4.1.1 Hasil Keluaran Rangkaian Pembagi Tegangan	41
4.1.2 Hasil Algoritma <i>All Pass Filter</i> (APF) untuk Penggeser Fasa	42
4.1.3 Hasil Algoritma PLL antara Tegangan <i>Grid</i> dengan	

Voltage Regulator	43
4.1.4 Hasil Algoritma PLL Amplitudo Voltage Regulator 50 volt	43
4.1.5 Hasil Algoritma PLL Amplitudo Voltage Regulator 100 volt	46
4.1.6 Hasil Algoritma PLL Amplitudo Voltage Regulator 220 volt	49
4.1.7 Hasil Algoritma PLL dengan Amplitudo Sinyal Sumber Tegangan Masukan <i>Off-On</i>	49
4.1.8 Hasil Algoritma PLL dengan Amplitudo Sinyal Sumber Tegangan Masukan Off	56
4.2 Pengujian Inverter	59
4.2.1 Pengujian keluaran Inverter	61
4.2.2 Pengujian Dengan Merubah Frekuensi Sumber Refrensi ..	65
4.2.3 Pengujian Dengan Merubah amplitude Tegangan Sumber Refrensi	67
4.2.4 Pengujian Fasa Tegangan <i>Grid</i> Terhadap Fasa Tegangan Output Inverter	69
BAB 5 KESIMPULAN.....	71
DAFTAR REFERENSI	72
LAMPIRAN	

DAFTAR GAMBAR

Gambar 2.1.	Ilustrasi algoritma PLL	5
Gambar 2.2	Grafik fungsi sinus dan kosinus berbentuk sinusoid dengan fasa yang berbeda	6
Gambar 2.3.	Transformasi park [7]	6
Gambar 2.4.	Diagram blok PLL satu fasa [9]	8
Gambar 2.5.	Rangkaian inverter sederhana	12
Gambar 2.6.	Inverter satu fasa setengah jembatan	13
Gambar 2.7.	Bentuk gelombang arus dan tegangan dengan beban resistif	14
Gambar 2.8.	Inverter satu fasa jembatan penuh	14
Gambar 2.9.	Bentuk gelombang tegangan keluaran	15
Gambar 2.10.	<i>Bipolar</i> PWM. (a) referensi sinusoidal dan <i>carrier</i> segitiga. (b) Keluaran $+V_{dc}$ ketika $v_{sine} > v_{tri}$ dan $-V_{dc}$ ketika $v_{sine} < v_{tri}$	16
Gambar 2.11.	(a) <i>Full Bridge converter</i> untuk <i>unipolar</i> PWM.(b) Sinyal referensi dan sinyal <i>carrier</i> . (c) Tegangan Jembatan v_a dan v_b (d) Tegangan keluaran	17
Gambar 2.12.	<i>Unipolar</i> PWM dengan saklar frekuensi tinggi dan saklar frekuensi rendah. (a) Sinyal referensi dan sinyal control. (b) v_a (gambar 2.9a). (c) v_b . (d) Keluaran $v_a - v_b$	18
Gambar 2.13.	Struktur dasar IGBT dan MOSFET	19
Gambar 2.14.	Sinyal referensi sinusoidal dan <i>carrier</i> segitiga serta sinyal PWM yang dihasilkan	20
Gambar 3.1.	Diagram blok sistem algoritma PLL satu fasa	20
Gambar 3.2	Hubungan fasor antara tegangan dq dan tegangan $\alpha\beta$	24
Gambar 3.3.	Rangkaian pembagi tegangan dengan <i>op-amp</i> IC LM358 ...	28
Gambar 3.4.	(a) Sinyal tegangan keluaran simulasi dengan program circuit maker, (b) Sinyal tegangan keluaran rangkaian pembagi tegangan dengan <i>op-amp</i> IC LM358	28
Gambar 3.5.	Rangkaian pembagi tegangan dengan <i>op-amp</i> IC LM358 yang sudah ditambahkan <i>filter</i>	29
Gambar 3.6.	(a) Sinyal tegangan keluaran simulasi dengan program circuit maker, (b) Sinyal tegangan keluaran rangkaian pembagi tegangan dengan <i>op-amp</i> IC LM358 yang sudah ditambahkan <i>filter</i>	30
Gambar 3.7.	Diagram blok inverter	30
Gambar 3.8.	Skematik rangkaian mikrokontroler AT90PWM3B	32
Gambar 3.9.	Diagram blok data natural PWM	33
Gambar 3.10.	Flowchart program	34
Gambar 3.11.	Rangkaian <i>driver</i> IGBT untuk <i>half converter</i>	36
Gambar 3.12.	Diagram blok pengujian metode algoritma PLL	37
Gambar 3.13.	Simulink algoritma PLL dengan MATLAB 7.7.0 (R2008b)	37
Gambar 3.14.	Diagram blok pengujian inverter tanpa kontrol dari algoritma PLL	38
Gambar 3.15.	Diagram blok pengujian inverter dengan kontrol dari	

	algoritma PLL	39
Gambar 4.1.	Diagram blok pengujian algoritma PLL satu fasa	40
Gambar 4.2.	Amplitudo sinyal tegangan <i>grid</i> rangkaian pembagi tegangan dengan memanfaatkan <i>op-amp</i> NI	41
Gambar 4.3.	Amplitudo sinyal voltage regulator rangkaian pembagi tegangan dengan memanfaatkan <i>op-amp</i> IC LM358	41
Gambar 4.4.	Diagram blok algoritma <i>All Pass Filter</i> (APF)	42
Gambar 4.5.	Amplitudo sinyal tegangan masukan yang digeser fasanya 90^0	42
Gambar 4.6.	Amplitudo sinyal voltage regulator 50 volt	43
Gambar 4.7.	Sudut fasa estimasi PLL dengan sinyal voltage regulator 50 volt	44
Gambar 4.8.	Nilai error algoritma PLL dengan sinyal voltage regulator 50 volt	44
Gambar 4.9.	Kendali PI dengan sinyal voltage regulator 50 volt	45
Gambar 4.10.	Frekuensi estimasi PLL dengan sinyal voltage regulator 50 volt	45
Gambar 4.11.	Amplitudo estimasi PLL dengan sinyal voltage regulator 50 volt	46
Gambar 4.12.	Amplitudo sinyal voltage regulator 100 volt	46
Gambar 4.13.	Sudut fasa estimasi PLL dengan sinyal voltage regulator 100 volt	47
Gambar 4.14.	Nilai error algoritma PLL dengan sinyal voltage regulator 100 volt	47
Gambar 4.15.	Kendali PI dengan sinyal voltage regulator 100 volt	48
Gambar 4.16.	Frekuensi estimasi PLL dengan sinyal voltage regulator 100 volt	48
Gambar 4.17.	Amplitudo estimasi PLL dengan sinyal voltage regulator 100 volt	49
Gambar 4.18.	Amplitudo sinyal voltage regulator 220 volt	49
Gambar 4.19.	Sudut fasa estimasi PLL dengan sinyal voltage regulator 220 volt	50
Gambar 4.20.	Nilai error algoritma PLL dengan sinyal voltage regulator 220 volt	50
Gambar 4.21.	Kendali PI dengan sinyal voltage regulator 220 volt	51
Gambar 4.22.	Frekuensi estimasi PLL dengan sinyal voltage regulator 220 volt	51
Gambar 4.23.	Amplitudo estimasi PLL dengan sinyal voltage regulator 220 volt	52
Gambar 4.24.	Respon transien amplitudo estimasi PLL dengan sinyal voltage regulator 220 volt.....	53
Gambar 4.25.	Amplitudo sinyal tegangan masukan <i>off-on</i>	54
Gambar 4.26.	Sudut fasa estimasi PLL dengan sinyal tegangan masukan <i>off-on</i>	55
Gambar 4.27.	Frekuensi estimasi PLL dengan sinyal tegangan masukan <i>off-on</i>	55

Gambar 4.28.	Amplitudo estimasi PLL dengan sinyal tegangan masukan <i>off-on</i>	55
Gambar 4.29.	Amplitudo sinyal tegangan masukan <i>off</i>	56
Gambar 4.30.	V_{β} sinyal tegangan masukan <i>off</i>	57
Gambar 4.31.	Sudut fasa estimasi PLL dengan sinyal tegangan masuka... ..	57
Gambar 4.32.	Nilai error algoritma PLL dengan sinyal tegangan masukan <i>off</i>	57
Gambar 4.33.	Kendali PI dengan sinyal tegangan masukan <i>off</i>	58
Gambar 4.34.	Frekuensi estimasi PLL dengan sinyal tegangan masukan <i>off</i>	58
Gambar 4.35.	Amplitudo estimasi PLL dengan sinyal tegangan masukan <i>off</i>	58
Gambar 4.36.	Keluaran amplitudo (ch1= V_q estimasi) dan θ estimasi (ch2 = $\hat{\theta}$) dari DAC NI	59
Gambar 4.37.	<i>Dead-time</i> natural PWM	60
Gambar 4.38.	Keluaran natural PWM mikrokontroler (a) tanpa algoritma PLL, (b) dengan algoritma PLL	61
Gambar 4.39.	Keluaran dari IGBT (a) tanpa algoritma PLL, (b) dengan algoritma PLL	62
Gambar 4.40.	Keluaran dari IGBT dengan <i>filter</i> LPF orde satu (a) tanpa algoritma PLL, (b) dengan algoritma PLL	63
Gambar 4.41.	Keluaran dari IGBT dengan <i>filter</i> LPF orde dua (a) tanpa algoritma PLL, (b) dengan algoritma PLL	64
Gambar 4.42.	Frekuensi keluaran inverter 30 hertz	65
Gambar 4.43.	Frekuensi keluaran inverter 40 hertz	65
Gambar 4.44.	Frekuensi keluaran inverter 50 hertz	66
Gambar 4.45.	Frekuensi keluaran inverter 55 hertz	66
Gambar 4.46.	Frekuensi keluaran inverter 60 hertz	66
Gambar 4.47.	Frekuensi keluaran inverter 80 hertz	67
Gambar 4.48.	Keluaran inverter dengan amplitudo tegangan referensi sebesar 55 volt	68
Gambar 4.49.	Keluaran inverter dengan amplitudo tegangan referensi sebesar 110 volt	68
Gambar 4.50.	Keluaran inverter dengan amplitudo tegangan referensi sebesar 220 volt	68
Gambar 4.51.	Pergeseran fasa tegangan <i>grid</i> dengan fasa keluaran tegangan inverter	69

BAB 1

PENDAHULUAN

1.1 Latar Belakang

Semakin berkurangnya cadangan energi yang berasal dari fosil (batu bara, minyak dan gas bumi), serta alasan lingkungan lainnya, maka pembangkit listrik dengan sumber energi terbarukan banyak diteliti sebagai pengganti pembangkit listrik dengan sumber energi fosil [1]. Sejumlah metode konversi telah banyak ditemukan, namun masih membutuhkan pengembangan. Sistem fuel cell, foto voltaik, dan lain-lain, merupakan sistem konversi yang mulai banyak diterapkan. Sistem tersebut umumnya menghasilkan daya arus searah (dc), sehingga membutuhkan sistem perubahan ke dalam bentuk daya arus bolak-balik dengan menggunakan inverter.

Sumber tegangan listrik dc yang berasal dari sumber energi terbarukan yang dikoneksikan dengan sistem jaringan listrik membutuhkan proses sinkronisasi. Sinkronisasi adalah suatu cara untuk menghubungkan dua sumber atau beban arus bolak-balik (ac). Proses tersebut dilakukan dengan mengontrol kerja inverter (pengubah tegangan dc ke ac) yang karakteristiknya sesuai dan agar bisa digunakan sebagaimana sumber listrik pada jaringan listrik. Sehingga inverter tersebut akan menghasilkan amplitudo sesaat, fase dan frekuensi yang sesuai dengan jaringan listrik.

Pengaturan sistem sinkronisasi dan pembentuk gelombang dilakukan terhadap tegangan jaringan sebagai acuan. Bila tegangan sesaat pada jaringan mengalami penurunan, maka tegangan sesaat keluaran inverter juga harus mengikuti, begitu sebaliknya. Demikian pula bila frekuensi pada jaringan listrik turun/naik, maka frekuensi keluaran inverter juga harus dapat mengikutinya. Banyak metode estimasi yang telah digunakan, salah satunya dengan menggunakan metode algoritma PLL.

Metode PLL memiliki kelebihan dari sisi kesederhanaannya, output yang diberikannya relative baik (sesuai dengan yang dikehendaki), yaitu dapat memberikan data output berupa amplitudo, frekuensi, dan sudut fasa

dari sinyal tegangan jaringan yang ingin disinkronisasikan, atau dalam kasus ini, direkonstruksi ulang secara sesempurna mungkin. Hal ini karena metode PLL tidak melibatkan hubungan-hubungan matematis yang kompleks antara besaran-besaran tertentu, akan tetapi berdasarkan atas hubungan dasar prinsip-prinsip yang logis dan relevan terhadap besaran-besaran tersebut. Kemudian, dengan metode dan prinsip-prinsip dasar tersebut, dikembangkanlah perlakuan-perlakuan lanjutan lainnya yang dapat semakin memperbaiki dan menyempurnakan output dari PLL dasar/awal yang direalisasikan sebelumnya.

Selain itu, PLL merupakan metode yang secara umum dapat dikembangkan lagi lebih lanjut dengan berbagai jenis metode tambahan, terutama untuk PLL digital yang direalisasikan dengan menggunakan baris-baris program, sehingga lebih fleksibel jika dibandingkan dengan PLL analog. Jadi hal-hal yang akan dilaporkan berikut ini dapat menjadi bukti-bukti nyata bahwa PLL tidak dapat secara universal dikatakan memberikan hasil yang relatif kurang begitu baik jika dibandingkan dengan metode sinkronisasi lainnya. Metode PLL mampu melakukan sinkronisasi pada jaringan yang memiliki daya listrik yang mengalami distorsi [2], walaupun memiliki sistem yang lebih rumit, berkebalikan dengan metode *zero crossing* yang memiliki konstruksi yang sederhana, namun tidak sesuai untuk kondisi daya yang terdistorsi [3].

Untuk mengontrol inverter agar keluarannya dapat disesuaikan dengan pola karakteristik tegangan *grid* satu fasa, memerlukan suatu perangkat inverter yang mempunyai efisiensi yang tinggi agar daya yang terbuang dapat diminimalisir. Salah satu cara untuk meningkatkan efisiensi inverter adalah dengan menggunakan saklar semikonduktor yang baik, sehingga rugi-rugi akibat pesaklaran dapat diminimalisir. Insulated Gate Bipolar Transistor (IGBT) merupakan perangkat switching yang memiliki kecepatan switcing tinggi, serta impedansi masukannya tinggi sehingga tidak membebani rangkaian pengendalinya, selain itu impedansi IGBT pada saat ON sangat kecil. Sehingga IGBT cocok dioperasikan pada arus yang besar, hingga ratusan amper, tanpa terjadi kerugian daya yang cukup berarti.

Pengendalian saklar dalam inverter dapat dilakukan dengan metode natural PWM (Sinusoidal PWM). Keuntungan metode ini yaitu sederhana serta fleksibel artinya amplitudo dan frekuensi keluarannya dapat diatur, serta rendahnya distorsi harmonik pada tegangan keluaran.[4]

1.2 Tujuan

Penelitian pada tesis dilakukan untuk :

1. Merancang dan menguji algoritma PLL secara *real-time* terhadap sumber tegangan listrik satu fasa, serta membuktikan bahwa algoritma PLL yang dimodifikasi [5] merupakan metode yang sederhana dan memberikan hasil respon yang baik.
2. Merancang dan menguji perangkat inverter satu fasa menggunakan *switching* IGBT dengan kontrol SPWM dari mikrokontroler.
3. Mengontrol inverter, agar keluarannya dapat disesuaikan dengan pola karakteristik tegangan *grid* satu fasa dari data keluaran algoritma PLL berupa amplitudo, frekuensi, dan sudut fasa.

1.3 Pembatasan Masalah

Dalam tesis ini, permasalahan yang dibahas dibatasi pada perancangan, pembuatan, dan pengujian inverter yang keluarannya disesuaikan dengan pola karakteristik tegangan *grid* satu fasa dari data algoritma PLL yang dimodifikasi. Algoritma PLL akan memberikan data keluaran karakteristik tegangan *grid* satu fasa berupa amplitudo, frekuensi, dan sudut fasa.

1.4 Susunan Penulisan

Penulisan laporan tesis ini dibagi ke dalam lima bab yang akan menjelaskan secara bertahap mengenai keseluruhan isi tesis ini.

Bab satu merupakan pendahuluan yang berisi latar belakang, tujuan, pembatasan masalah, dan sistematika penulisan. Bab dua membahas dasar teori yang terkait dengan algoritma PLL dan inverter. Bab tiga membahas mengenai metodologi perancangan, pembuatan dan pengujian. Bab empat

berisi hasil pengujian dan pembahasannya. Bab lima merupakan kesimpulan dari pembahasan dalam laporan tesis ini.



BAB 2

DASAR TEORI

Pemanfaatan daya yang berasal dari penyedia listrik utama tidak sepenuhnya memenuhi tuntutan konsumen. Solusi yang tepat adalah memanfaatkan sumber energi listrik terbarukan. Namun pemanfaatan sumber energi terbarukan dengan hasil berupa tegangan listrik dc tidak dapat langsung digunakan untuk mensuplai peralatan-peralatan listrik yang umumnya memanfaatkan tegangan ac. Sehingga diperlukan sebuah peralatan untuk membangkitkan tegangan dc ke ac berupa inverter. Inverter atau pembangkit tegangan ac dalam penelitian ini dikontrol dengan memanfaatkan data berupa amplitudo, frekuensi dan sudut fasa dari vektor tegangan *grid*.

Informasi dasar data ini digunakan untuk melakukan *grid-connected* terhadap peralatan pengkondisian daya, seperti PWM rectifier, sistem daya tak terputus (UPS), kompensator tegangan dan sistem generasi terdistribusi. Untuk itu aplikasi pengambilan data informasi vektor tegangan listrik yang akurat sangatlah penting, untuk memastikan operasi yang benar dari sistem kontrol.



Gambar 2.1. Ilustrasi algoritma PLL

2.1 Algoritma *Phase Locked Loop*

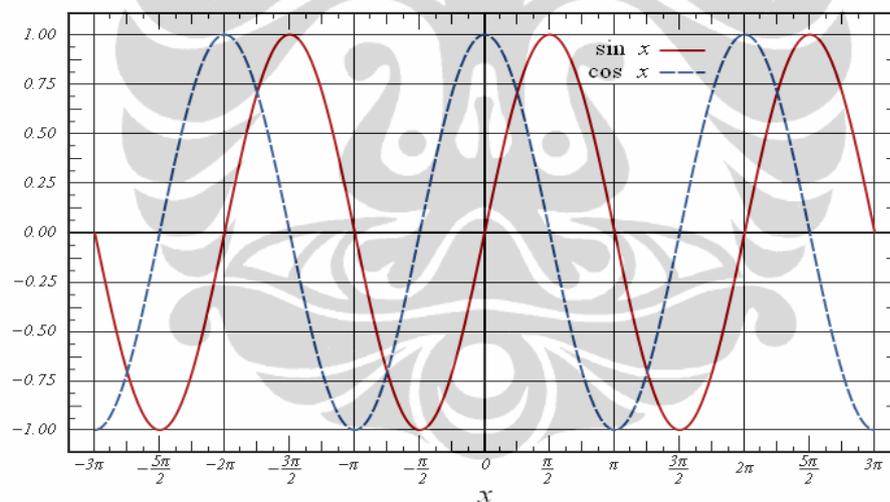
2.1.1 *All Pass Filter (APF)*

Dalam sistem *grid-connected*, pengontrolan PLL diperlukan untuk menyinkronkan tegangan keluaran inverter terhadap tegangan *grid*. Umumnya, sistem kontrol PLL untuk satu fasa dibangun dengan *zero crossing detection*. Namun, dalam penelitian ini digunakan algoritma PLL digital, karena waktu deteksi fasa dengan metode PLL digital adalah lebih

cepat dari metode deteksi konvensional *zero crossing detection* [6]. PLL digital untuk satu fasa diimplementasikan dengan membuat fasa virtual yang tertunda sebesar 90° dari tegangan *grid* yang diukur. Pergeseran ini dilakukan dengan menggunakan algoritma *All Pass Filter* (APF) yang memiliki fungsi alih seperti pada persamaan (2.1).

$$\frac{Y(s)}{U(s)} = \frac{\omega c - s}{\omega c + s} \quad (2.1)$$

dimana: $U(s)$ = Masukan sinyal yang akan digeser fasanya 90°
 $Y(s)$ = Keluaran sinyal yang telah digeser fasanya 90°
 ωc = Frekuensi dari sinyal yang akan digeser fasanya



Gambar 2.2. Grafik fungsi sinus dan kosinus berbentuk sinusoid dengan fasa yang berbeda

2.1.2 Low Pass Filter (LPF)

Low Pass Filter (LPF) berfungsi meneruskan sinyal masukan yang frekuensinya berada dibawah frekuensi tertentu, diatas frekuensi tersebut (frekuensi *cut off*) sinyal akan diredam. Persamaan (2.2) merupakan bentuk umum fungsi alih LPF berorde satu.

$$\frac{Y(s)}{U(s)} = \frac{1}{\tau s + 1} \quad (2.2)$$

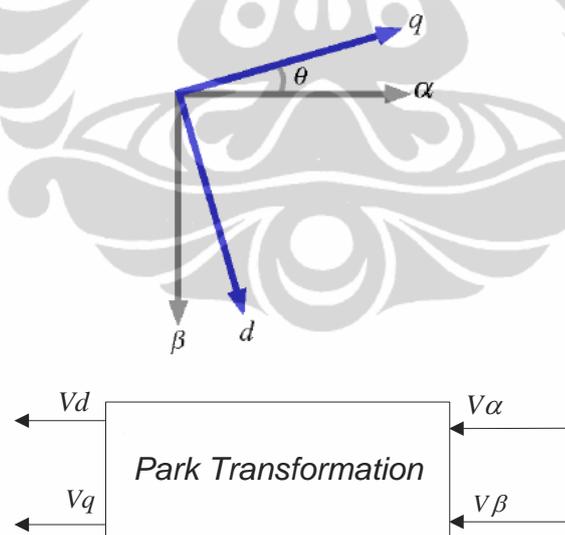
dimana: $U(s)$ = Masukan sinyal yang akan diredam osilasinya

$Y(s)$ = Keluaran sinyal yang telah diredam osilasinya

τ = Nilai kebalikan dari frekuensi *cut-off*

2.1.3 Transformasi Park (*dq transformation*)

Transformasi park adalah transformasi dua fasa diam menjadi dua fasa bergerak (*dq*). Untuk merepresentasikan kerangka acuan tetap ($\alpha\beta$) menjadi kerangka acuan bergerak (*dq*), maka digunakan transformasi park. Gambar transformasi park dapat dilihat pada Gambar 2.3. Dari proyeksi sistem dua dimensi tegak lurus ($\alpha\beta$) menjadi sistem dua dimensi bergerak (*dq*) dengan penjelasan sebagai berikut :



Gambar 2.3. Transformasi park [7]

Transformasi akan memberikan nilai V_d dan V_q [7]

$$\begin{bmatrix} V_q \\ V_d \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (2.3)$$

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} V_q \\ V_d \end{bmatrix} \quad (2.4)$$

dimana: V_α = Masukan tegangan sinusoidal *grid* / sumber yang diukur.

V_β = Keluaran tegangan sinusoidal *grid* / sumber yang diukur.

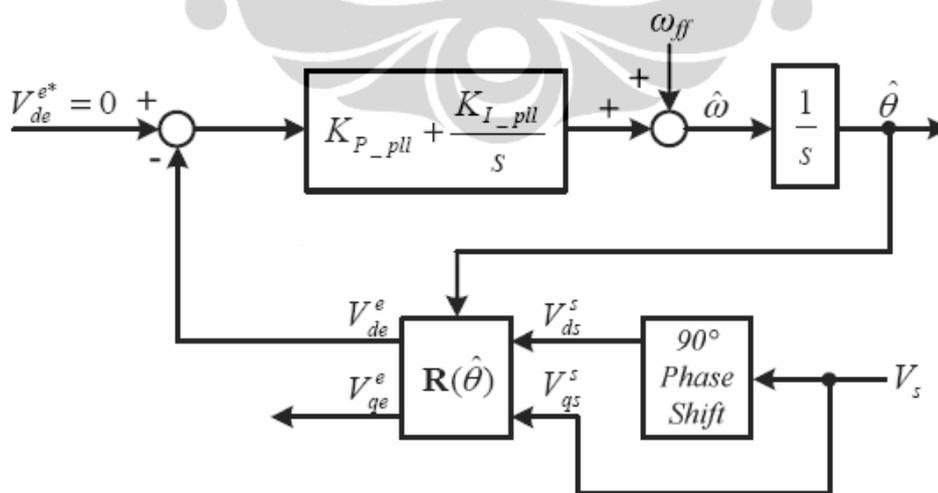
V_d = Komponen sumbu *d* dari tegangan sinusoidal sumber yang ditransformasi dengan transformasi *dq*

V_q = Komponen sumbu *q* dari tegangan sinusoidal sumber yang ditransformasi dengan transformasi *dq*

2.1.4 Phase Locked Loop (PLL)

PLL merupakan suatu blok (rangkaiian maupun algoritma) yang digunakan untuk menghasilkan sinyal keluaran yang sudut fasa dan frekuensinya sama dengan suatu sinyal referensi tertentu [8]. Secara umum, terdapat PLL analog yang terdiri atas blok-blok komponen dan PLL digital yang dapat di implementasikan dengan baris-baris program.

Diagram blok untuk PLL yang didasarkan atas perhitungan tegangan dapat dilihat dalam Gambar 2.4.



Gambar 2.4. Diagram blok PLL satu fasa [9].

Keterangan Gambar 2.4 adalah sebagai berikut.

V_s = Nilai tegangan sinusoidal sumber

V_{ds}^s = Nilai tegangan sinusoidal sumber yang fasanya digeser agar tertinggal sebesar 90° dari tegangan sinusoidal sumber

$V_{qs}^s = V_s$

V_{de}^e = Komponen sumbu d dari tegangan sinusoidal sumber yang ditransformasi dengan transformasi dq

V_{qe}^e = Komponen sumbu q dari tegangan sinusoidal sumber yang ditransformasi dengan transformasi dq

V_{de}^{e*} = Nilai V_{de}^e target yang diinginkan

K_p = Nilai konstanta proporsional pengendali PI

K_i = Nilai konstanta integral pengendali PI

ω_{ff} = Asumsi awal dari nilai frekuensi sudut tegangan sinusoidal sumber

$\hat{\omega}$ = Nilai estimasi frekuensi sudut tegangan sinusoidal sumber

$\hat{\theta}$ = Nilai estimasi sudut fasa tegangan sinusoidal sumber

$R(\hat{\theta})$ = Operator transformasi dq dengan parameter $\hat{\theta}$

2.1.5 Perbandingan Metode Sinkronisasi PLL Terhadap Metode Lainnya.

Banyak metode sinkronisasi yang telah dikembangkan. Misalnya metode *zero-crossing*, metode *utility observer*, dan metode *harmonic compensator*. Kita akan membandingkan ketiga metode tersebut terhadap metode PLL. Namun, dalam penelitian ini ketiga metode tersebut tidak akan dibahas secara mendalam, akan tetapi hanya akan dilihat mengenai deskripsi umum untuk dibandingkan terhadap metode PLL.

Metode *zero-crossing* adalah dengan membangkitkan pulsa-pulsa impuls dengan frekuensi tinggi yang kemudian disesuaikan dengan kondisi sinyal sinusoidal tegangan *grid*, yaitu dengan membandingkan sinyal tegangan *grid* dengan nilai/kondisi nol. Hasil penyesuaian ini lalu dicocokkan dengan kondisi periode (atau dengan kata lain dicocokkan dengan kondisi frekuensi) sebenarnya dari sinyal tegangan *grid*. Lalu dengan data-data sinkronisasi inilah, sinyal tegangan *grid* dapat diketahui karakteristiknya pada

suatu waktu tertentu untuk kemudian disinkronisasikan dengan sinyal tegangan ac yang akan dibangkitkan kemudian [10].

Kelemahan dari metode ini adalah bahwa untuk bentuk sinyal tegangan yang terdistorsi, metode ini dapat memberikan kesalahan, sebab dalam keadaan terdistorsi, sinyal tegangan *grid* dapat menyentuh nilai nol lebih dari dua kali dalam satu periode, sehingga pendeteksian periode (atau frekuensi) sinyal tegangan *grid* dapat menjadi salah.

Metode *harmonic compensator* prinsip kerjanya dapat dijelaskan sebagai berikut : *harmonic compensator* ini akan mendeteksi sinyal keluaran dari *inverter* (yang akan disinkronisasikan dengan sinyal tegangan *grid*), kemudian *harmonic compensator* akan memberikan sinyal 'suntikan' /sinyal kompensasi untuk mengubah kinerja dan keluaran dari inverter, sehingga dapat disinkronkan dengan sinyal tegangan *grid*. Walaupun metode ini cukup baik karena sifatnya yang memperbaiki *error* yang terdeteksi, namun metode ini cukup rumit untuk direalisasikan, karena keperluan untuk mengenal sistem dari inverter, sistem dari *harmonic compensator* itu sendiri, serta karakteristik dan analisis superposisi antara sinyal tegangan *grid* dengan sinyal yang diberikan oleh *harmonic compensator* yang bersangkutan [11].

Dan metode terakhir yang akan dijelaskan adalah metode *utility observer*, yang mana metode ini melakukan estimasi terhadap kondisi sinyal tegangan *grid* yang sebenarnya berdasarkan karakteristik-karakteristik lainnya yang dapat diukur secara lebih mudah daripada karakteristik sinyal tegangan yang hendak diketahui tersebut (kinerja ini sesuai dengan fungsi yang dilakukan oleh perangkat *observer*). Akan tetapi, kesulitan yang dihadapi jika menggunakan metode *utility observer* ini adalah sama dengan kesulitan yang dihadapi dengan metode *harmonic compensator*, yaitu metode ini memerlukan analisis prinsip dan matematis yang relatif kompleks dalam mengaitkan antara suatu besaran tertentu yang diukur dengan besaran yang ingin diketahui dari sinyal tegangan *grid* yang bersangkutan [7].

Berdasarkan atas penjelasan tersebut di atas, metode PLL memiliki kelebihan dari sisi kesederhanaannya, akan tetapi keluaran yang dihasilkannya relative baik (sesuai dengan yang dikehendaki), yaitu dapat

memberikan data *output* berupa amplitudo, frekuensi, dan sudut fasa dari sinyal tegangan *grid* yang ingin disinkronisasikan, atau dalam kasus ini direkonstruksi ulang secara sesempurna mungkin. Hal ini karena metode PLL tidak melibatkan hubungan-hubungan matematis yang kompleks antara besaran-besaran tertentu, akan tetapi berdasarkan atas hubungan-hubungan dasar prinsip-prinsip yang logis dan relevan terhadap besaran-besaran tersebut. Kemudian, dengan metode dan prinsip-prinsip dasar tersebut, dikembangkanlah perlakuan-perlakuan lanjutan lainnya yang dapat semakin memperbaiki dan menyempurnakan output dari PLL dasar/awal yang direalisasikan sebelumnya.

Selain itu, PLL merupakan metode yang secara umum dapat dikembangkan lagi lebih lanjut dengan berbagai jenis metode tambahan, terutama untuk PLL digital yang direalisasikan dengan menggunakan baris-baris program, sehingga lebih fleksibel jika dibandingkan dengan PLL analog. Jadi hal-hal yang akan dilaporkan berikut ini dapat menjadi bukti-bukti nyata bahwa PLL tidak dapat secara universal dikatakan memberikan hasil yang relatif kurang begitu baik jika dibandingkan dengan metode sinkronisasi lainnya. Metode PLL mampu melakukan sinkronisasi pada jaringan yang memiliki daya listrik yang mengalami distorsi [2], walaupun memiliki sistem yang lebih rumit, berkebalikan dengan metode *zero crossing* yang memiliki konstruksi yang sederhana, namun tidak sesuai untuk kondisi daya yang terdistorsi [3].

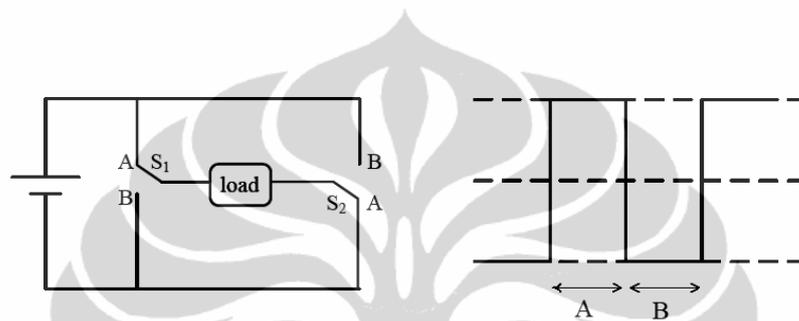
2.2 Inverter

Inverter adalah suatu rangkaian yang berfungsi untuk mengubah tegangan masukan dc menjadi tegangan keluaran ac yang besar tegangan dan frekuensinya dapat diatur sesuai keinginan.

Suatu tegangan variabel dapat diperoleh dengan mengatur tegangan masukan dc dan penguatan inverter dijaga konstan. Jika tegangan masukan dc konstan, tegangan keluaran ac variabel dapat diperoleh dengan mengubah-ubah penguatan (*gain*) yang biasanya menggunakan control modulasi lebar pulsa (*Pulse Width Modulation-PWM*) didalam inverter tersebut. Suatu

inverter disebut sumber tegangan (Voltage Fed Inverter-VFI) jika tegangan masukannya dijaga konstan. Inverter disebut sumber arus (Current Fed Inverter-CFI) jika arus masukannya dijaga konstan. Sedangkan, disebut inverter hubungan dc variable (DC Link Inverter) adalah jika inverter yang tegangan masukannya dapat diatur (*controllable*).

Prinsip kerja dari inverter secara sederhana dapat dijelaskan seperti yang ditunjukkan pada Gambar 2.5.



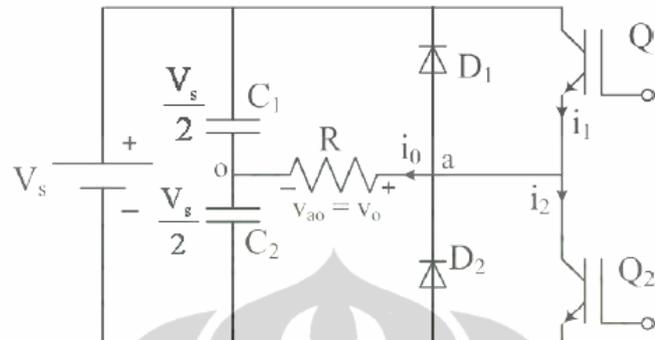
Gambar 2.5 Rangkaian inverter sederhana

Ketika saklar S_1 dan S_2 pada A, beban akan mendapatkan tegangan positif, dan sebaliknya jika saklar S_1 dan S_2 pada B, beban mendapat tegangan positif dari arah yang berlainan. Dengan demikian pemindahan saklar S_1 dan S_2 secara bergantian akan menghasilkan tegangan bolak-balik, dengan amplitudo yang ditentukan oleh besarnya sumber, dan frekuensi ditentukan oleh perpindahan saklar.

Bentuk gelombang tegangan keluaran inverter ideal adalah sinusoidal. Namun dalam prakteknya bentuk gelombang keluaran inverter tidak sinusoidal dan terdapat harmonisa. Seiring dengan dinamika perkembangan teknologi dalam elektronika daya, sering dilakukan penelitian-penelitian untuk memperbaiki kualitas daya yang dihasilkan oleh inverter. Salah satunya adalah dengan menggunakan teknik pensaklaran dengan sinyal PWM.

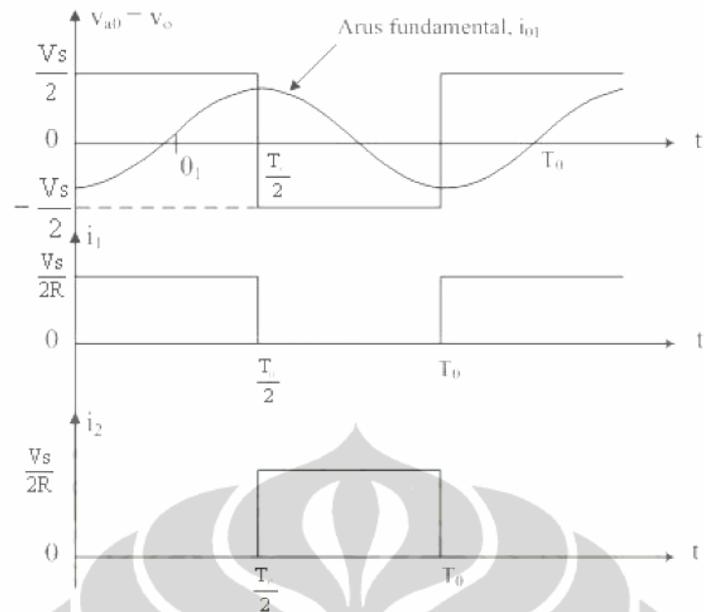
Berdasarkan jumlah fasanya, inverter dapat dibedakan atas inverter satu fasa. dan inverter tiga fasa. Sedangkan berdasarkan konfigurasi, rangkaian daya inverter satu fasa ada yang disebut inverter satu fasa setengah jembatan, dan inverter satu fasa jembatan penuh.

Inverter satu fasa setengah jembatan dapat ditunjukkan pada Gambar 2.6.



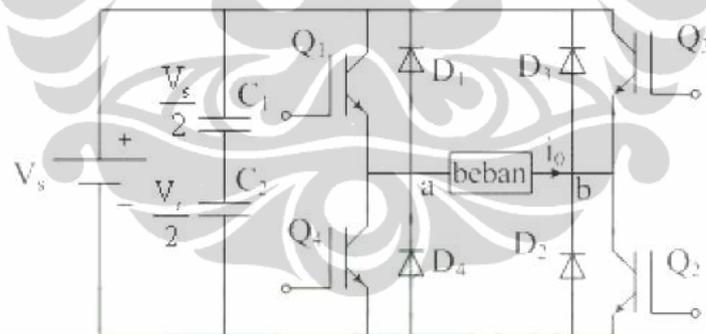
Gambar 2.6 Inverter satu fasa setengah jembatan

Inverter satu fasa setengah jembatan bekerja dengan menggunakan dua buah komponen elektronika daya. Dimana transistor Q1 dan Q2 akan menghubungkan titik a dengan tegangan positif dan negatif. Jika transistor Q1 dinyalakan selama waktu $\frac{T_0}{2}$, maka tegangan sesaat beban V_o adalah $+\frac{V_s}{2}$. Sedangkan jika hanya transistor Q2 yang dinyalakan selama waktu $\frac{T_0}{2}$, maka tegangan yang melalui beban adalah $-\frac{V_s}{2}$. Rangkaian logika didesain sedemikian rupa agar transistor Q1 dan Q2 tidak menyala pada saat yang bersamaan. Bentuk gelombang tegangan keluaran dan arus transistor dengan beban resistif ditunjukkan pada Gambar 2.7.



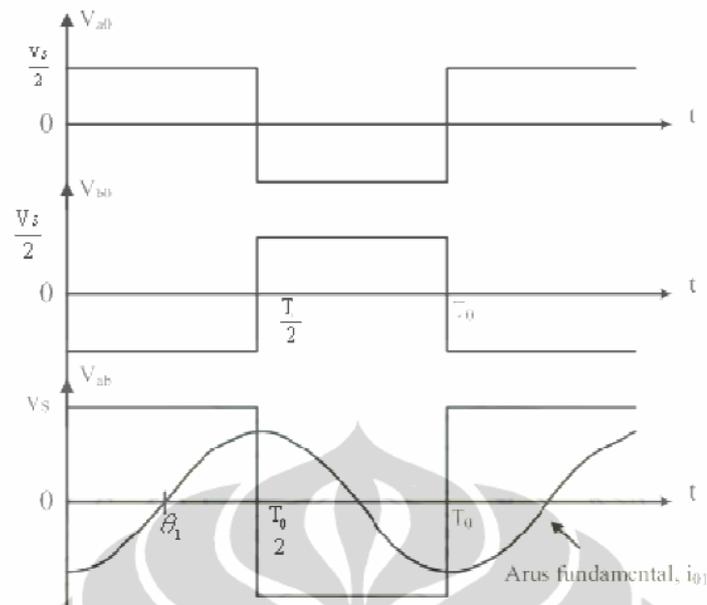
Gambar 2.7. Bentuk gelombang arus dan tegangan dengan beban resistif

Inverter satu fasa jembatan penuh dapat ditunjukkan pada Gambar 2.8.



Gambar 2.8. Inverter satu fasa jembatan penuh

Ketika transistor Q_1 dan Q_2 dihidupkan secara bersamaan, tegangan masukan V_s mengalir melalui beban. Sedangkan jika transistor Q_3 dan Q_4 dihidupkan secara bersamaan, tegangan yang mengalir ke beban berlawanan arah dengan tegangan masukan yang mengalir ke beban ketika Q_1 dan Q_2 dihidupkan, yang besarnya $-V_s$. Bentuk gelombang tegangan keluaran ditunjukkan pada Gambar 2.9.



Gambar 2.9. Bentuk gelombang tegangan keluaran

2.2.1 Inverter Satu Fasa Dengan Kontrol PWM

Salah satu metode pengontrolan tegangan keluaran inverter satu fasa adalah dengan menggunakan teknik modulasi lebar pulsa (Pulse Width Modulation - PWM) dari tegangan sumber dc tetap.

Pada PWM, amplitudo tegangan keluaran dapat dikendalikan dengan memodulasi bentuk gelombang. Mengurangi filter untuk menurunkan *harmonic* dan kendali amplitudo tegangan keluaran merupakan dua keuntungan yang berbeda dari PWM. Kerugiannya yaitu rangkaian kendali lebih kompleks untuk *switch-switch* dan meningkatnya *loss* karena *switching* yang berkali-kali [4].

Kendali saklar-saklar untuk keluaran sinusoidal PWM membutuhkan:

1. Sinyal referensi, dalam hal ini sinyal sinusoid
2. Sinyal *carier*. Yaitu gelombang segitiga yang mengendalikan frekuensi *switching*.

a. *Bipolar Switching*

Prinsip Sinusoidal Bipolar PWM di tampilan pada Gambar 2.10. Ketika nilai referensi sinus lebih besar *carier* segitiga, keluarannya adalah

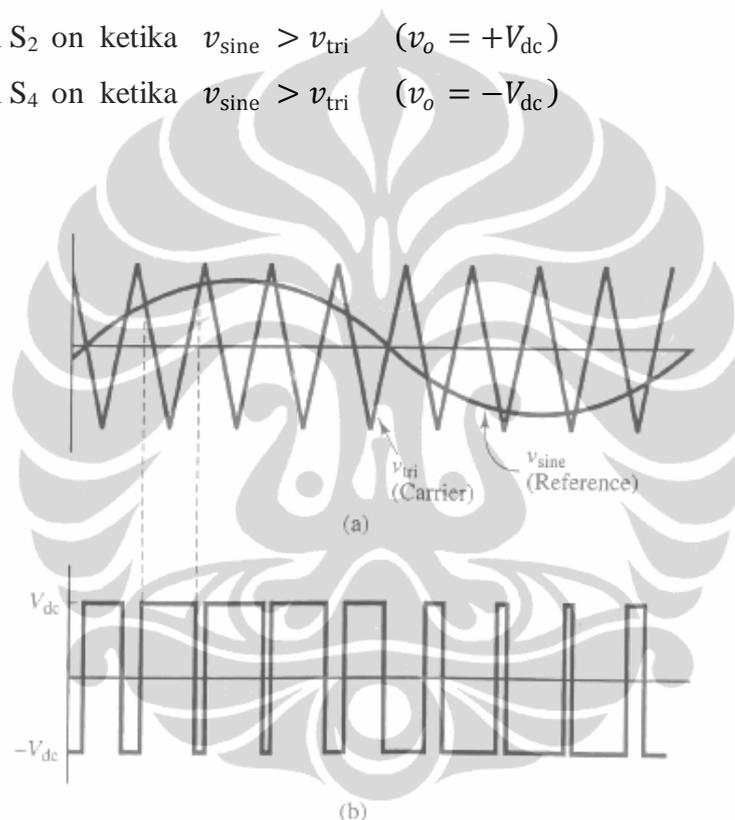
$+V_{dc}$ dan ketika referensi sinus kurang dari carier maka keluarannya adalah $-V_{dc}$.

Tipe PWM seperti ini adalah *bipolar* karena keluarannya bergantian antara plus *supply* tegangan dc dan minus *supply* tegangan dc.

Pola *switching* yang menerapkan *bipolar switching* menggunakan *full bridge inverter*. ditentukan dengan membandingkan sinyal referensi dan sinyal *carier*

S_1 dan S_2 on ketika $v_{sine} > v_{tri}$ ($v_o = +V_{dc}$)

S_3 dan S_4 on ketika $v_{sine} < v_{tri}$ ($v_o = -V_{dc}$)



Gambar 2.10. *Bipolar* PWM. (a) referensi sinusoidal dan *carier* segitiga.

(b) Keluaran $+V_{dc}$ ketika $v_{sine} > v_{tri}$ dan $-V_{dc}$ ketika $v_{sine} < v_{tri}$

b. *Unipolar Switching*

Untuk PWM pada pola *unipolar switching*, keluaran digeser dari high ke nol atau dari low ke nol. sekali siklus pola *unipolar switching* melakukan kendali saklar sebagai berikut :

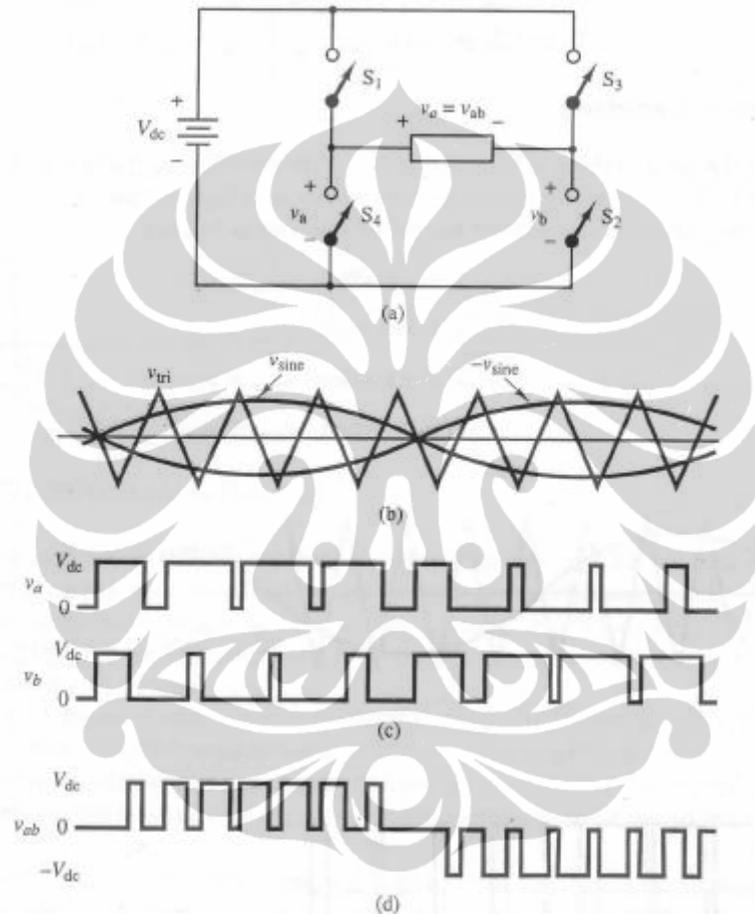
S_1 on ketika $v_{sine} > v_{tri}$

S_2 on ketika $-v_{sine} < v_{tri}$

S_3 on ketika $-v_{\text{sine}} > v_{\text{tri}}$

S_4 on ketika $v_{\text{sine}} < v_{\text{tri}}$

Tegangan v_a dan v_b (Gambar 2.11) saling bergantian antara $+V_{\text{dc}}$ dan nol. Tegangan keluaran $v_o = v_{ab} = v_a - v_b$



Gambar 2.11. (a) Full bridge converter untuk unipolar PWM. (b) Sinyal referensi dan sinyal *carier*. (c) Tegangan jembatan v_a dan v_b . (d) Tegangan keluaran

Pada pola *unipolar switching* satu pasang saklar beroperasi pada frekuensi *carier* sementara pasangan lainnya beroperasi pada frekuensi referensi, sehingga disini terdapat dua saklar frekuensi tinggi dan dua saklar frekuensi rendah. Pola *switching*-nya yaitu:

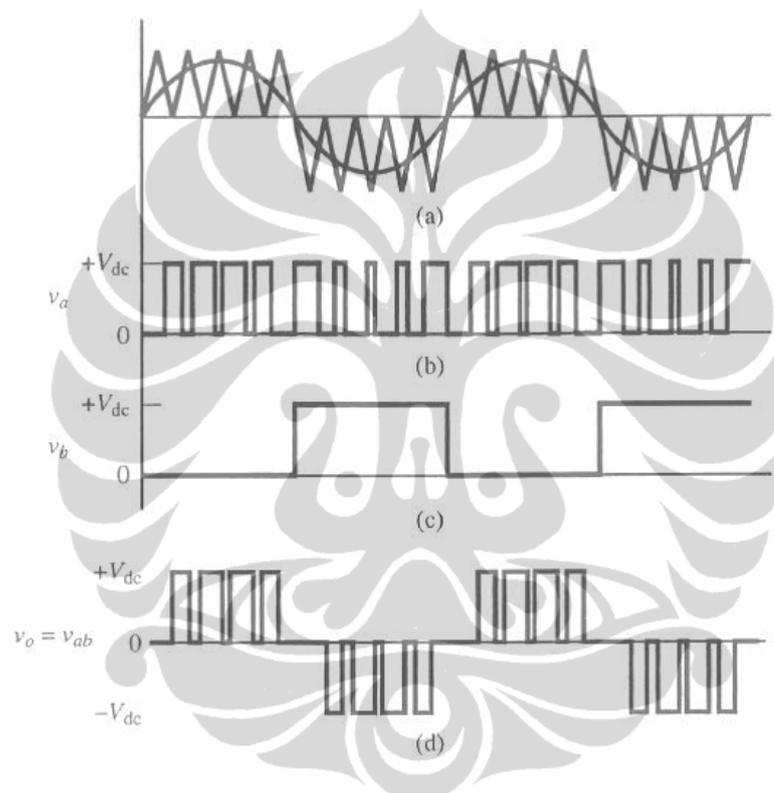
S_1 on ketika $v_{\text{sine}} > v_{\text{tri}}$

S_4 on ketika $v_{\text{sine}} < v_{\text{tri}}$

S_2 on ketika $v_{\text{sine}} > 0$

S_3 on ketika $v_{\text{sine}} < 0$

Dimana gelombang sinus dan segitiga (Gambar 2.12) kemungkinannya adalah S_2 dan S_3 menjadi saklar frekuensi tinggi, dan S_1 dan S_4 menjadi saklar frekuensi rendah.



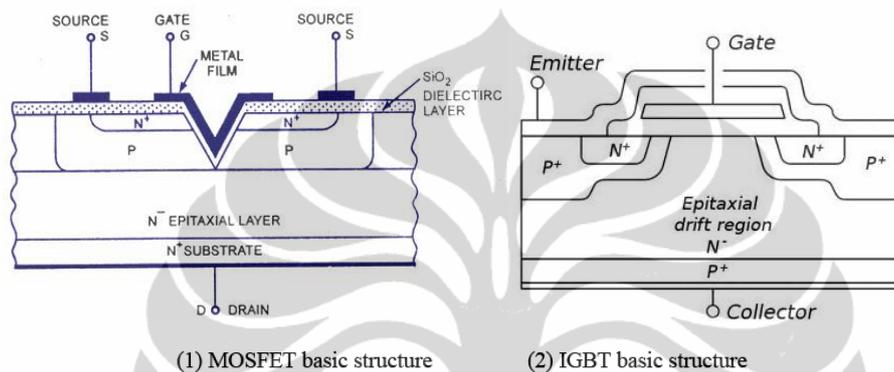
Gambar 2.12. Unipolar PWM dengan saklar frekuensi tinggi dan saklar frekuensi rendah. (a) Sinyal referensi dan sinyal control. (b) v_a (gambar 2.9a).

(c) v_b . (d) Keluaran $v_a - v_b$.

2.3 Insulated Gate Bipolar Transistor

IGBT adalah sebuah perangkat *switching* yang dirancang agar memiliki kinerja *switching* kecepatan tinggi dan kendali *gate voltage* seperti MOSFET daya serta kapasitas penanganan tegangan tinggi atau arus yang besar seperti transistor bipolar. Struktur IGBT sebenarnya mirip dengan konstruksi MOSFET, hanya pada IGBT terdapat penambahan layer p^+ pada bagian drain struktur MOSFET. Struktur dasar IGBT ditunjukkan pada Gambar 2.13.

Seperti MOSFET daya tegangan positif antara gate dan emitor akan menghasilkan aliran arus melewati IGBT sehingga IGBT *on*. Ketika IGBT *on* pembawa positif (*positive carriers*) disuntikkan dari layer p^+ ke layer dasar tipe n, dengan demikian akan mempercepat modulasi daya konduksi. Hal ini memungkinkan IGBT untuk memiliki resistansi *on* yang jauh lebih rendah dari pada MOSFET.



Gambar 2.13. Struktur dasar IGBT dan MOSFET

Terminal masukan IGBT mempunyai nilai impedansi yang sangat tinggi, sehingga tidak membebani rangkaian pengendalinya yang umumnya terdiri dari rangkaian logika. Ini akan menyederhanakan rancangan rangkaian pengendali dan penggerak dari IGBT.

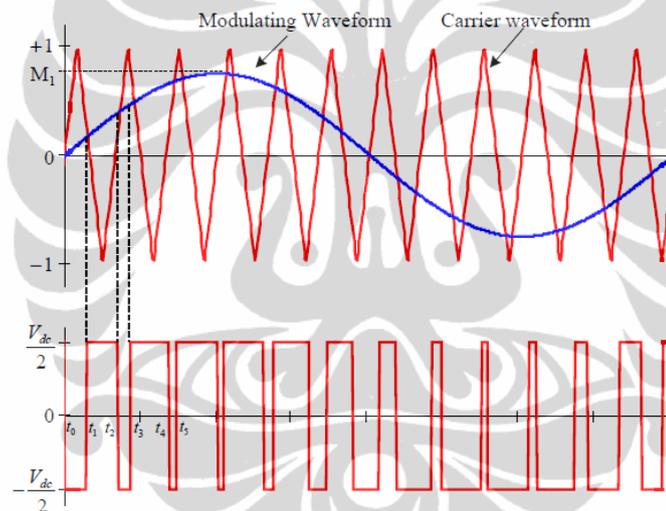
Di samping itu, kecepatan pensaklaran IGBT juga lebih tinggi dibandingkan peranti BJT, meskipun lebih rendah dari peranti MOSFET yang setara. Di lain pihak, terminal keluaran IGBT mempunyai sifat yang menyerupai terminal keluaran (kolektor-emitor) BJT. Dengan kata lain, pada saat keadaan menghantar, nilai resistansi-hidup (R_{on}) dari IGBT sangat kecil, menyerupai R_{on} pada BJT.

Dengan demikian bila tegangan jatuh serta borosan dayanya pada saat keadaan menghantar juga kecil. Dengan sifat-sifat seperti ini, IGBT akan sesuai untuk dioperasikan pada arus yang besar, hingga ratusan amper, tanpa terjadi kerugian daya yang cukup berarti. IGBT sesuai untuk aplikasi pada perangkat Inverter maupun Kendali Motor Listrik (*drive*).

IGBT adalah kombinasi/hibrida dari MOSFET dan Bipolar Junction Transistor (BJT) dengan demikian karakteristik dari IGBT adalah gabungan dari keduanya dan memiliki keunggulan *switching* yang lebih cepat, pendinginan yang lebih mudah, dan kapasitas daya cukup besar.

2.4 Natural PWM

Natural PWM atau Sinusoidal PWM (SPWM) adalah cara mendapatkan sinyal PWM dengan cara sampling alamiah yaitu membandingkan amplitudo gelombang segitiga sebagai sinyal *carrier* dan gelombang sinus sebagai sinyal *reference*.



Gambar 2.14. Sinyal referensi sinusoidal dan *carrier* segitiga serta sinyal PWM yang dihasilkan

Prinsip kerja SPWM adalah mengatur lebar pulsa mengikuti pola gelombang sinusoida. Sinyal sinus dengan frekuensi dan amplitudo maksimum sebagai referensi digunakan untuk memodulasi sinyal *carrier* yaitu sinyal segitiga dengan frekuensi dan amplitudo maksimum. Sebagai gelombang *carrier*, frekuensi sinyal segitiga harus lebih tinggi dari pada gelombang pemodulasi (sinyal sinus). Perbandingan antara amplitudo gelombang sinusoida dengan gelombang segitiga disebut indeks modulasi amplitudo.

BAB 3

METODOLOGI PENELITIAN

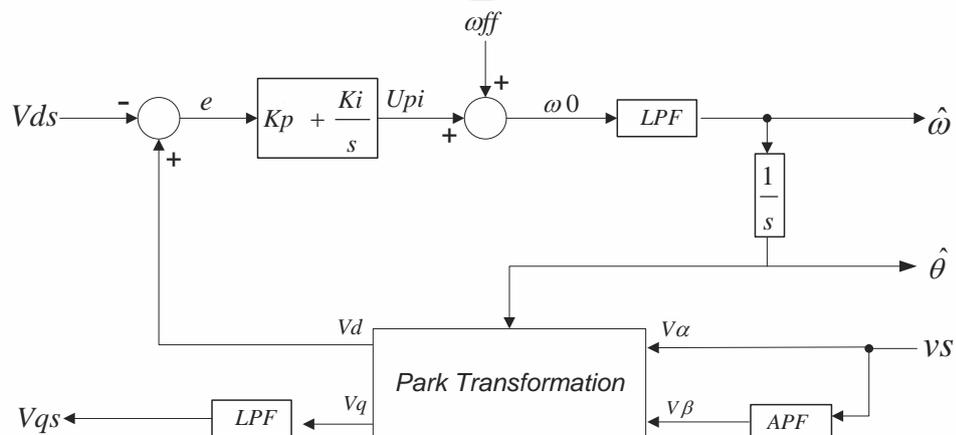
Pada tesis ini dilakukan perancangan, pembuatan, dan pengujian terhadap sistem pembangkit tegangan listrik ac satu fasa berbasis algoritma PLL agar dapat menghasilkan tegangan keluaran yang sesuai dengan karakteristik data tegangan-*grid* satu fasa. Pada uji coba yang akan dilakukan, beban yang diberikan berupa lampu pijar dengan tegangan ac 220 volt.

Tahapan penelitian secara garis besar akan meliputi langkah-langkah sebagai berikut:

1. Perancangan algoritma PLL
2. Pembuatan rangkaian pembagi tegangan (sensor tegangan)
3. Pembuatan rangkaian pembangkit natural PWM
4. Pembuatan rangkaian *driver* IGBT
5. Uji coba sistem

3.1 Algoritma PLL

Algoritma PLL yang akan dirancang adalah algoritma yang dimodifikasi dengan menambahkan APF dan LPF serta dikontrol dengan pengandali PI. Diagram blok algoritma ini seperti yang terlihat pada Gambar 3.1.



Gambar 3.1. Diagram blok sistem algoritma PLL satu fasa.

Keterangan Gambar 3.1 sebagai berikut.

V_s = Nilai tegangan sinusoidal sumber

APF = *All Pass Filter*

LPF = *Low Pass Filter*

V_β = Nilai tegangan sinusoidal sumber yang fasanya digeser agar tertinggal sebesar 90° dari tegangan sinusoidal sumber

V_α = v_s

V_d = Komponen sumbu d dari tegangan sinusoidal sumber yang ditransformasi dengan transformasi park

V_q = Komponen sumbu q dari tegangan sinusoidal sumber yang ditransformasi dengan transformasi park

V_{ds} = Nilai V_d target (yang diinginkan) adalah nol.

K_p = Nilai konstanta proporsional pengendali PI

K_i = Nilai konstanta integral pengendali PI

Upi = Nilai keluaran dari pengendali PI (frekuensi sudut kompensasi)

ω_{ff} = Asumsi awal dari nilai frekuensi sudut tegangan sinusoidal sumber (50 hertz)

$\hat{\omega}$ = Nilai estimasi frekuensi sudut tegangan sinusoidal sumber

$\hat{\theta}$ = Nilai estimasi sudut fasa tegangan sinusoidal sumber

Tegangan *single-phase* (V_β) dan sinyal yang dihasilkan secara internal (V_α) digunakan sebagai masukan ke blok transformasi park ($\alpha\beta-dq$). Keluaran dari transformasi park digunakan dalam kontrol loop untuk mendapatkan fasa dan informasi frekuensi dari sinyal masukan. V_β diperoleh melalui algoritma APF. APF ini merupakan algoritma penggeser fasa sebesar 90° (*lagging*). Fungsi alih APF ini seperti pada persamaan (2.1).

$$\frac{Y(s)}{U(s)} = \frac{\omega c - s}{\omega c + s}$$

dimana: $U(s)$ = Masukan sinyal yang akan digeser fasanya 90°

$Y(s)$ = Keluaran sinyal yang telah digeser fasanya 90°

ωc = Frekuensi dari sinyal yang akan digeser fasanya

Dari Gambar 3.1 maka dapat diperoleh persamaan V_α dan V_β .

$$V_\alpha = Vs$$

$$\frac{V_\beta}{vs} = \frac{\omega c - s}{\omega c + s}$$

$$\Rightarrow V_\beta \cdot \omega c + V_\beta \cdot s = vs \cdot \omega c - vs \cdot s$$

$$V_\beta \cdot \omega c + \frac{d}{dt} V_\beta = vs \cdot \omega c - \frac{d}{dt} vs$$

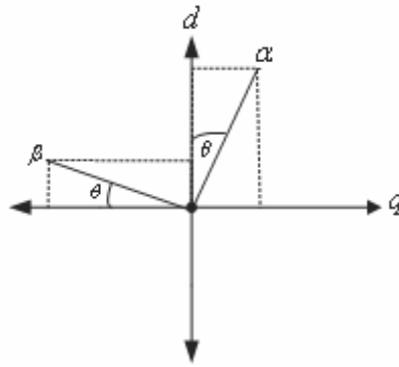
Dimana $\frac{d}{dt} = \frac{\Delta}{dt}$, maka :

$$\begin{aligned} V_\beta \cdot \omega c + \frac{V_\beta - V_\beta^{prev}}{dt} &= vs \cdot \omega c - \frac{vs - vs^{prev}}{dt} \\ dt \cdot V_\beta \cdot \omega c + V_\beta - V_\beta^{prev} &= dt \cdot vs \cdot \omega c - vs + vs^{prev} \\ V_\beta (dt \cdot \omega c + 1) - V_\beta^{prev} &= dt \cdot vs \cdot \omega c - vs + vs^{prev} \\ V_\beta (dt \cdot \omega c + 1) &= V_\beta^{prev} + dt \cdot vs \cdot \omega c - vs + vs^{prev} \\ V_\beta &= \frac{V_\beta^{prev} + dt \cdot vs \cdot \omega c - vs + vs^{prev}}{(dt \cdot \omega c + 1)} \end{aligned} \quad (3.1)$$

Dimana ωc merupakan nilai frekuensi dasar dari sinyal input yang akan digeser fasanya sebesar 90° . Dengan demikian, untuk perancangan *All Pass Filter* ini, digunakan nilai ωc sebesar 50 hertz (nilai frekuensi efektif tegangan *grid*).

PLL tegangan ini akan memproses sinyal input berupa tegangan sinusoidal aktual dari tegangan *grid*, yang akan disimulasikan dengan fungsi kosinus, berupa tegangan sinusoidal aktual dari tegangan *grid* yang telah digeser fasanya agar tertinggal sebesar 90° dari tegangan sinusoidal aktual dari tegangan *grid*, seperti yang terlihat pada Gambar 2.2.

Tujuan dari dilakukannya penggeseran ini, agar transformasi park (persamaan 2.3 dan 2.4) dapat digunakan terhadap kedua input tegangan tersebut. Hubungan diagram fasor antara tegangan dq dengan tegangan $\alpha\beta$ dapat diberikan pada Gambar 3.2.



Gambar 3.2. Hubungan fasor antara tegangan dq dan tegangan $\alpha\beta$

Pada Gambar 3.2 dapat dijelaskan bahwa vektor tegangan α dan tegangan β saling tegak lurus (orthogonal) dengan perbedaan sudut fasa 90° , begitu juga antara d terhadap q .

Jadi secara rumusan, dapat dituliskan sebagai berikut :

$$V_d = V_\alpha \cdot \cos(\hat{\theta}) + V_\beta \cdot \sin(\hat{\theta}) \quad (3.2)$$

$$V_q = V_\alpha \cdot \sin(\hat{\theta}) - V_\beta \cdot \cos(\hat{\theta}) \quad (3.3)$$

Di sini didapatkan suatu syarat yang akan digunakan sebagai algoritma pemrograman PLL tegangan yang akan dirancang, yaitu saat fasa dari tegangan sinusoidal *grid* sama dengan fasa hasil estimasi ($\theta = \hat{\theta}$), maka nilai V_q akan sama dengan nilai amplitudo tegangan sinusoidal *grid* dan nilai V_d akan sama dengan nol.

Untuk perancangan PLL tegangan ini, akan digunakan nilai V_d untuk terus menerus dibandingkan dengan nilai V_{ds} , yang ditentukan sama dengan nol. Lalu, selama fasa tegangan sinusoidal *grid* belum sama dengan fasa estimasi, nilai V_d akan berbeda dengan nilai V_{ds} .

$$e = V_d - V_{ds} \quad (3.4)$$

Nilai *error* (e) yang timbul dari hasil perhitungan antara V_d dan V_{ds} ini akan diproses oleh pengendali PI.

$$\begin{aligned} \frac{U_{pi}}{e} &= K_p + \frac{K_i}{s} \\ \frac{U_{pi}}{e} &= \frac{K_p s + K_i}{s} \\ U_{pi} \cdot s &= K_p \cdot e \cdot s + K_i \cdot e \\ \frac{d}{dt} U_{pi} &= K_p \cdot \frac{d}{dt} e + K_i \cdot e \\ \frac{U_{pi} - U_{pi\text{prev}}}{dt} &= K_p \frac{e - e_{\text{prev}}}{dt} + K_i \cdot e \\ U_{pi} - U_{pi\text{prev}} &= K_p \cdot e - e_{\text{prev}} + K_i \cdot e \\ U_{pi} &= U_{pi\text{prev}} + K_p \cdot e - e_{\text{prev}} + K_i \cdot e \end{aligned} \quad (3.5)$$

Kemudian akan menghasilkan sinyal pengendali berupa frekuensi sudut kompensasi (U_{pi}) yang perlu ditambahkan dengan nilai ω_{ff} agar diperoleh nilai ω_0 .

$$\omega_0 = U_{pi} + \omega_{ff} \quad (3.6)$$

Permasalahan yang ditemukan pada PLL tegangan adalah osilasi pada sinyal output, terutama pada output yang berupa estimasi frekuensi ($\hat{\omega}$) dan estimasi amplitude (V_{qs}). Masalah ini diatasi dengan menambahkan *Low Pass Filter* untuk meredam osilasi tersebut. *Low Pass Filter* yang digunakan adalah *Low Pass Filter* berorde satu dengan fungsi alih seperti pada persamaan (2.2).

$$\frac{Y(s)}{U(s)} = \frac{1}{\tau s + 1}$$

Sehingga persamaan $\hat{\omega}$ adalah.

$$\begin{aligned} \frac{\hat{\omega}}{\omega_0} &= \frac{1}{\tau s + 1} \\ \hat{\omega}(\tau s + 1) &= \omega_0 \\ \tau \cdot \hat{\omega} s + \hat{\omega} &= \omega_0 \\ \tau \cdot \frac{d}{dt} \hat{\omega} + \hat{\omega} &= \omega_0 \end{aligned}$$

$$\begin{aligned}
\tau \cdot \frac{\hat{\omega} - \hat{\omega}_{prev}}{dt} + \hat{\omega} &= \omega_0 \\
\tau \cdot (\hat{\omega} - \hat{\omega}_{prev}) + dt \cdot \hat{\omega} &= dt \cdot \omega_0 \\
\tau \cdot \hat{\omega} - \tau \cdot \hat{\omega}_{prev} + dt \cdot \hat{\omega} &= dt \cdot \omega_0 \\
\hat{\omega}(\tau + dt) - \tau \cdot \hat{\omega}_{prev} &= dt \cdot \omega_0 \\
\hat{\omega}(\tau + dt) &= \tau \cdot \hat{\omega}_{prev} + dt \cdot \omega_0 \\
\hat{\omega} &= \frac{\tau \cdot \hat{\omega}_{prev} + dt \cdot \omega_0}{(\tau + dt)} \tag{3.7}
\end{aligned}$$

Sehingga persamaan V_{qs} adalah

$$\begin{aligned}
\frac{V_{qs}}{V_q} &= \frac{1}{\tau s + 1} \\
V_{qs}(\tau s + 1) &= V_q \\
\tau \cdot V_{qs} s + V_{qs} &= V_q \\
\tau \cdot \frac{d}{dt} V_{qs} + V_{qs} &= V_q \\
\tau \cdot \frac{V_{qs} - V_{qs}_{prev}}{dt} + V_{qs} &= V_q \\
\tau \cdot (V_{qs} - V_{qs}_{prev}) + dt \cdot V_{qs} &= dt \cdot V_q \\
\tau \cdot V_{qs} - \tau \cdot V_{qs}_{prev} + dt \cdot V_{qs} &= dt \cdot V_q \\
V_{qs}(\tau + dt) - \tau \cdot V_{qs}_{prev} &= dt \cdot V_q \\
V_{qs}(\tau + dt) &= \tau \cdot V_{qs}_{prev} + dt \cdot V_q \\
V_{qs} &= \frac{\tau \cdot V_{qs}_{prev} + dt \cdot V_q}{(\tau + dt)} \tag{3.8}
\end{aligned}$$

Dalam perancangan ini, digunakan frekuensi *cut-off* (τ) sebesar 25 hertz yang berasal dari analisis terhadap osilasi sinyal output yang akan diredam, dimana frekuensi osilasinya adalah sebesar sekitar 25 hertz. Dengan demikian, *Low Pass Filter* yang dirancang akan mampu meredam osilasi yang terjadi pada sinyal output, karena *Low Pass Filter* tersebut dirancang untuk meredam osilasi dengan frekuensi 25 hertz ke atas.

Kemudian output yang berupa estimasi frekuensi ($\hat{\omega}$) diintegrasikan terhadap waktu, yang menghasilkan nilai fasa estimasi ($\hat{\theta}$) sesuai dengan fasa

tegangan *grid*. Demikianlah algoritma ini akan terus diulangi hingga diperoleh nilai fasa estimasi yang tepat.

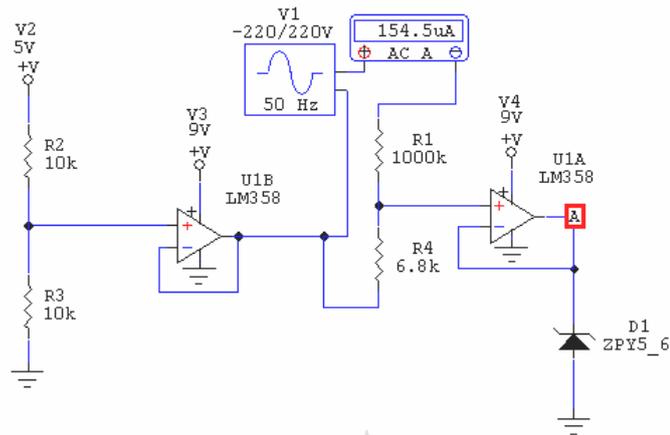
$$\begin{aligned}
 \frac{\hat{\theta}}{\hat{\omega}} &= \frac{1}{s} \\
 \hat{\theta}s &= \hat{\omega} \\
 \frac{d}{dt} \hat{\theta} &= \hat{\omega} \\
 \frac{\hat{\theta} - \hat{\theta}_{prev}}{dt} &= \hat{\omega} \\
 \hat{\theta} - \hat{\theta}_{prev} &= dt \cdot \hat{\omega} \\
 \hat{\theta} &= \hat{\theta}_{prev} + dt \cdot \hat{\omega}
 \end{aligned} \tag{3.9}$$

3.2 Rangkaian Pembagi Tegangan

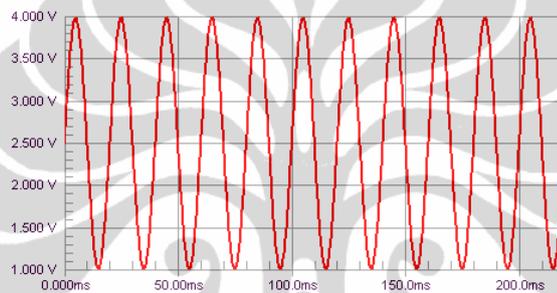
Rangkaian pembagi tegangan (*voltage divider*) disebut juga sebagai rangkaian pembagi potensial (*potential divider*). Input ke sebuah rangkaian pembagi tegangan adalah tegangan V_{in} . Rangkaian ini berfungsi untuk membuat suatu tegangan referensi dari sumber tegangan yang lebih besar, titik tegangan referensi pada sensor. Dalam pengujian akan diaplikasikan untuk membuat tegangan *grid* 220 volt menjadi <5 volt. Sehingga dengan tegangan <5 volt, ADC dari NI *board* (National Instruments) atau mikrokontroler mampu membacanya.

Rangkaian pembagi tegangan pada dasarnya dapat dibuat dengan dua buah resistor, contoh rangkaian pembagi tegangan yang dilengkapi dengan *op-amp* pada keluarannya, dimana tegangan keluaran dari tegangan *grid* 220 volt/50 hertz menggunakan resistor pembagi tegangan R1 dan R4 seperti pada Gambar 3.3.

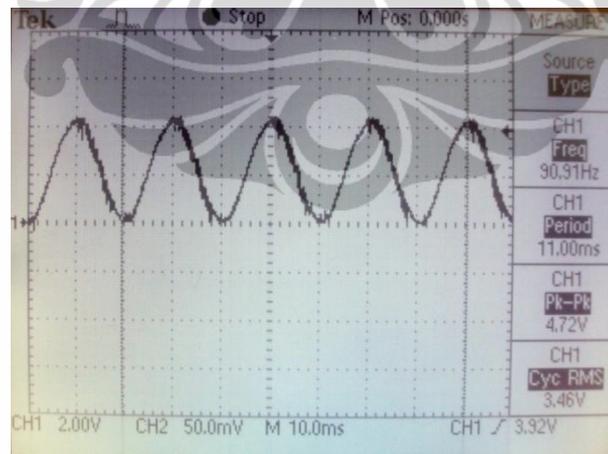
$$\begin{aligned}
 V_{out} &= \frac{R4}{R1+R4} V_{in} \\
 V_{out} &= \frac{6K8}{1M+6K8} 220 \\
 V_{out} &= \pm 1.485V
 \end{aligned} \tag{3.10}$$



Gambar 3.3. Rangkaian pembagi tegangan dengan *op-amp* IC LM358



(a)

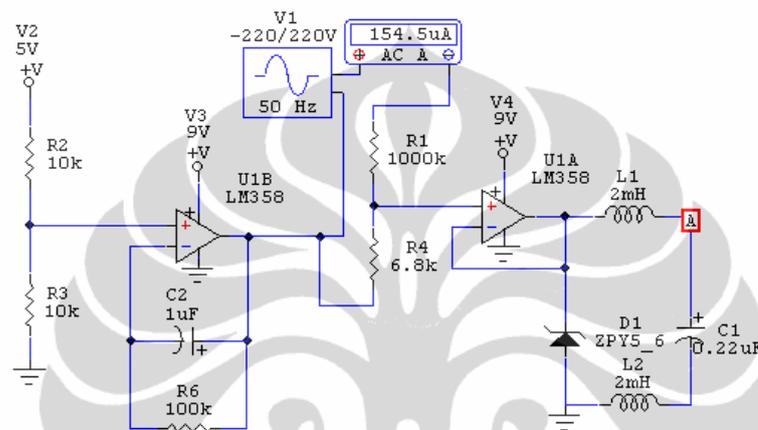


(b)

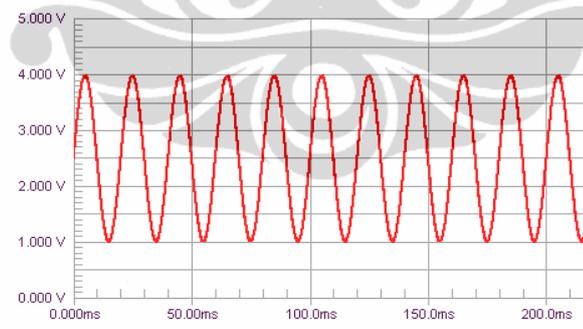
Gambar 3.4. (a) Sinyal tegangan keluaran simulasi dengan program circuit maker, (b) Sinyal tegangan keluaran rangkaian pembagi tegangan dengan *op-amp* IC LM358

Tegangan keluaran rangkaian pembagi tegangan dengan *op-amp* IC LM358 pada Gambar 3.4b, terlihat masih banyak noise. Sehingga perlu

ditambahkan *Low Pass Filter*. *Low Pass Filter* berfungsi untuk meneruskan sinyal berfrekuensi rendah dan meredam sinyal berfrekuensi tinggi. Untuk sinyal listrik, *Low Pass Filter* dapat direalisasikan dengan meletakkan kumparan secara seri dengan output sinyal atau dengan meletakkan kapasitor secara paralel dengan output sinyal. Setelah ditambahkan *filter*, maka sinyal output yang dihasilkan lebih baik seperti yang terlihat pada Gambar 3.6b.



Gambar 3.5. Rangkaian pembagi tegangan dengan *op-amp* IC LM358 yang sudah ditambahkan *filter*



(a)

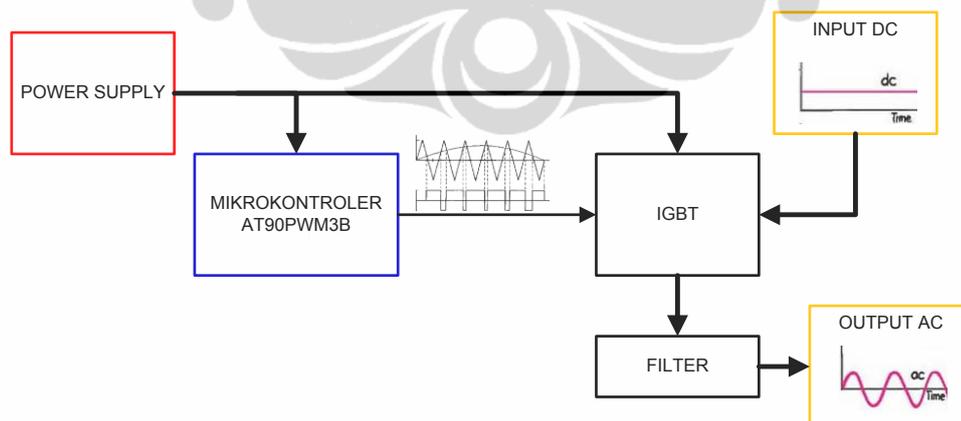


(b)

Gambar 3.6. (a) Sinyal tegangan keluaran simulasi dengan program circuit maker, (b) Sinyal tegangan keluaran rangkaian pembagi tegangan dengan *op-amp* IC LM358 yang sudah ditambahkan *filter*

3.3 Diagram Blok Inverter

Dalam pembuatan inverter dibutuhkan *power supply* dc 5 volt untuk rangkaian mikrokontroler dan *driver* IGBT, diagram blok inverter yang akan dirancang seperti ditunjukkan pada Gambar 3.7.



Gambar 3.7. Diagram blok inverter

Mikrokontroler akan membangkitkan natural PWM mengikuti pola gelombang sinusoida referensi yang berfungsi sebagai kontrol saklar IGBT.

Hal yang perlu diperhatikan dalam membangkitkan natural PWM antara lain:

1. Deret fourier PWM tegangan keluaran mempunyai frekuensi dasar yang sama seperti sinyal referensi. Terdapat frekuensi *harmonic* pada dan sekitar kelipatan frekuensi *switching*. Ukuran beberapa *harmonic* cukup besar, kadang lebih besar dari frekuensi dasarnya. Walaupun begitu, karena *harmonic* ini terletak pada frekuensi tinggi, LPF sederhana dapat digunakan untuk menghilangkan *harmonic* tersebut.

Meningkatkan frekuensi *carrier* akan meningkatkan frekuensi dimana *harmonic* tersebut terjadi. Kerugian dari *switching* frekuensi tinggi adalah *loss* yang lebih tinggi pada saklar-saklar yang digunakan untuk implementasi inverter.

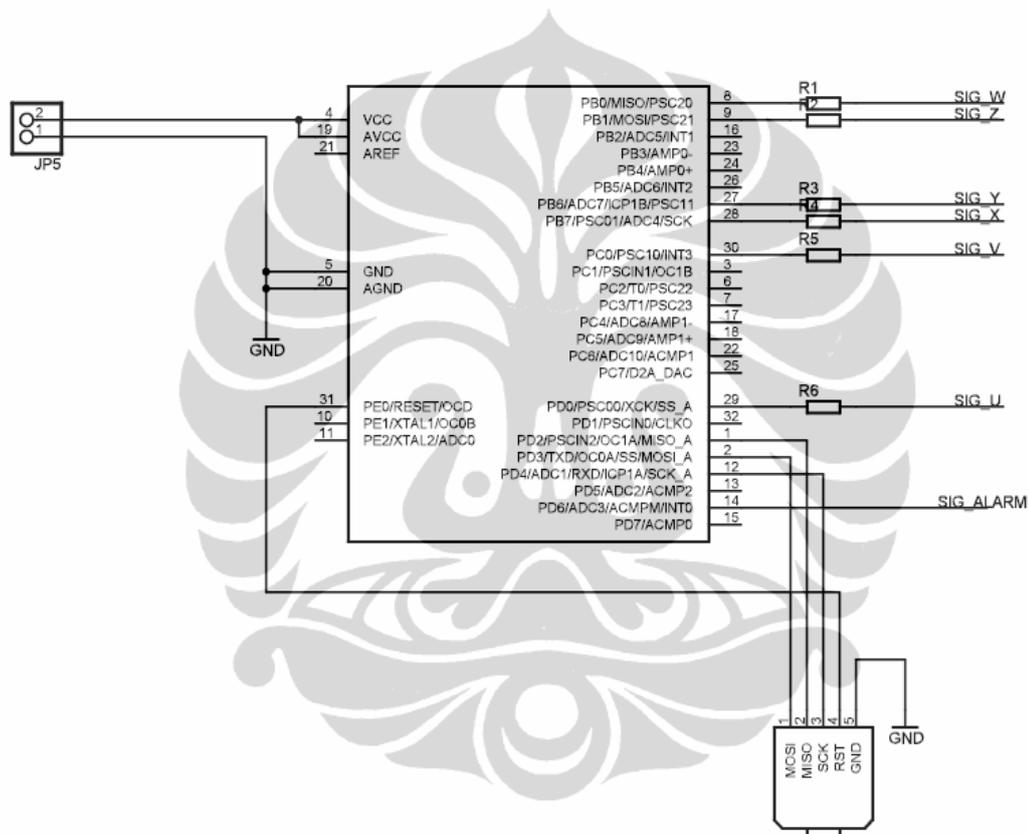
2. Saklar pada rangkaian *full bridge* harus bisa membawa arus pada salah satu arah PWM, seperti yang terjadi pada operasi gelombang kotak. Diperlukan Dioda umpan balik yang melewati saklar seperti pada gambar (3.11). Konsekuensi lain dari saklar yang nyata adalah saklar tidak bisa *on* atau *off* dengan seketika. Karena itu perlu disediakan waktu *switching* pada kendali saklar, seperti yang ada pada *square-wave inverter*.
3. Tegangan referensi sinusoidal harus dibangkitkan dalam rangkaian kontrol inverter atau diambil dari referensi luar. Hal ini terlihat seperti fungsi dari jembatan inverter tidak diperlukan, karena tegangan sinusoidal harus ada sebelum jembatan bisa beroperasi untuk menghasilkan keluaran sinusoidal.

Bagaimanapun juga dibutuhkan tegangan yang sangat kecil dari sinyal referensi. tegangan yang diberikan ke beban disediakan oleh sumber tegangan dc dan ini yang dimaksud tujuan dari inverter. Sinyal referensi tidak terbatas hanya sinusoid. Sinyal referensi bisa berupa sinyal *audio*, dan rangkaian *full bridge* bisa digunakan sebagai *PWM audio amplifier* [12].

3.3.1 Mikrokontroler AT90PWM3B

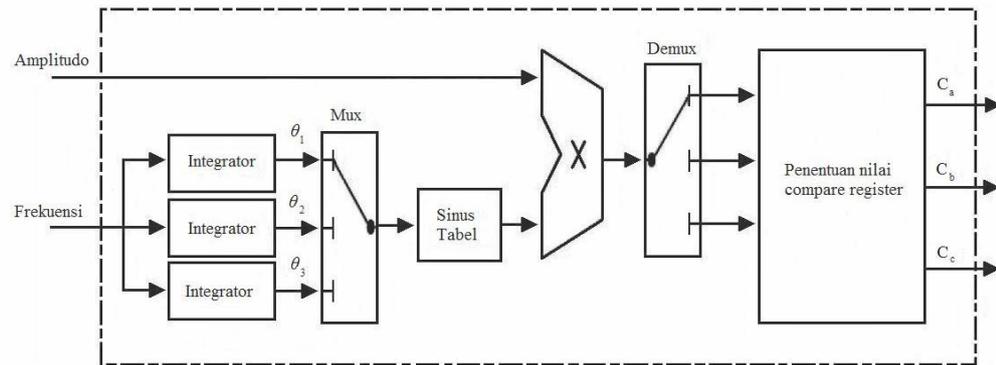
IC AVR AT90PWM3B mempunyai fitur khusus yaitu fitur *Power Stage Controller* (PSC) yang digunakan untuk membangkitkan PWM (*Pulse*

Width Modulation). AT90PWM3B mempunyai 3 buah PSC yaitu PSC0, PSC1, dan PSC2. Setiap PSC mempunyai 2 buah keluaran yaitu PSCOUTnA dan PSCOUTnB yang dapat digunakan untuk mengendalikan sepasang IGBT. Sehingga IC ini dapat membangkitkan 3 buah pasangan PWM yang berbeda sekaligus dan masing-masing pasangan saling berkebalikan (*inverting*). Skematik rangkaian IC AVR AT90PWM3B ditunjukkan pada Gambar 3.8.



Gambar 3.8. Skematik rangkaian mikrokontroler AT90PWM3B.

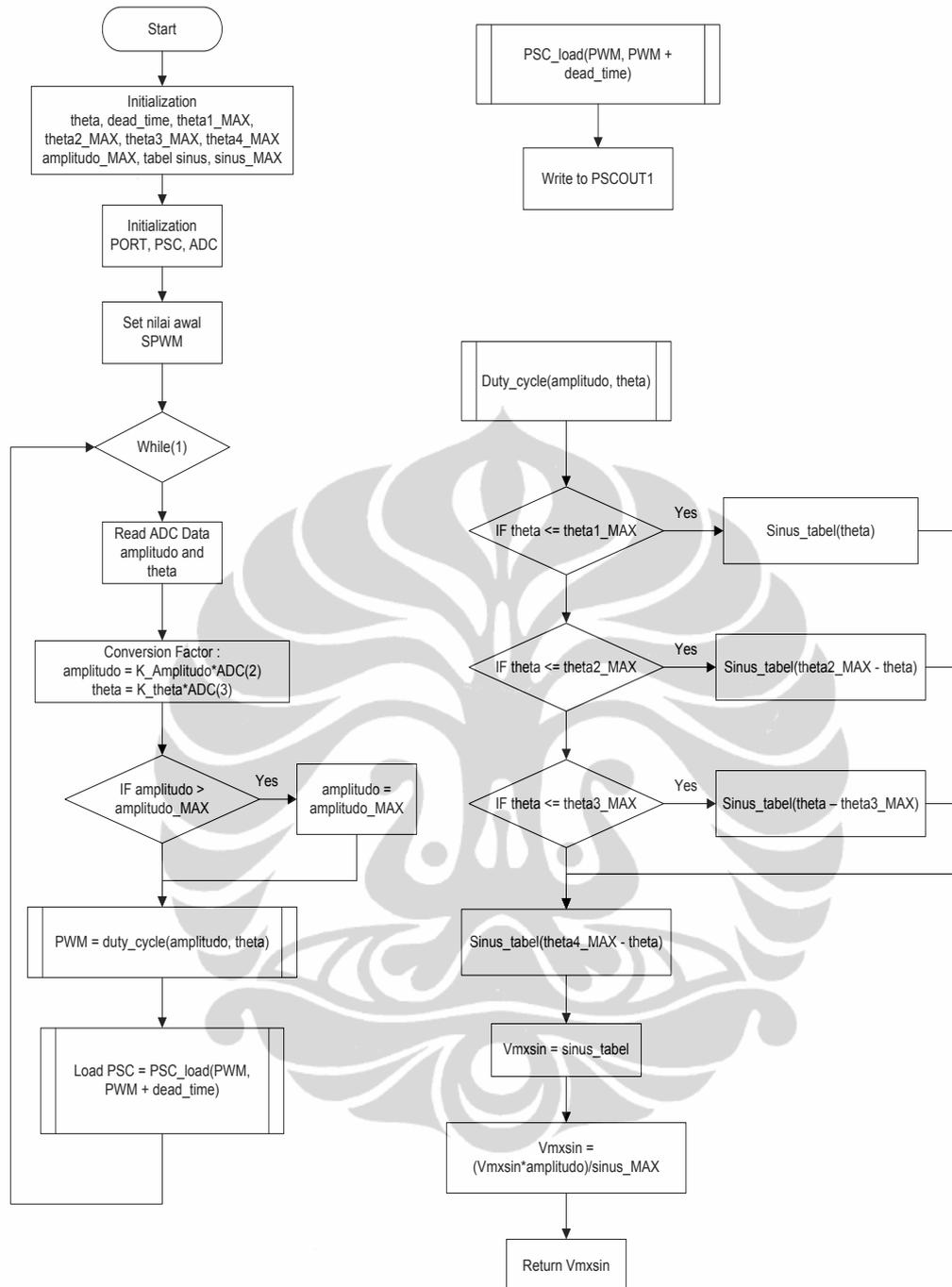
Program kendali IGBT pada rancang bangun inverter ini dibuat dengan menggunakan bahasa C dengan menggunakan kompiler AVR Studio GCC. Dalam rancang bangun inverter ini algoritma yang digunakan adalah algoritma natural PWM. Diagram blok kendali IGBT dapat dilihat pada Gambar 3.9.



Gambar 3.9. Diagram blok data natural PWM

Alur program pembangkit natural PWM ditunjukkan pada Gambar 3.10.





Gambar 3.10. Flowchart program

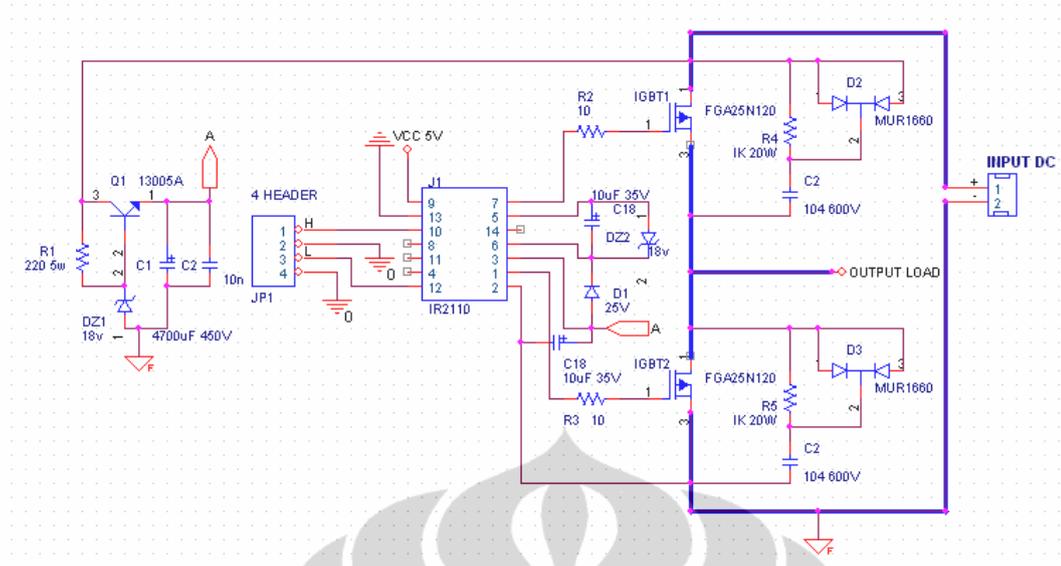
Dari Gambar 3.10 dapat dijelaskan. Pertama-tama yang dilakukan adalah inisialisasi. Inisialisasi mencakup inisialisasi variabel dan nilai theta, nilai batas theta penentuan nilai awal PWM dan insialisasi PSC serta penentuan nilai parameter program lainnya. Kemudian dilakukan juga

inisialisasi untuk pengaturan pembacaan ADC. Pengaturan yang dilakukan meliputi tipe data yang digunakan dan kecepatan pembacaan *sampling*.

Memasuki *looping* utama dimulai dengan melakukan pembacaan ADC dari amplitudo dan theta yang berasal dari DAC NI. Data amplitudo dan theta ini diperoleh dari algoritma PLL pada PC dengan menggunakan Simulink MATLAB. Dengan melakukan pengalihan faktor konversi maka didapat nilai amplitudo dan theta yang sebenarnya. Kemudian dilakukan *update* nilai SPWM dengan memanggil *function duty_cycle*. Setelah itu nilai SPWM dibangkitkan menjadi gelombang dan dikeluarkan ke port PSCOUT1 dengan memanggil *function PSC_load*. Pada fungsi *PSC_load* inilah dibangkitkan sinyal SPWM satu fasa. Sinyal SPWM satu fasa inilah yang dihubungkan dengan rangkaian IGBT dan *filter* untuk diperoleh sinyal sinusoidal yang memiliki frekuensi sama dengan sinyal input. Kemudian program akan kembali ke awal *looping* utama, demikian seterusnya sesuai perubahan amplitudo dan theta.

3.3.2 Rangkaian *Driver* IGBT

Rangkaian *driver* merupakan antarmuka antara PWM dari mikrokontroler dengan IGBT. Rangkaian *driver* diperlihatkan pada Gambar 3.11. Dari gambar tersebut terlihat keluran rangkaian ini tersambung ke kaki-kaki gate IGBT. Rangkaian sisi *driver* IR2110 mempunyai V_{CC} serta G_{ND} yang terpisah (*floating*) dengan sisi IGBT.



Gambar 3.11. Rangkaian *driver* IGBT untuk *half converter*

Rangkaian *driver*, menggunakan IC IR2110. IC IR 2110 terdiri dari 2 rangkaian *driver* untuk mengendalikan trigger signal IGBT pada sisi *Low* dan sisi *High*. IC ini dilengkapi dengan mekanisme *bootstrap* untuk dapat meng-*on/off*-kan IGBT pada sisi *High* yang *floating* terhadap *ground*. Tanpa adanya mekanisme ini IGBT pada sisi *High* tidak dapat di-*on/off*-kan.

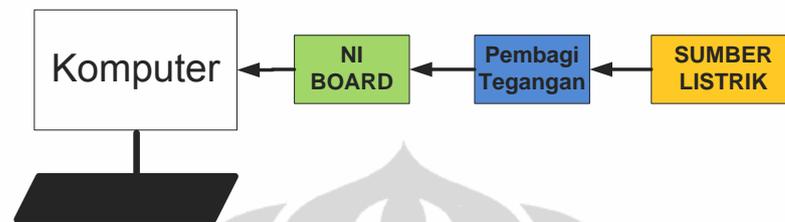
Untuk rangkaian *driver* IGBT dengan IC IR2110, sisi input *switch driver* (H_{IN} dan L_{IN}) akan *on* jika logika masukan pada gerbang tinggi / tegangan bernilai 5 volt. Saat kondisi *pulse* bernilai tinggi pada H_{IN} , IGBT1 akan *on*, IGBT2 akan *off* sehingga beban akan mendapatkan tegangan positif, dan sebaliknya jika kondisi *pulse* bernilai tinggi pada L_{IN} , beban mendapat tegangan positif dari arah yang berlainan. Dengan demikian pemindahan *switch* (saklar) IGBT1 dan IGBT2 secara bergantian akan menghasilkan tegangan bolak-balik, dengan amplitudo yang ditentukan oleh besarnya sumber, dan frekuensi ditentukan oleh perpindahan saklar.

3.4 Uji Coba Sistem

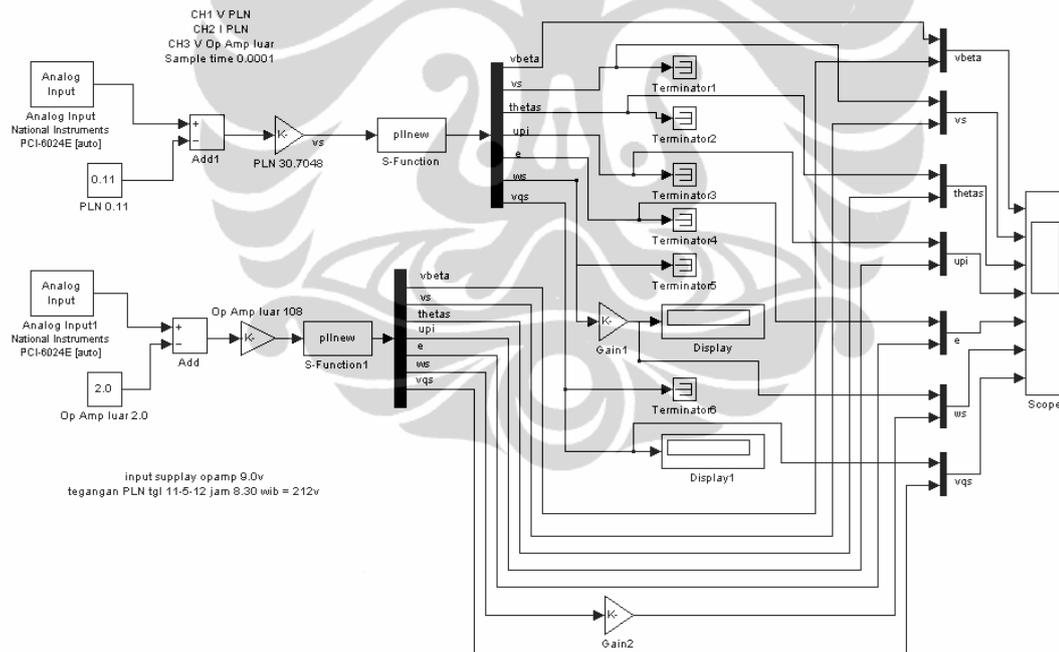
3.4.1 Pengujian Metode Algoritma PLL (*Real-Time*)

Pengujian dilakukan terhadap tegangan *grid* dan voltage regulator sebagai masukan. Kemudian dimasukkan ke dalam rangkaian pembagi tegangan untuk diturunkan tegangannya sesuai referensi dari tegangan

maksimal masukan ADC. Output dari pembagi tegangan dimasukkan ke NI board, lalu diproses melalui algoritma PLL yang dibuat dalam simulink MATLAB seperti yang terlihat pada Gambar 3.13.



Gambar 3.12. Diagram blok pengujian metode algoritma PLL



Gambar 3.13. Simulink algoritma PLL dengan MATLAB 7.7.0 (R2008b)

Untuk melakukan pengujian metode algoritma PLL ini digunakan perangkat *hardware* dan *software* diantaranya.

Hardware:

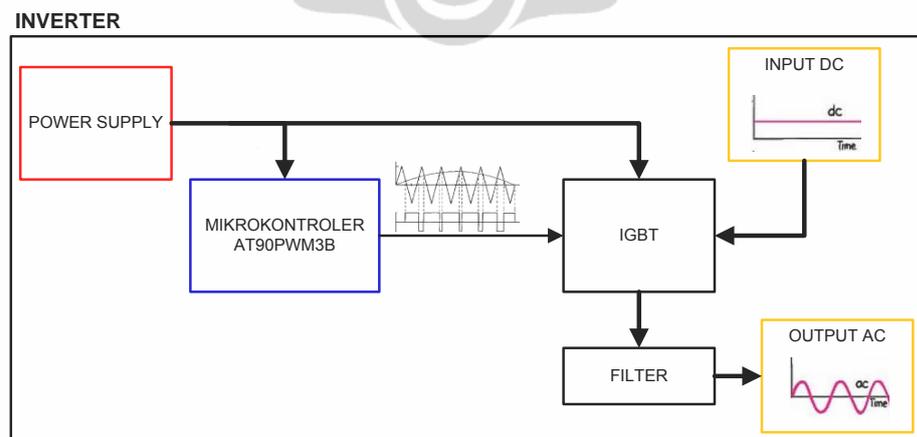
- Komputer Pentium 4
- DAQ 6024E dan NI board
- Switching adapter DSA-20R-12 FEU 120180 output 12V/1.5A
- Oscilloscope Tektronik TDS 220
- Voltage generator AC 250V / 50 hertz
- Multimeter

Software:

- MATLAB 7.7.0 (R2008b)
- Microsoft C++ 6.0 Enterprise
- NI DAQ693

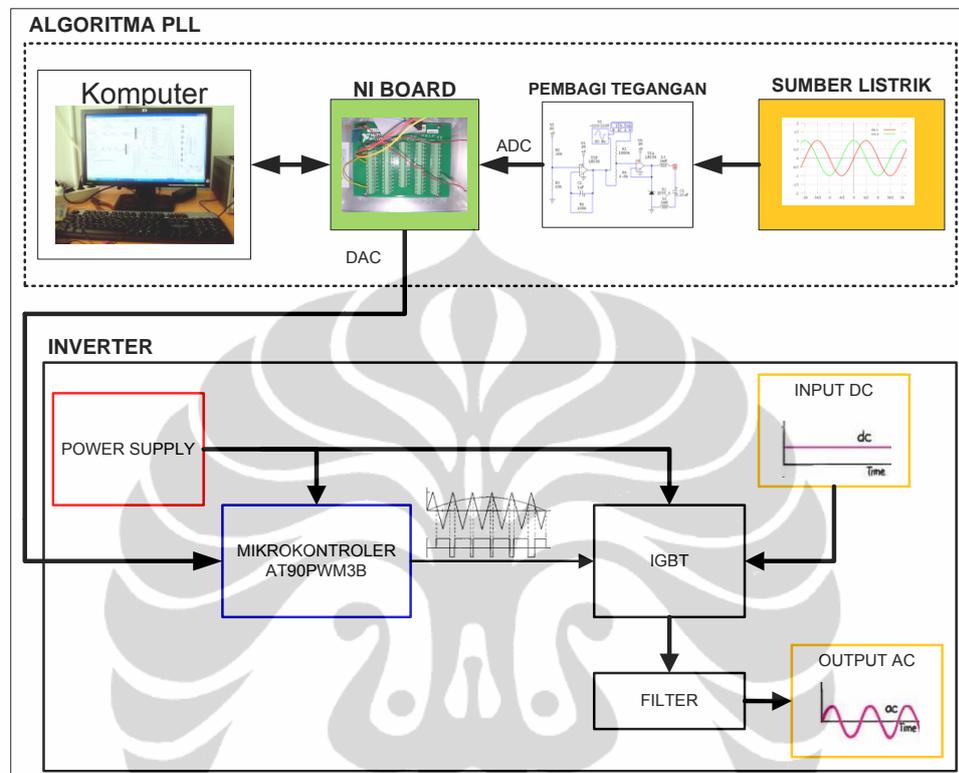
3.4.2 Pengujian Inverter

Untuk pengujian inverter dilakukan dengan dua tahap. Tahap pertama adalah pengujian inverter tanpa kontrol dari algoritma PLL (Gambar 3.14) dan tahap kedua dengan kontrol dari algoritma PLL (Gambar 3.15). Inverter di beri masukan tegangan dc sebesar 30 volt. Tegangan dc inilah yang nantinya akan dirubah menjadi tegangan ac.



Gambar 3.14. Diagram blok pengujian inverter tanpa kontrol dari algoritma PLL

Pada pengujian inverter tahap kedua beban yang dipasang adalah lampu pijar 5 watt.



Gambar 3.15. Diagram blok pengujian inverter dengan kontrol dari algoritma PLL

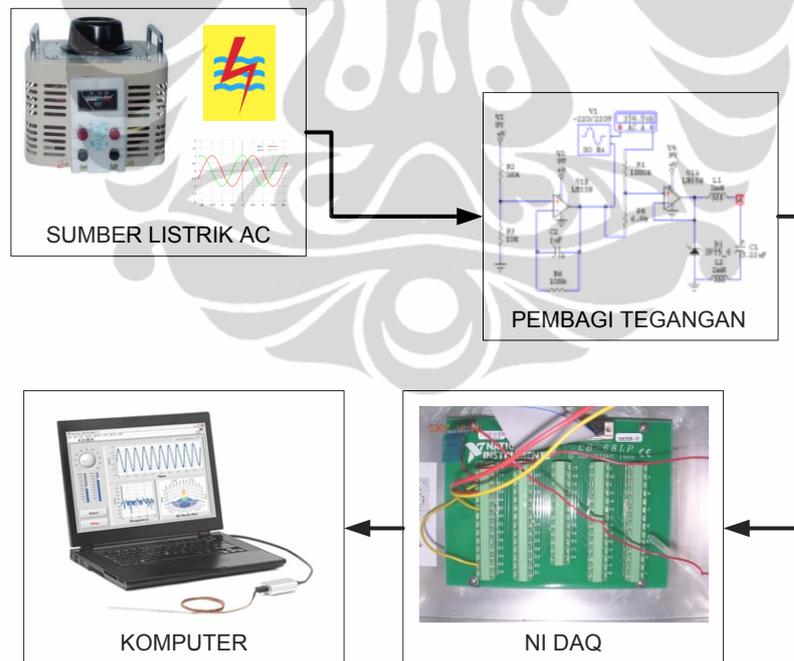
BAB 4

HASIL PENGUJIAN DAN ANALISIS

Pengujian inverter dilakukan secara bertahap. Pengujian pertama adalah pengujian algoritma PLL, kemudian pengujian inverter tanpa algoritma PLL dan pengujian secara keseluruhan dengan melibatkan algoritma PLL (Gambar simulink terlampir) dari komputer sebagai kendali keluaran inverter.

4.1 Pengujian Algoritma PLL

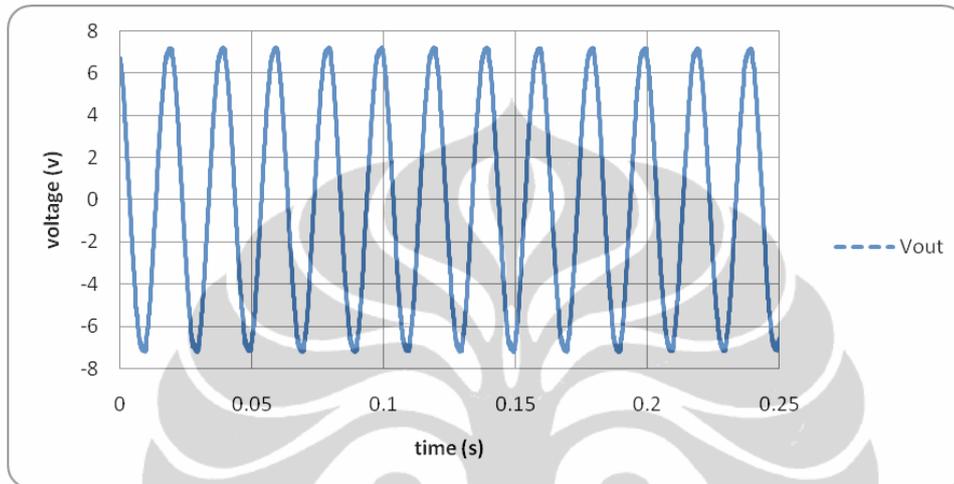
Pengujian dilakukan secara *real-time* dengan tegangan (amplitudo) *grid* 212 volt, frekuensi ≈ 50 hertz. Dan menggunakan voltage regulator yang dapat diubah-ubah tegangan keluarannya dengan frekuensi ≈ 50 hertz. Diagram blok pengujian seperti terlihat pada Gambar 4.1.



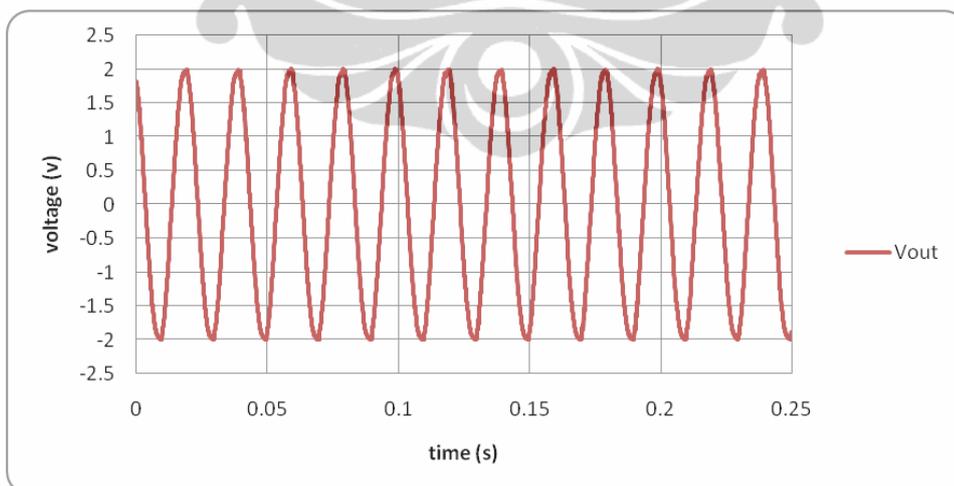
Gambar 4.1. Diagram blok pengujian algoritma PLL satu fasa

4.1.1 Hasil Amplitudo Sinyal Keluaran Rangkaian Pembagi Tegangan

Hasil sinyal keluaran rangkaian pembagi tegangan adalah sinusoidal sesuai dengan yang diharapkan, hanya saja amplitudo yang terukur terdapat perbedaan karena penggunaan nilai resistor pembagi tegangan yang berbeda.



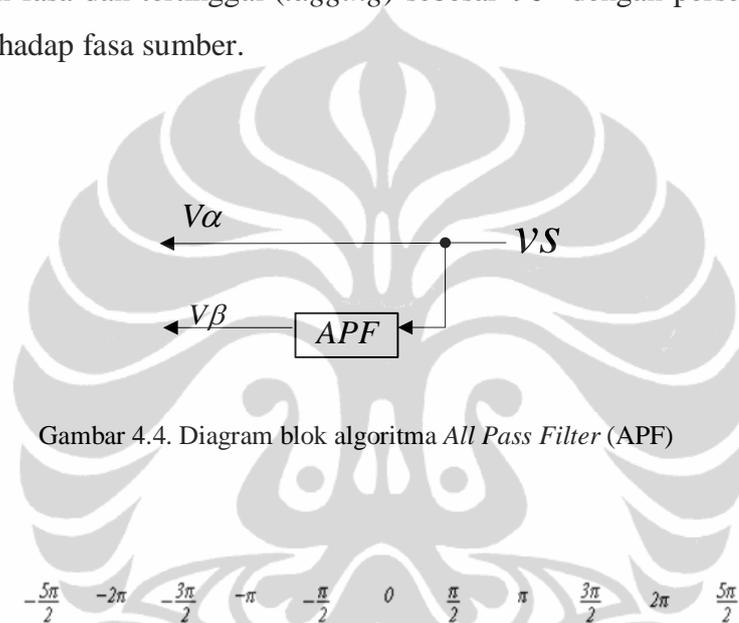
Gambar 4.2. Amplitudo sinyal tegangan *grid* rangkaian pembagi tegangan dengan memanfaatkan *op-amp* NI



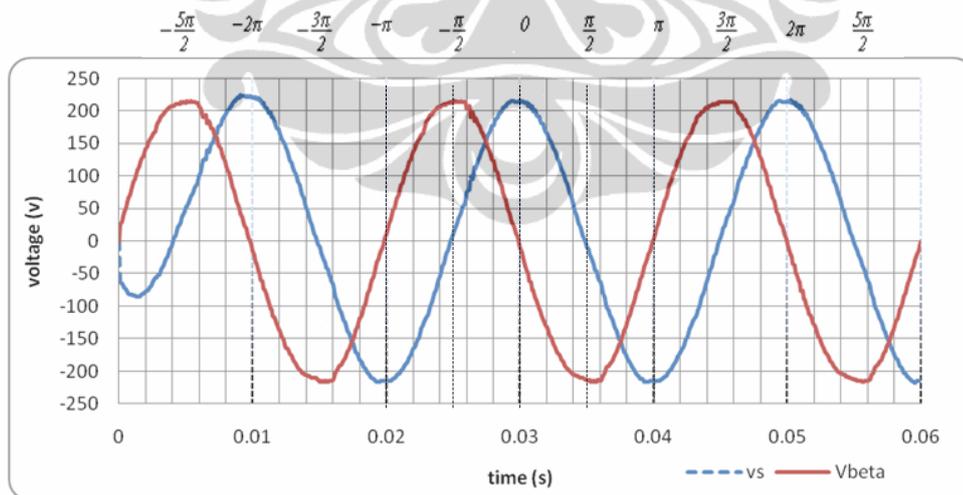
Gambar 4.3. Amplitudo sinyal voltage regulator rangkaian pembagi tegangan dengan memanfaatkan *op-amp* IC LM358

4.1.2 Hasil Algoritma *All Pass Filter* (APF) untuk Penggeser Fasa 90^0

Salah satu permasalahan respon algoritma PLL adalah ketidakmampuan algoritma melakukan pergeseran fasa sinyal sinusoidal sumber tegangan masukan secara tepat sebesar 90^0 . Untuk memperbaiki respon algoritma PLL tersebut maka digunakan algoritma APF untuk melakukan pergeseran fasa sinyal sumber tegangan masukan sebesar 90^0 [6]. Namun seperti yang terlihat pada Gambar 4.5, hasil algoritma APF melakukan pergeseran fasa dan tertinggal (*lagging*) sebesar 90^0 dengan persen *error* nol persen terhadap fasa sumber.



Gambar 4.4. Diagram blok algoritma *All Pass Filter* (APF)



Gambar 4.5. Amplitudo sinyal tegangan masukan yang digeser fasanya 90^0

4.1.3 Hasil Algoritma PLL antara Tegangan *Grid* dengan Voltage Regulator

Pengujian algoritma PLL dilakukan dengan memanfaatkan rangkaian pembagi tegangan yang memanfaatkan *op-amp* dari NI *board* untuk sumber tegangan langsung dari tegangan *grid* dibandingkan terhadap sumber tegangan yang diubah-ubah dari voltage regulator dengan menggunakan rangkaian pembagi tegangan yang memanfaatkan *op-amp* IC LM358.

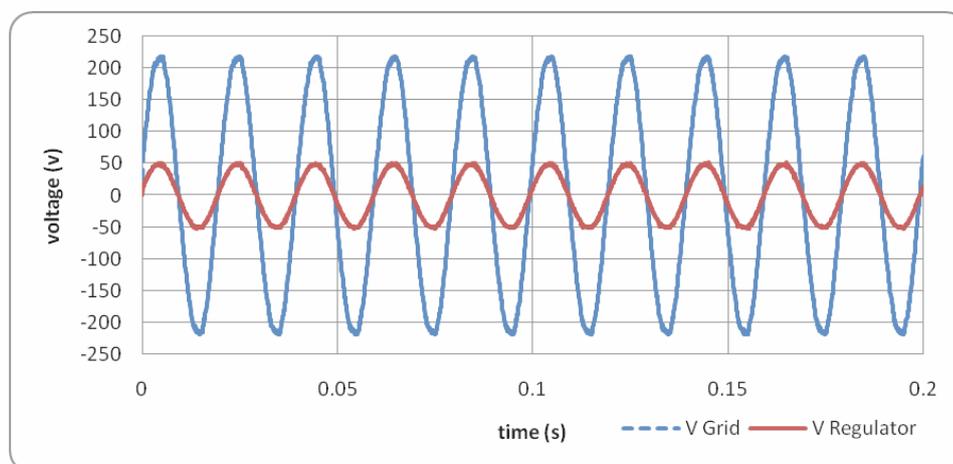
Amplitudo sinyal tegangan *grid* konstan pada 212 volt serta frekuensinya 50 hertz. Sedangkan amplitudo sinyal tegangan voltage regulator diubah-ubah, 50 volt, 100 volt, dan 212 volt. Frekuensi sinyal tegangan voltage regulator konstan 50 hertz.

Sebelum melakukan pengujian algoritma PLL, amplitudo sinyal tegangan sumber listrik diatur sama, dengan menambahkan gain pada simulink. Sehingga dibuat ketetapan amplitudo sinyal tegangan masukan yang terukur adalah sebesar 220 volt.

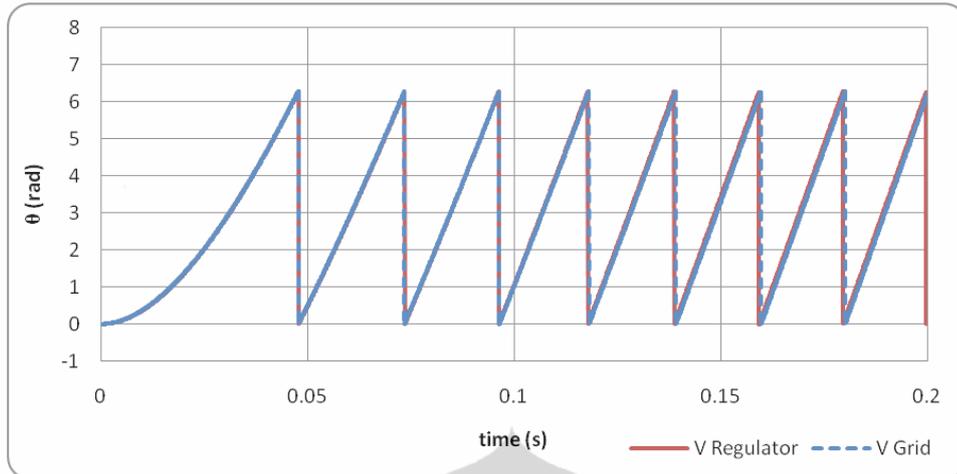
4.1.4 Hasil Algoritma PLL Amplitudo Voltage Regulator 50 volt

Berikut ini hasil pengujian algoritma PLL dengan amplitudo voltage regulator 50 volt terhadap sinyal tegangan *grid* 220 volt serta frekuensi dari sinyal tegangan *grid* bersifat konstan pada nilai 50 hertz.

Amplitudo sinyal tegangan *grid* terukur sebesar 220 volt, sedangkan amplitudo sinyal tegangan voltage regulator terukur sesuai dengan tegangan masukan sebesar 50 volt, yang terlihat pada Gambar 4.6.

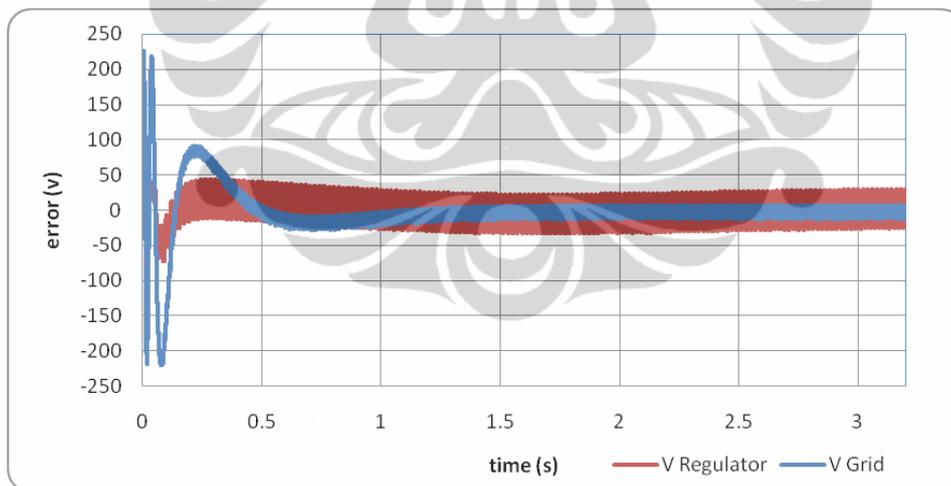


Gambar 4.6. Amplitudo sinyal voltage regulator 50 volt

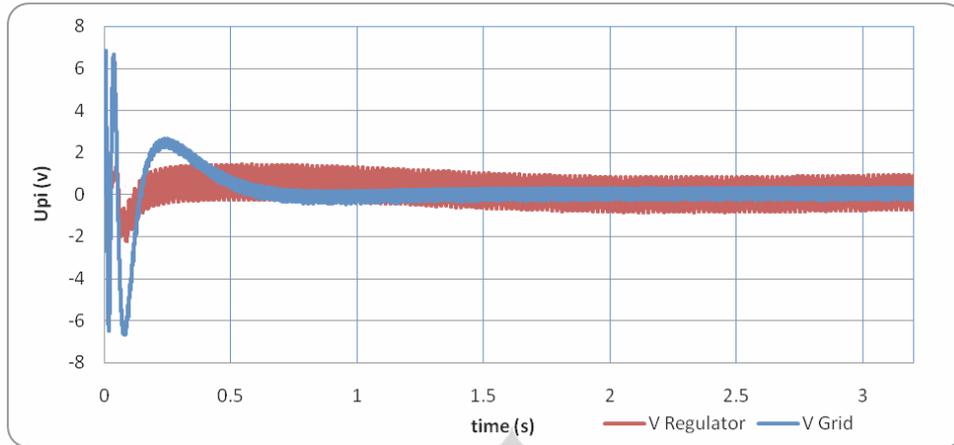


Gambar 4.7. Sudut fasa estimasi PLL dengan sinyal voltage regulator 50 volt

θ estimasi masih memberikan respon yang relative stabil antara sinyal sumber tegangan *grid* terhadap pemberian sinyal voltage regulator sebesar 50 volt, seperti yang terlihat pada Gambar 4.7.

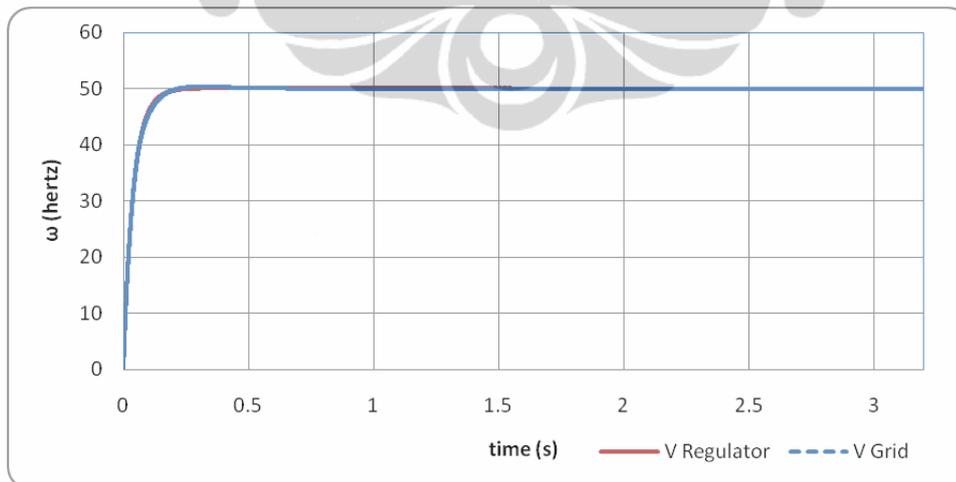


Gambar 4.8. Nilai error algoritma PLL dengan sinyal voltage regulator 50 volt

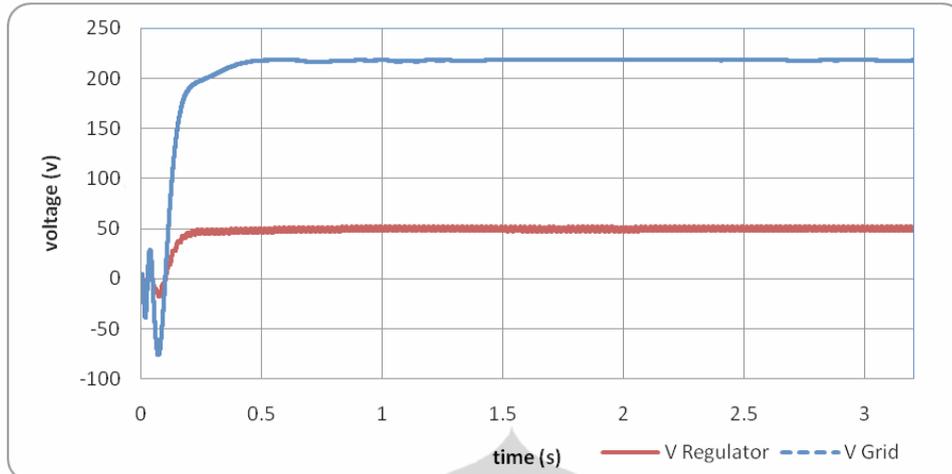


Gambar 4.9. Kendali PI dengan sinyal voltage regulator 50 volt

Dengan amplitudo sinyal voltage regulator sebesar 50 volt, respon algoritma PLL masih cukup cepat dan stabil walaupun nilai error dan sinyal kendali PI terjadi osilasi. Hal ini terlihat pada Gambar 4.10 waktu *steady state* 0.5 detik, dan memberikan respon frekuensi estimasi yang sama dengan frekuensi tegangan *grid*. Sedangkan amplitudo estimasi (V_{qs}) PLL memberikan respon yang sesuai dengan amplitudo sinyal tegangan masukan dengan waktu *steady state* yang diperlukan sebesar 1.0 detik.



Gambar 4.10. Frekuensi estimasi PLL dengan sinyal voltage regulator 50 volt



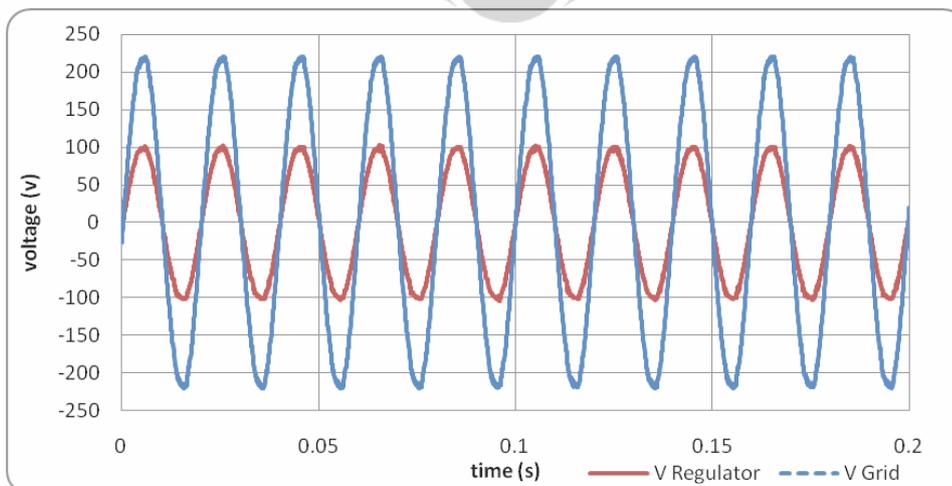
Gambar 4.11. Amplitudo estimasi PLL dengan sinyal voltage regulator 50 volt

Ketika tegangan sesaat sumber listrik turun, maka tegangan sesaat keluaran algoritma PLL juga harus mengikuti, begitu juga sebaliknya. Demikian pula bila frekuensi pada sumber listrik turun/naik, maka frekuensi keluaran algoritma PLL juga harus dapat mengikutinya [3].

4.1.5 Hasil Algoritma PLL Amplitudo Voltage Regulator 100 volt

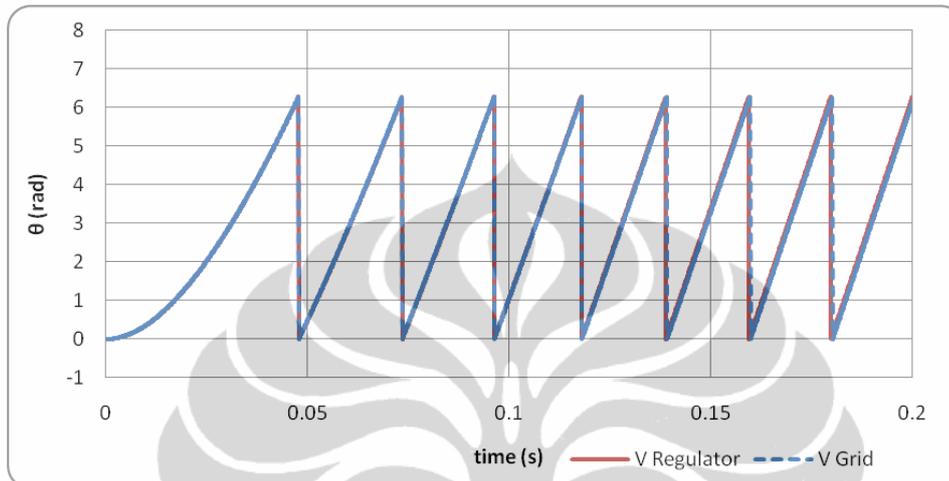
Berikut ini hasil pengujian algoritma PLL dengan amplitudo voltage regulator 100 volt terhadap sinyal tegangan *grid* 220 volt serta frekuensi dari sinyal tegangan *grid* bersifat konstan pada nilai 50 hertz.

Amplitudo sinyal tegangan *grid* terukur sebesar 220 volt, sedangkan amplitudo sinyal tegangan voltage regulator terukur sesuai dengan tegangan masukan sebesar 100 volt, yang terlihat pada Gambar 4.12.

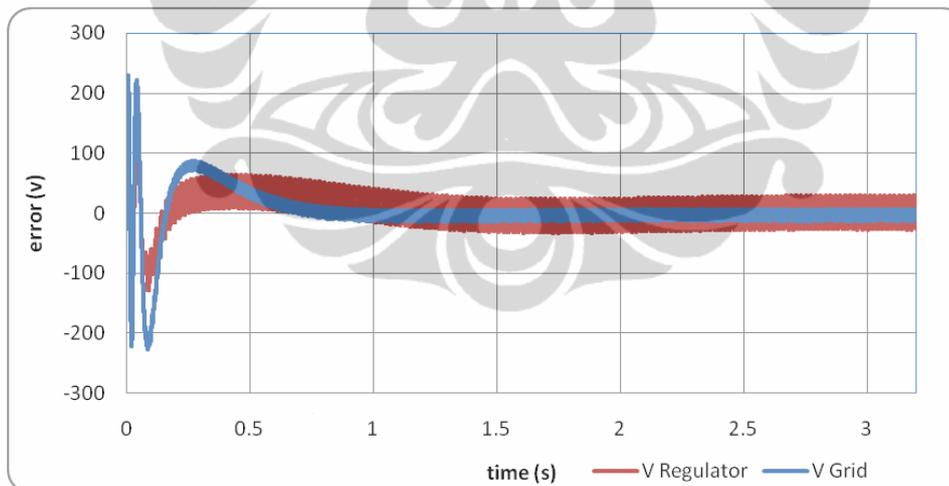


Gambar 4.12. Amplitudo sinyal voltage regulator 100 volt

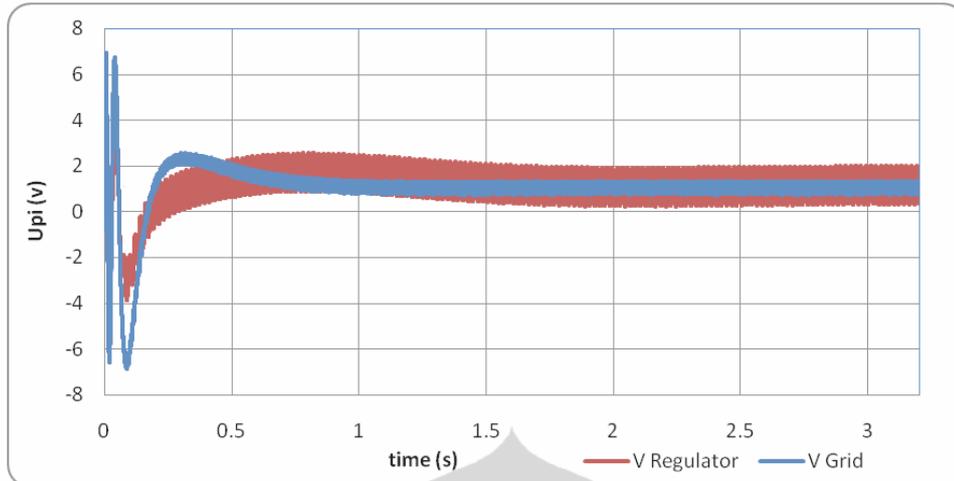
Sudut fasa estimasi masih memberikan respon yang relative stabil antara sinyal sumber tegangan *grid* terhadap pemberian sinyal voltage regulator sebesar 100 volt, seperti yang terlihat pada Gambar 4.13.



Gambar 4.13. Sudut fasa estimasi PLL dengan sinyal voltage regulator 100 volt

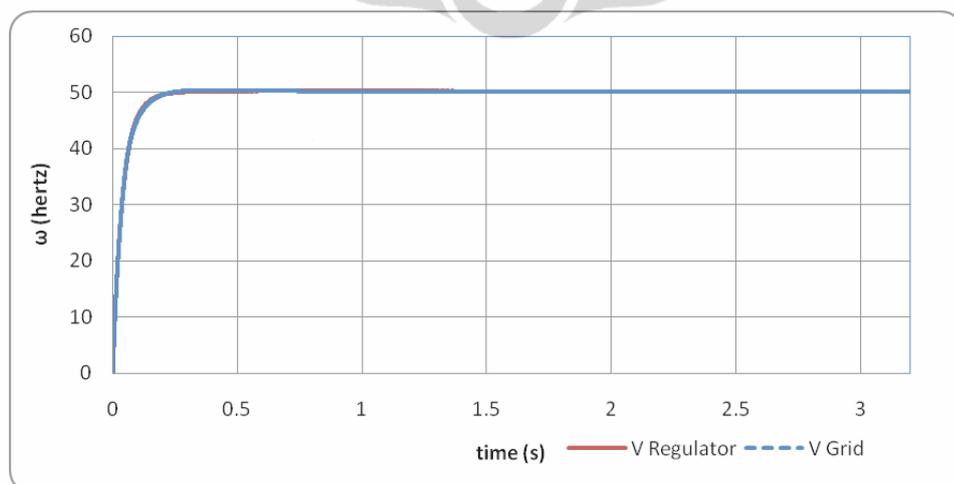


Gambar 4.14. Nilai error algoritma PLL dengan sinyal voltage regulator 100 volt

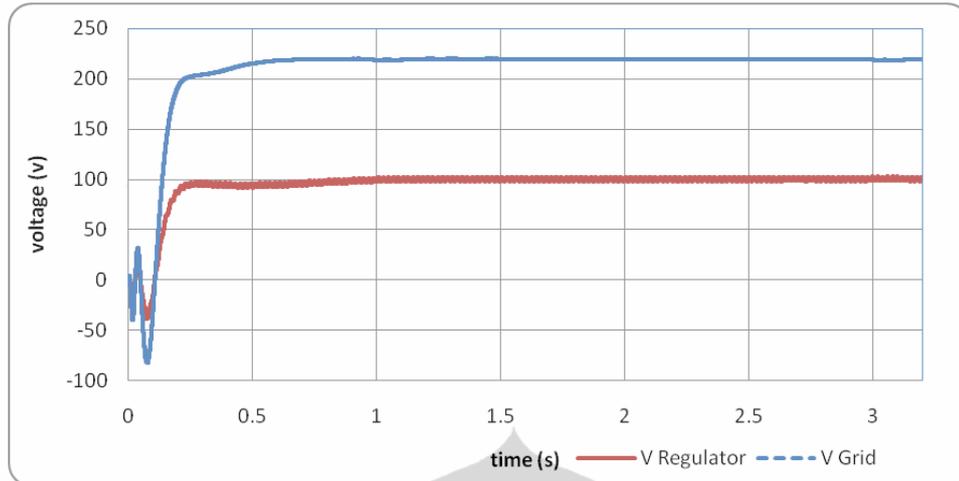


Gambar 4.15. Kendali PI dengan sinyal voltage regulator 100 volt

Dengan mengatur amplitudo sinyal voltage regulator sebesar 100 volt, respon algoritma PLL cukup cepat dan stabil walaupun nilai error dan sinyal kendali PI masih terjadi osilasi. Hal ini terlihat pada Gambar 4.16 waktu *steady state* sekitar 0.5 detik, dan memberikan respon frekuensi estimasi yang sama dengan estimasi frekuensi tegangan *grid*. Sedangkan amplitudo estimasi PLL memberikan respon yang sesuai dengan amplitudo sinyal tegangan masukan sebesar 100 volt seperti yang terlihat pada Gambar 4.17 dengan waktu *steady state* 1.0 detik dan tanpa terjadi *overshoot*.



Gambar 4.16. Frekuensi estimasi PLL dengan sinyal voltage regulator 100 volt

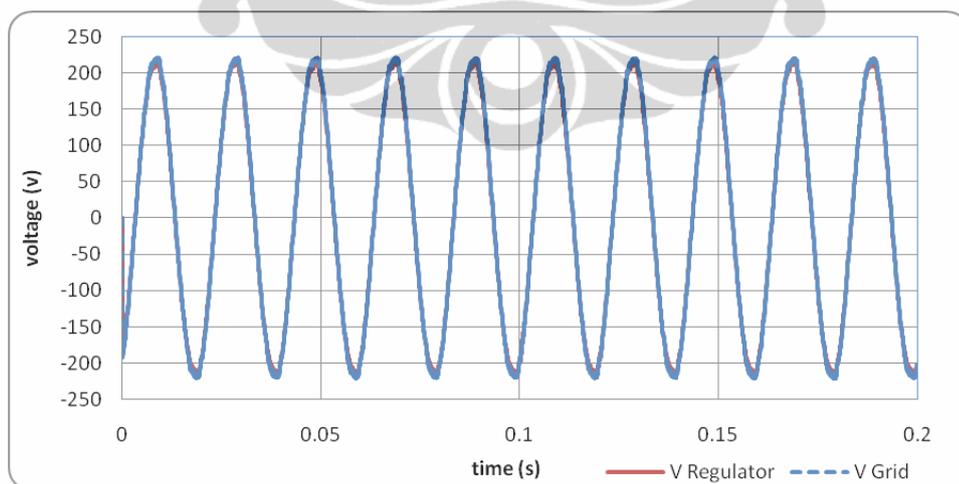


Gambar 4.17. Amplitudo estimasi PLL dengan sinyal voltage regulator 100 volt

4.1.6 Hasil Algoritma PLL Amplitudo Voltage Regulator 220 volt

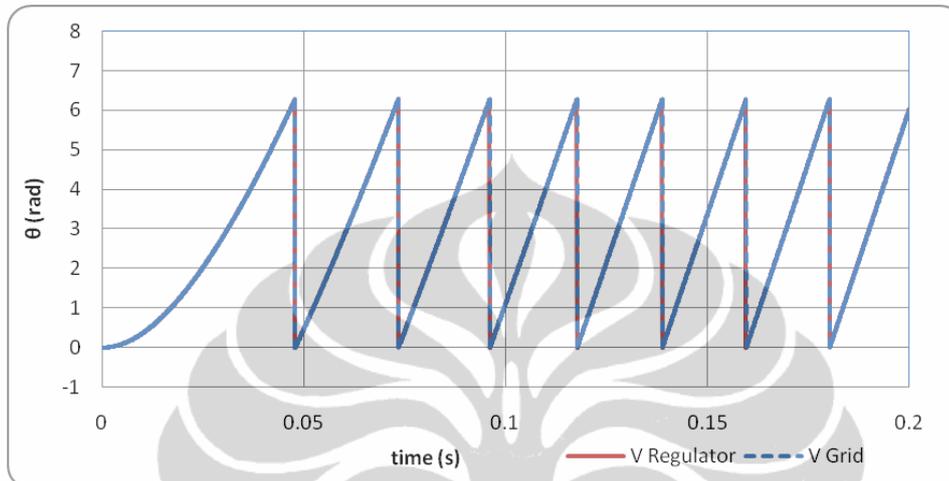
Berikut ini hasil pengujian algoritma PLL dengan amplitudo voltage regulator 220 volt sama dengan sinyal tegangan *grid* 220 volt serta frekuensi dari sinyal tegangan *grid* bersifat konstan pada nilai 50 hertz.

Amplitudo sinyal tegangan *grid* dan amplitudo sinyal tegangan voltage regulator terukur sama sebesar 220 volt, yang terlihat pada Gambar 4.18.

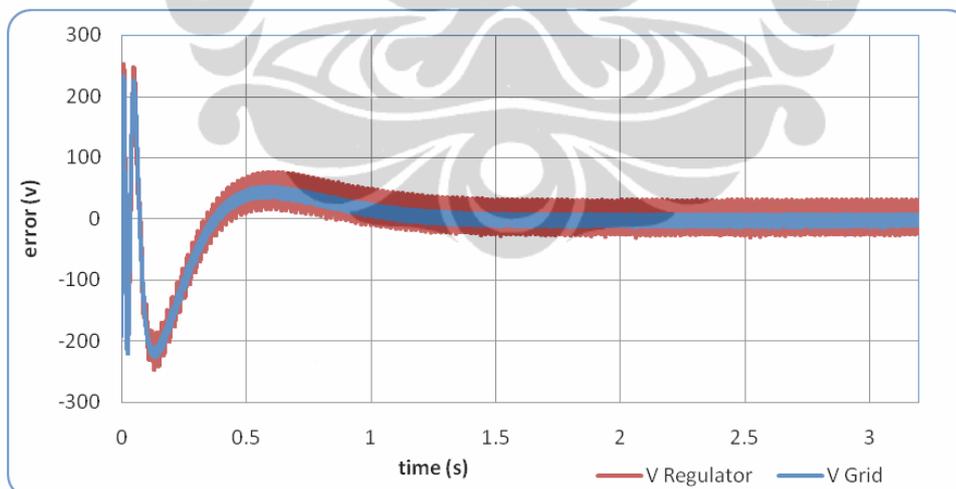


Gambar 4.18. Amplitudo sinyal voltage regulator 220 volt

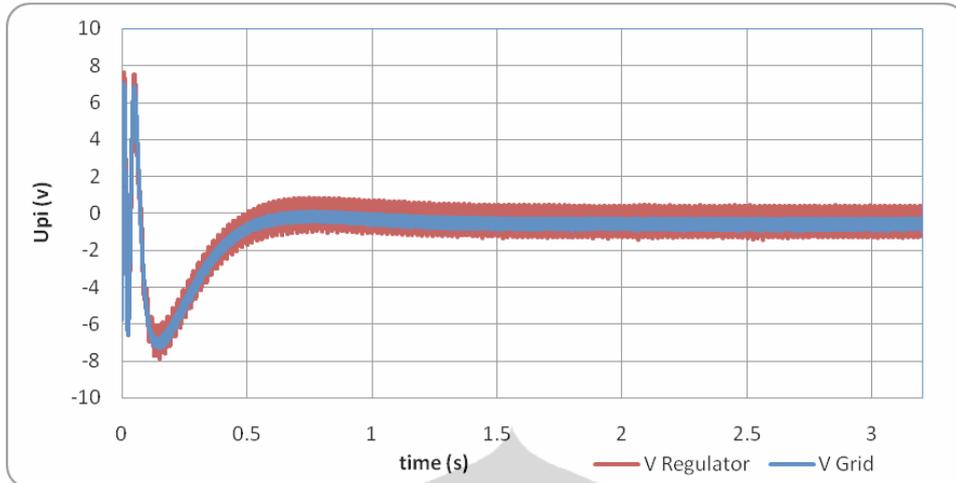
Sudut fasa estimasi memberikan respon yang stabil antara sinyal sumber tegangan *grid* terhadap pemberian sinyal voltage regulator sebesar 220 volt, seperti yang terlihat pada Gambar 4.19.



Gambar 4.19. Sudut fasa estimasi PLL dengan sinyal voltage regulator 220 volt

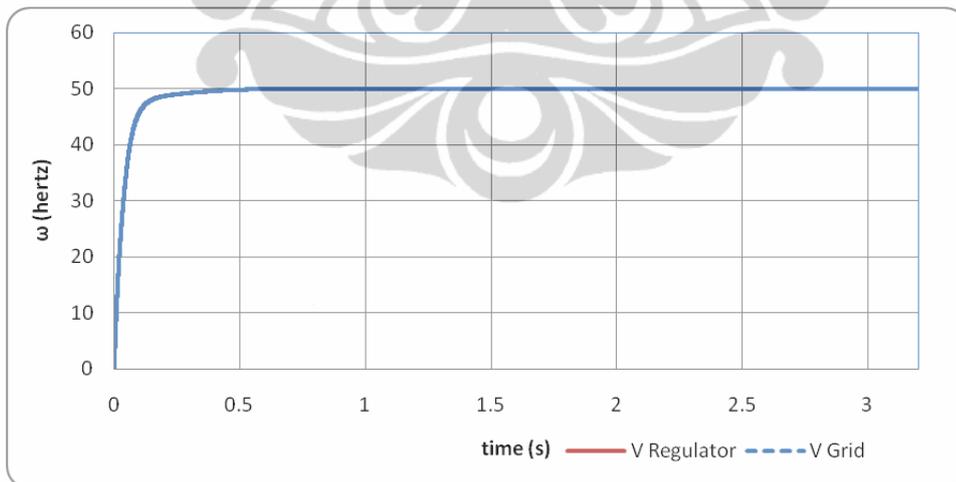


Gambar 4.20. Nilai error algoritma PLL dengan sinyal voltage regulator 220 volt

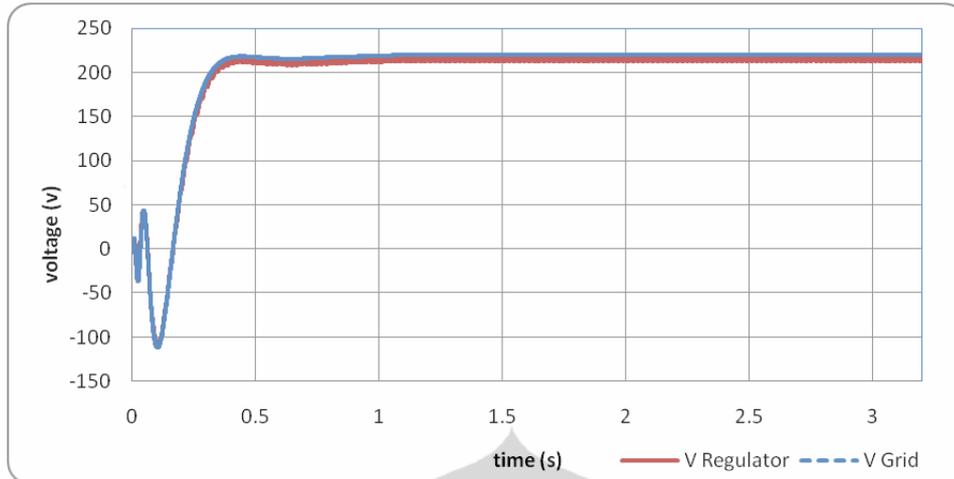


Gambar 4.21. Kendali PI dengan sinyal voltage regulator 220 volt

Dengan mengatur nilai amplitudo sinyal voltage regulator sama dengan nilai amplitudo sinyal tegangan *grid* sebesar 220 volt, respon algoritma PLL cukup cepat dan stabil. Sedangkan nilai error dan sinyal kendali PI masih terjadi osilasi, tetapi sudah sefasa dengan sinyal dari tegangan *grid*.

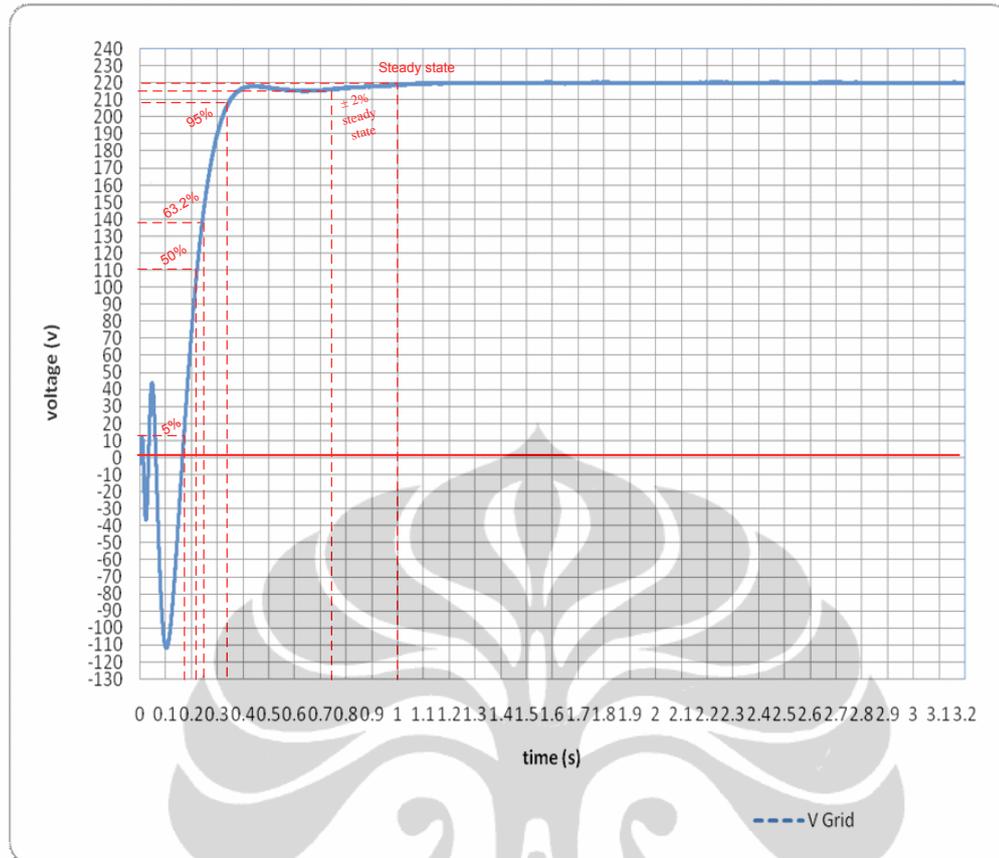


Gambar 4.22. Frekuensi estimasi PLL dengan sinyal voltage regulator 220 volt



Gambar 4.23. Amplitudo estimasi PLL dengan sinyal voltage regulator 220 volt

Pada Gambar 4.22 waktu *steady state* 0.5 detik, tanpa *overshoot*, dan memberikan respon frekuensi estimasi yang sama dengan frekuensi tegangan *grid*. Sedangkan amplitudo estimasi PLL respon yang sesuai dengan amplitudo sinyal tegangan masukan sebesar 220 volt seperti yang terlihat pada Gambar 4.23 dengan waktu *steady state* 1.0 detik dan tanpa terjadi *overshoot*.



Gambar 4.24 Respon transien amplitudo estimasi PLL dengan sinyal voltage regulator 220 volt

Berdasarkan Gambar 4.23 maka dapat diperoleh respon transiennya seperti yang ditunjukkan pada Gambar 4.24.

1. *Time constant* (τ)

Ukuran waktu yang menyatakan kecepatan respon, yang di ukur mulai $t = 0$ s/d respon mencapai 63,2% dari respon *steady state*.

$$\tau = 0.25s$$

2. *Rise time* (Tr)

Ukuran waktu yang menyatakan keberadaan suatu respon, yang di ukur mulai respon 5% s/d 95% dari respon *steady state* (dapat pula 10% s/d 90%).

$$Tr = 0.34s - 0.18s$$

$$Tr = 0.16s$$

3. *Setling time* (Ts)

Ukuran waktu yang menyatakan respon telah masuk $\pm 5\%$ atau $\pm 2\%$ atau $\pm 0,5\%$ dari respon *steady state*.

$$Ts = 0.75s$$

$$Ts = 3\tau = 3 \times 0.25s = 0.75s$$

4. *Delay time* (T_d)

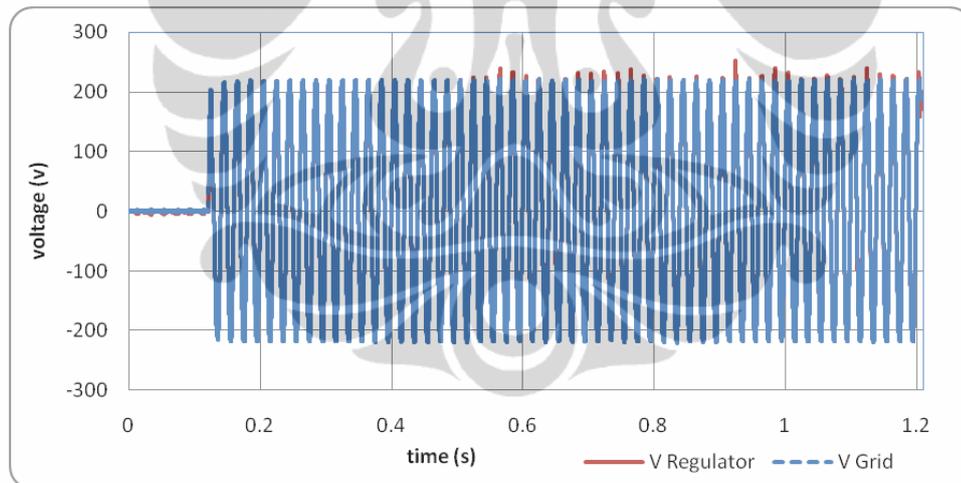
Ukuran waktu yang menyatakan faktor keterlambatan respon keluaran terhadap masukan, di ukur mulai $t = 0$ s/d respon mencapai 50% dari respon *steady state*.

$$T_d = 0.225s$$

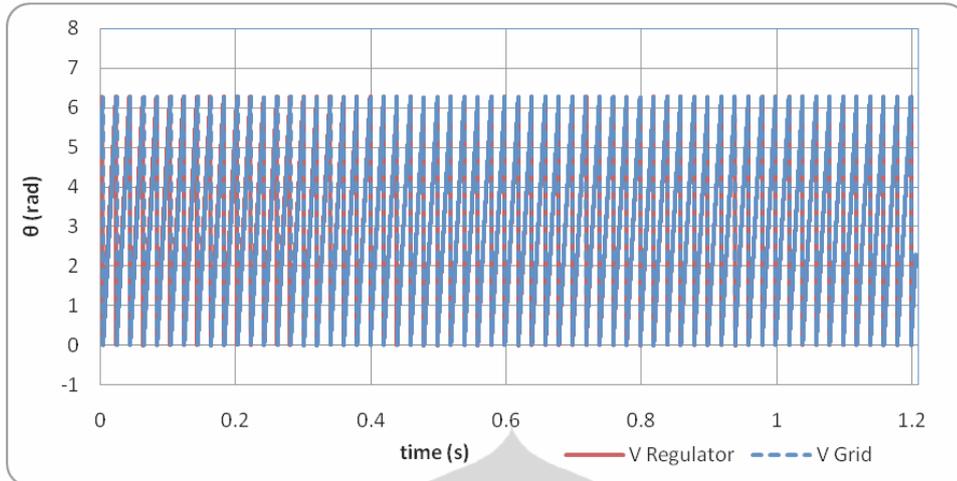
5. *Steady state* = 1.0s

4.1.7 Hasil Algoritma PLL dengan Amplitudo Sinyal Sumber Tegangan Masukan *Off-On*

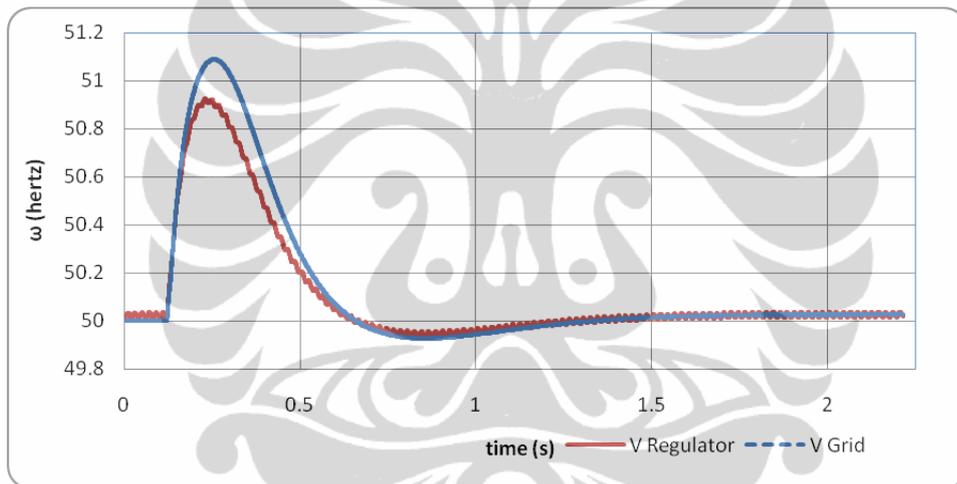
Berikut ini hasil pengujian algoritma PLL dengan amplitudo voltage regulator 220 volt sama dengan sinyal tegangan *grid* 220 volt serta frekuensi dari sinyal tegangan *grid* bersifat konstan pada nilai 50 hertz. Pengujian dilakukan dengan cara pada waktu awal kedua sumber masukan *off*, lalu beberapa saat kemudian di *on* kan.



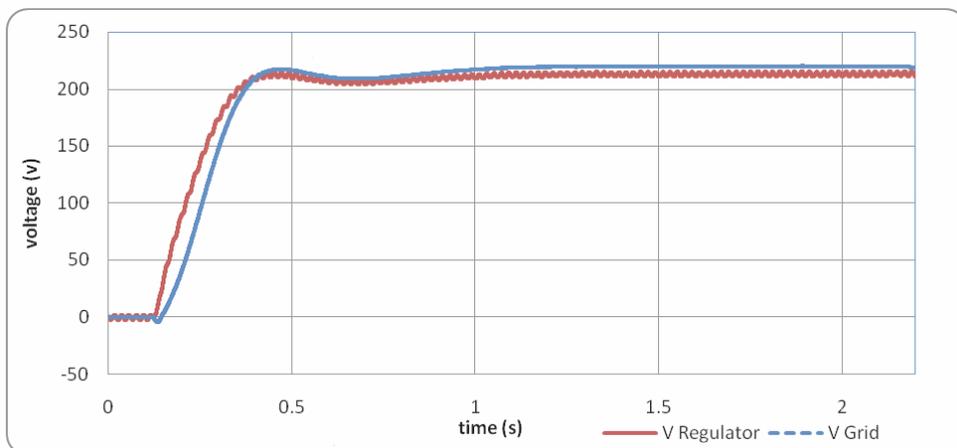
Gambar 4.25. Amplitudo sinyal tegangan masukan *off-on*



Gambar 4.26. Sudut fasa estimasi PLL dengan sinyal tegangan masukan *off-on*



Gambar 4.27. Frekuensi estimasi PLL dengan sinyal tegangan masukan *off-on*



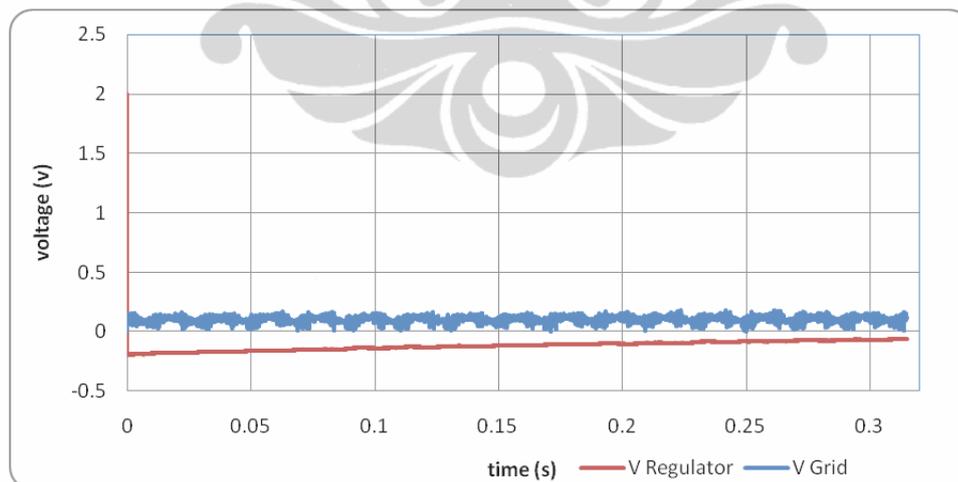
Gambar 4.28. Amplitudo estimasi PLL dengan sinyal tegangan masukan *off-on*

Dari Gambar 4.25, Gambar 4.26, Gambar 4.27, dan Gambar 4.28, dapat dilihat bahwa, walaupun respon keluaran algoritma PLL masih berosilasi, akan tetapi osilasi tersebut berada dalam jangkauan yang tidak terlalu besar. Lebih jauh lagi, kelebihan dari algoritma PLL ini adalah berupa respon yang cukup baik yaitu dapat mengikuti/menghadapi perubahan yang terjadi dalam sinyal tegangan masukan.

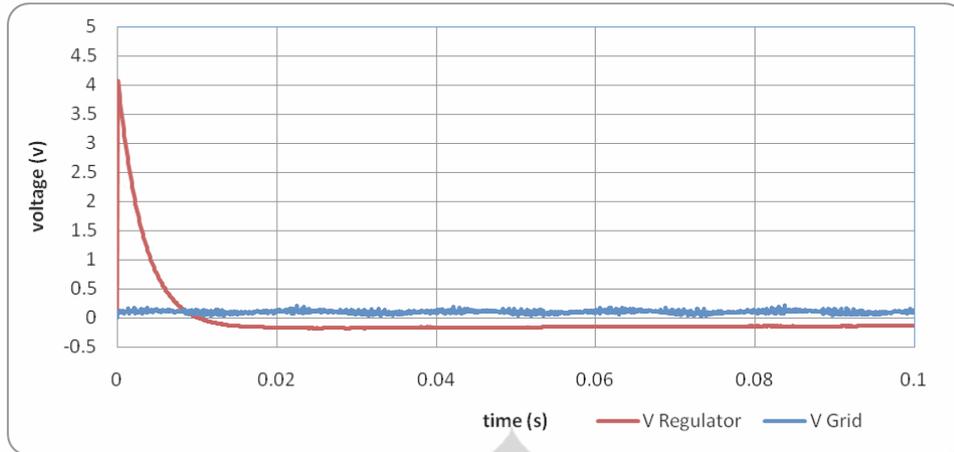
Dari pengujian dapat disimpulkan bahwa waktu *steady state* yang dimiliki oleh algoritma PLL ini adalah sekitar 1.0 detik dengan pengaturan nilai $k_p=0.03$, $k_i=0.07$. Selain itu, walaupun respon algoritma PLL menunjukkan osilasi, akan tetapi osilasi ini relatif kecil dan dapat diterima jika dibandingkan dengan kelebihan algoritma PLL ini yang berupa peningkatan / semakin cepatnya waktu transien yang teramati.

4.1.8 Hasil Algoritma PLL Dengan Amplitudo Sinyal Sumber Tegangan Masukan *Off*

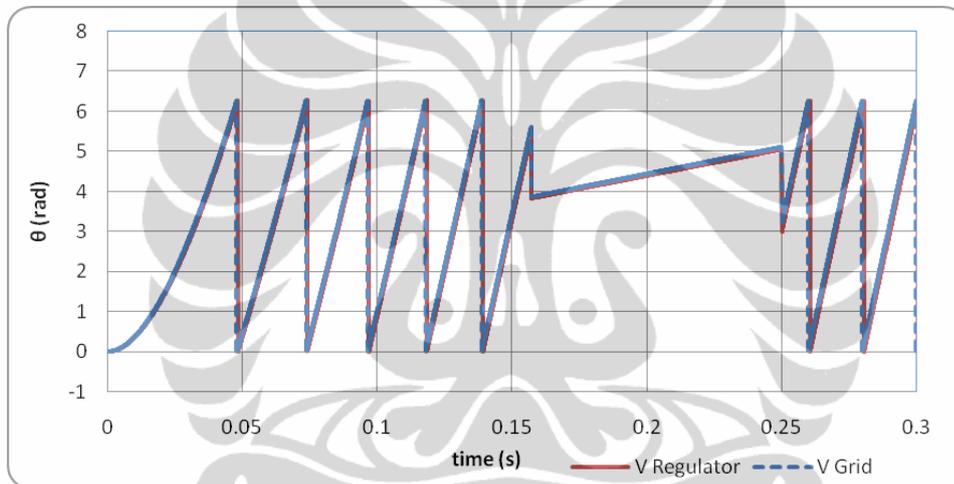
Berikut ini hasil pengujian algoritma PLL dengan amplitudo voltage regulator dan sinyal tegangan *grid* di *off* kan.



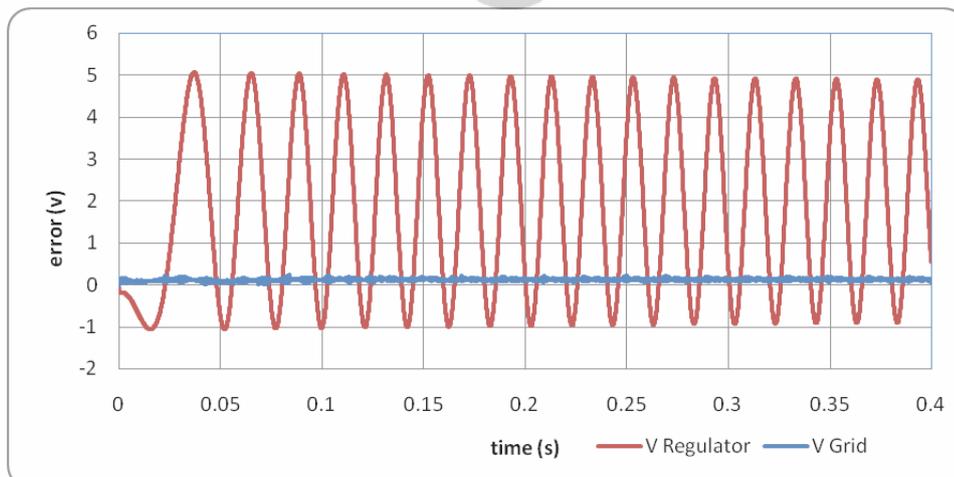
Gambar 4.29. Amplitudo sinyal tegangan masukan *off*



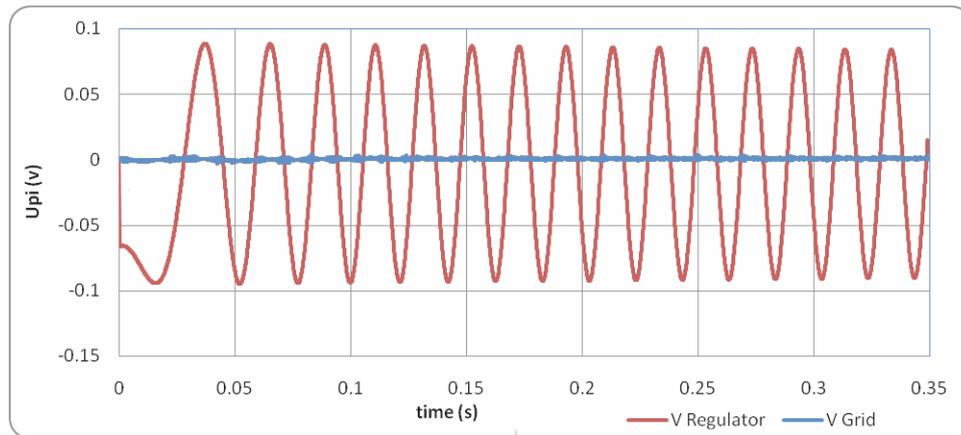
Gambar 4.30. V_{β} sinyal tegangan masukan *off*



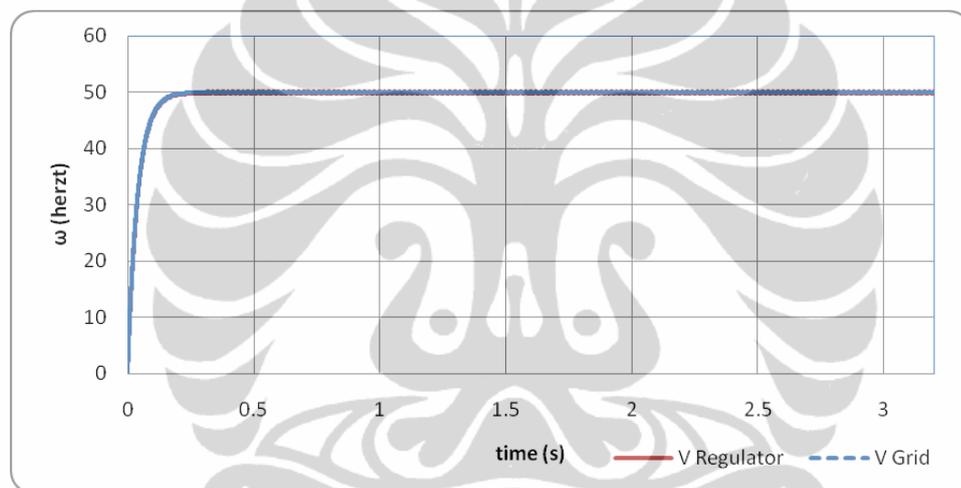
Gambar 4.31. Sudut fasa estimasi PLL dengan sinyal tegangan masukan *off*



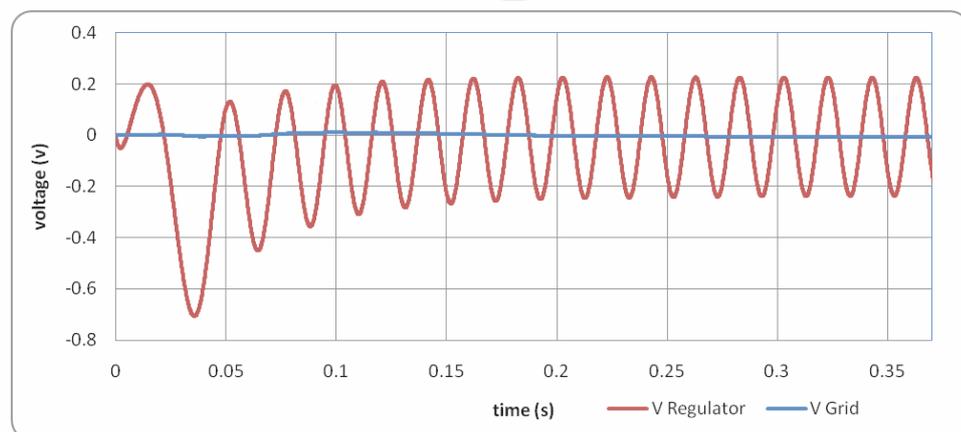
Gambar 4.32. Nilai error algoritma PLL dengan sinyal tegangan masukan *off*



Gambar 4.33. Kendali PI dengan sinyal tegangan masukan *off*



Gambar 4.34. Frekuensi estimasi PLL dengan sinyal tegangan masukan *off*



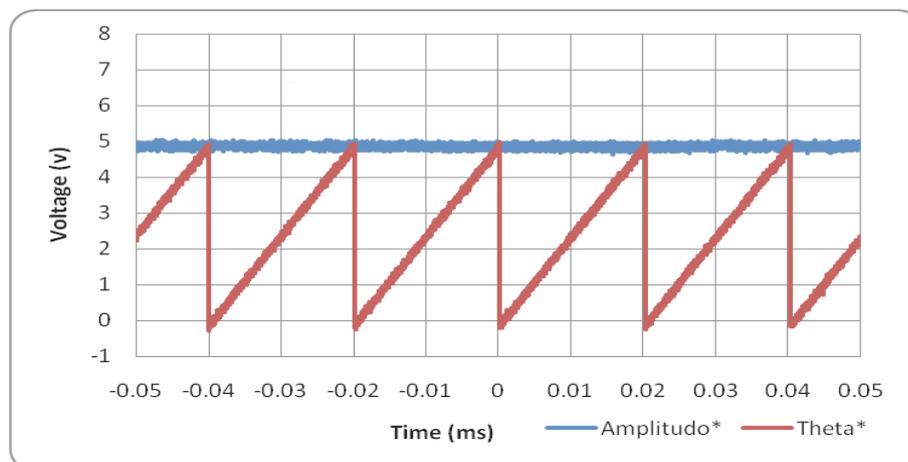
Gambar 4.35. Amplitudo estimasi PLL dengan sinyal tegangan masukan *off*

Melihat dari hasil keluaran algoritma PLL tanpa diberi sinyal tegangan masukan dapat disimpulkan bahwa pada posisi tanpa diberi sinyal tegangan masukan masih terdapat sinyal yang terukur atau osilasi. Sehingga dapat dianalisa kemungkinan penyebabnya adalah pengaruh dari voltage regulator, atau gain. Tetapi hal ini masih berada dalam jangkauan tidak terlalu besar dibandingkan dengan hasil respon algoritma PLL yang cukup baik dan cepat.

Kendala yang terjadi adalah sulitnya mencari *op-amp low noise single supply* untuk rangkaian pembagi tegangan, sehingga sinyal yang dihasilkan kurang sinusoidal serta amplitude sinyal tegangan *grid* yang berubah-ubah.

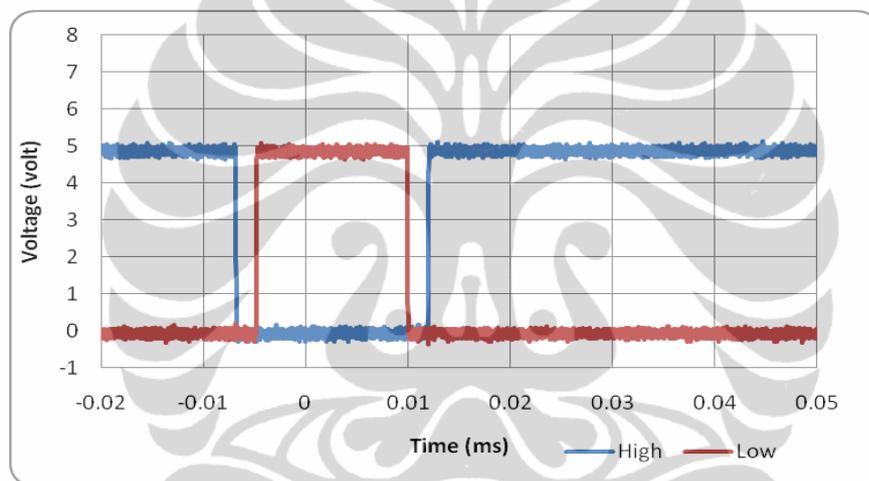
4.2 Pengujian Inverter

Hal – hal yang juga perlu diperhatikan dalam penggunaan ADC adalah tegangan maksimum yang dapat dikonversikan oleh ADC dari rangkaian pengkondisi sinyal. Dalam melakukan pengujian inverter, langkah awal yang harus dipastikan adalah tegangan maksimal masukan pada ADC mikrokontroler adalah 5 volt. Dimana sinyal tegangan yang digunakan sebagai kontrol keluaran inverter adalah sinyal tegangan estimasi dari algoritma PLL (V_q estimasi dan θ estimasi). Dari Gambar 4.36 terlihat bahwa sinyal V_q estimasi dan θ estimasi tegangan maksimal yang terukur sebesar 5 volt. Tegangan maksimal V_q estimasi 5 volt merepresentasikan tegangan maksimal dari tegangan *grid* referensi yang terukur dan tegangan maksimal θ estimasi merepresentasikan besarnya fasa dari tegangan *grid* referensi yang terukur.

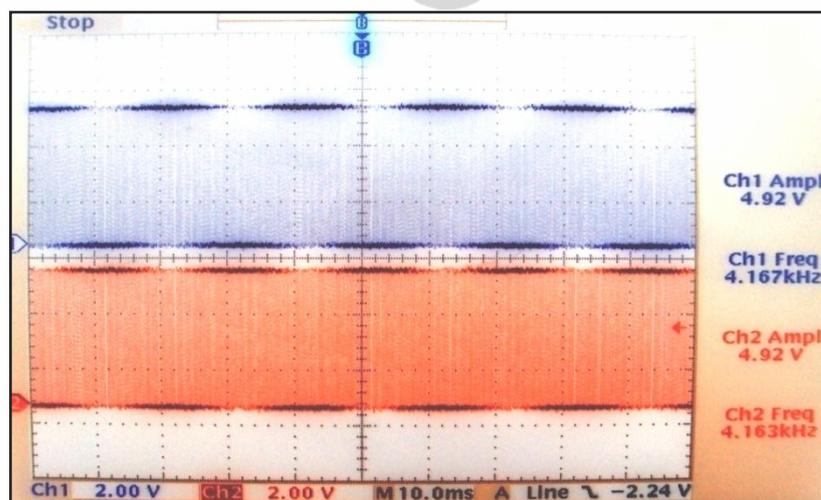


Gambar 4.36. Amplitudo (ch1= V_q estimasi) dan θ estimasi (ch2 = $\hat{\theta}$) dari DAC NI

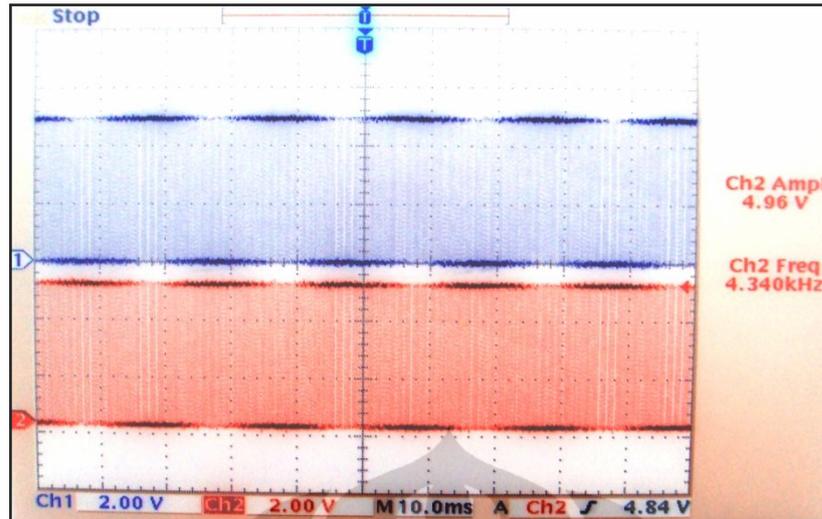
Dead-time berfungsi untuk mengkonversi sinyal PWM 1-bit menjadi sinyal PWM 2-bit dimana antara *output* bit satu dengan lainnya saling berlawanan (*invers*). Keluaran ini digunakan untuk mengontrol IGBT yang dirangkai secara H-Bridge. Namun pada saat bit-bit *output* tersebut mengalami transisi dari *low* ke *high* maupun sebaliknya, terdapat jeda waktu. Bit-bit tersebut memiliki logika yang sama yakni *low*. Hal ini disebut *dead-time*. *Dead-time* berfungsi untuk menghindari "switch terlalu dini" yang mengakibatkan IGBT cepat rusak. Gambar 4.37 menunjukkan *dead-time* natural PWM yang dibangkitkan.



Gambar 4.37. *Dead-time* natural PWM



(a)



(b)

Gambar 4.38. Keluaran natural PWM mikrokontroler (a) tanpa algoritma PLL, (b) dengan algoritma PLL.

Pada Gambar 4.38 terlihat bahwa selisih antara sinyal ch1 dan ch2 sebesar 180° , hasil ini sesuai dengan yang diharapkan karena natural PWM yang dibangkitkan akan digunakan untuk tegangan ac satu fasa. Kemudian dari Gambar 4.37 nilai frekuensi natural PWM dapat dihitung.

$$f = \frac{1}{T}$$

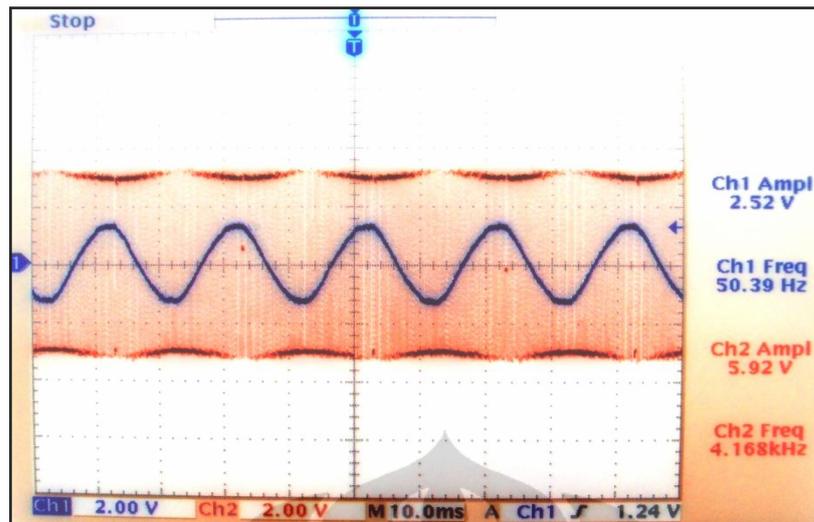
$$f = \frac{1}{(2 \text{ kotak} \times 10 \text{ ms})}$$

$$f = \frac{1}{20 \text{ ms}} = 50 \text{ hertz}$$

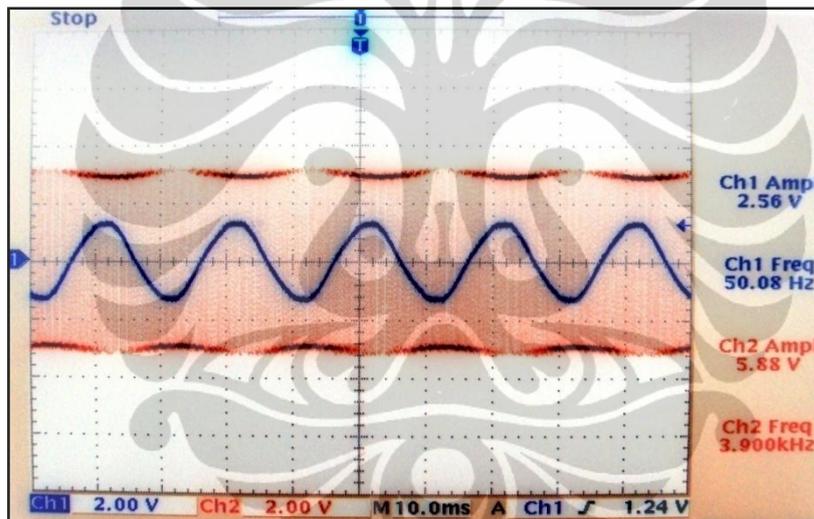
Sehingga hasil frekuensi natural PWM sudah sesuai dengan apa yang diharapkan yaitu sebesar 50 hertz, yang sama dengan frekuensi pada tegangan *grid*.

4.2.1 Pengujian Keluaran Inverter

Pengujian inverter ini ditentukan nilai frekuensi *carrier* nya sebesar 4.2Khz dan nilai frekuensi inverter sebesar 50 hertz.



(a)



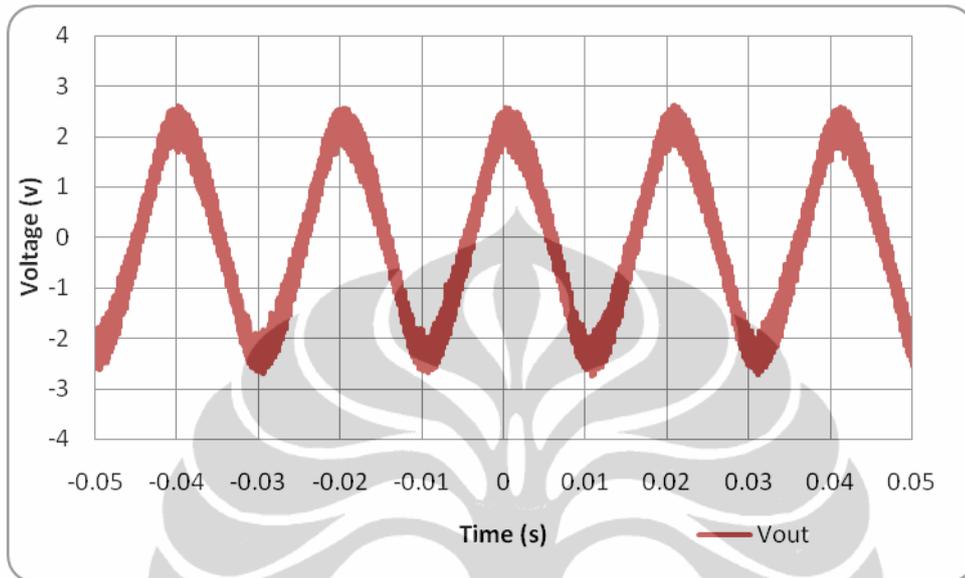
(b)

Gambar 4.39. Keluaran dari IGBT terhadap sinyal tegangan referensi (a) tanpa algoritma PLL, (b) dengan algoritma PLL

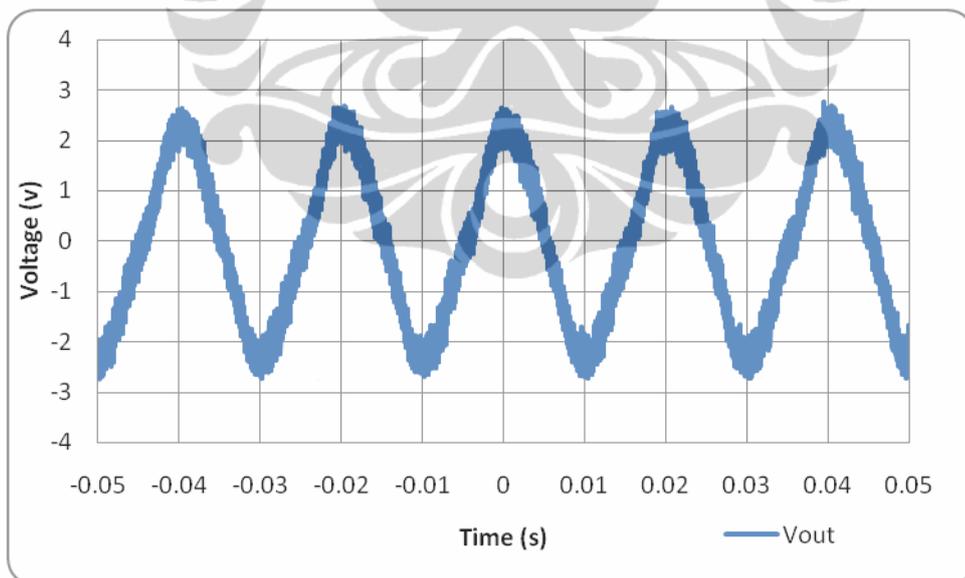
Dari hasil Gambar 4.39 terlihat bahwa keluaran dari IGBT dengan menggunakan kontrol melalui algoritma PLL dan tanpa kontrol algoritma PLL terlihat sama serta sama terhadap tegangan referensi.

Kemudian pengujian selanjutnya adalah melakukan *filter* agar keluaran dari IGBT menghasilkan gelombang sinus sesuai dengan tujuan awal yaitu membuat pembangkit tegangan listrik ac. *Filter* yang dipasangkan adalah *low*

pass filter (LPF) orde satu. Dimana bentuk sinyal tegangan keluarannya ditunjukkan pada Gambar 4.40.



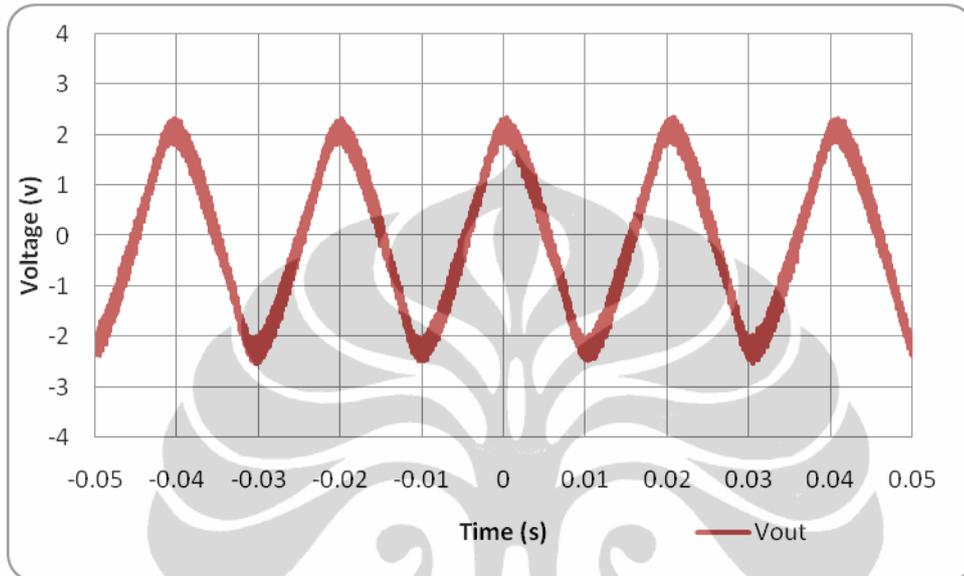
(a)



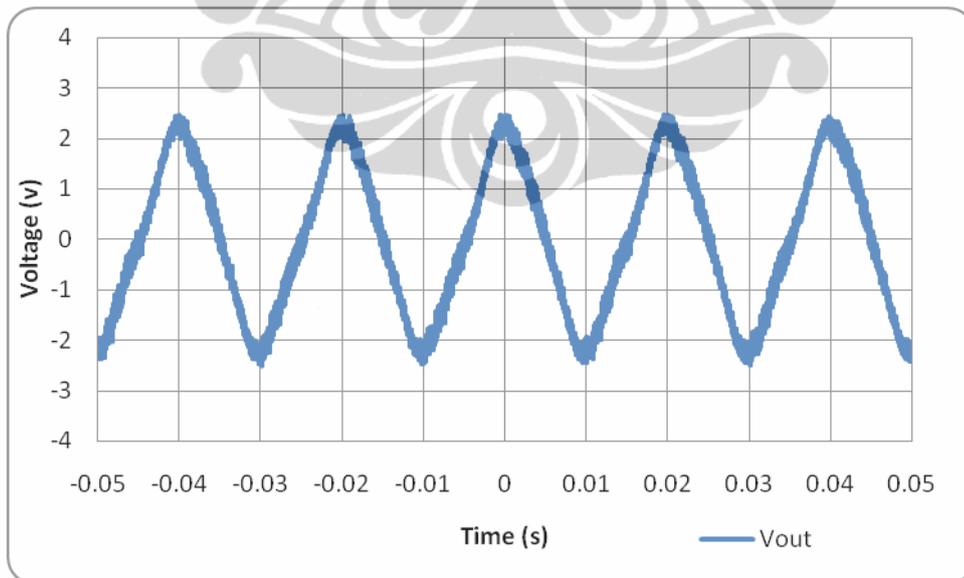
(b)

Gambar 4.40. Keluaran dari IGBT dengan *filter* LPF orde satu (a) tanpa algoritma PLL, (b) dengan algoritma PLL

Bentuk sinyal dari pemasangan *filter* LPF orde satu ini masih terlalu banyak *noise*. Sehingga dilakukan pemfilteran lagi dengan LPF, maka hasil bentuk sinyalnya seperti yang ditunjukkan pada Gambar 4.41.



(a)



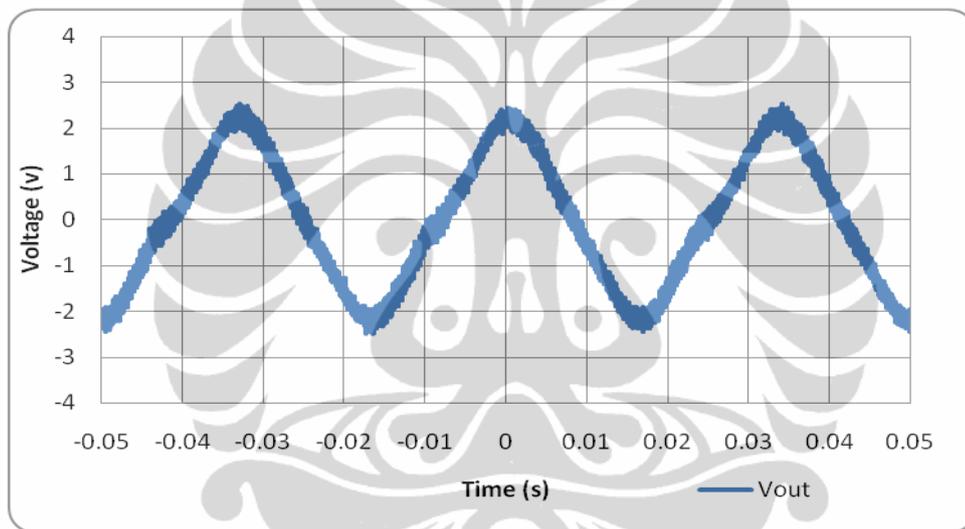
(b)

Gambar 4.41. Keluaran dari IGBT dengan *filter* LPF orde dua (a) tanpa algoritma PLL, (b) dengan algoritma PLL

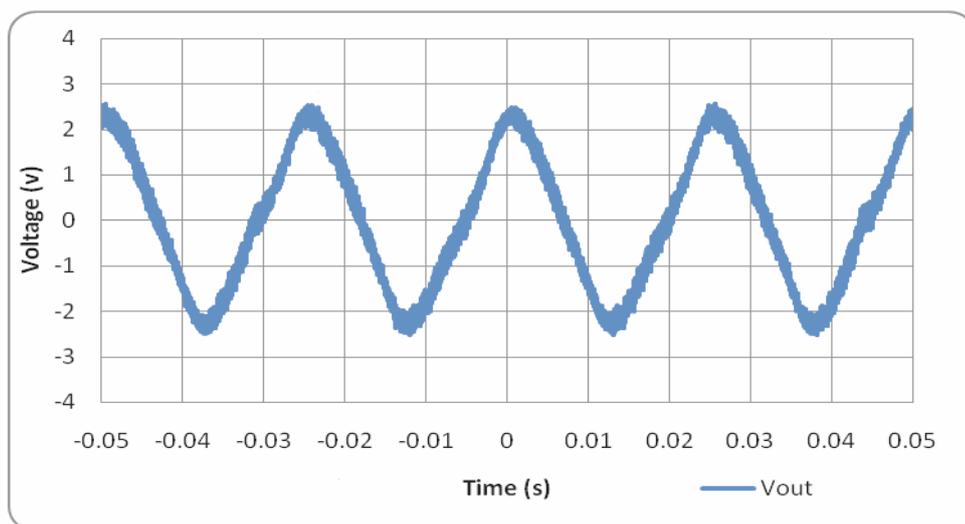
Dengan memasang LPF orde dua maka *noise* semakin berkurang sehingga bentuk sinyal semakin baik.

4.2.2 Pengujian Dengan Merubah Frekuensi Sumber Referensi

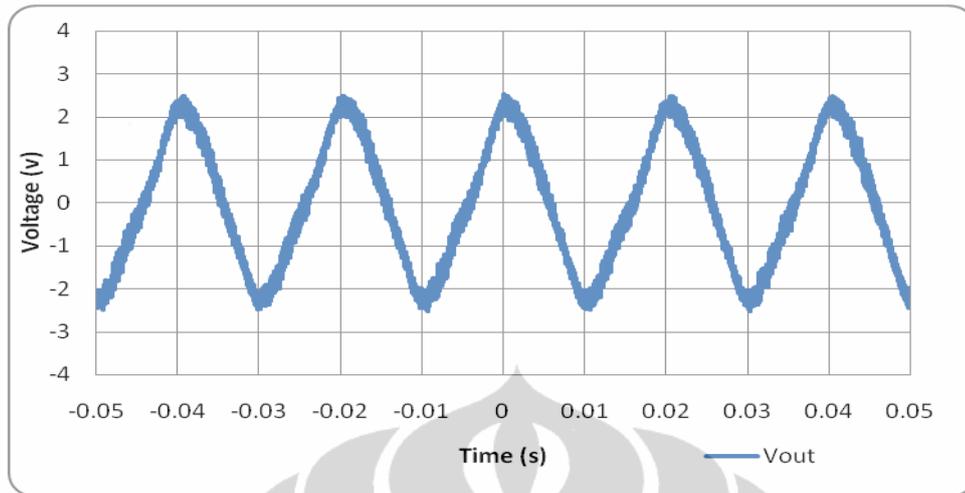
Pengujian ini dilakukan dengan merubah frekuensi tegangan sumber untuk mengetahui respon keluaran inverter apakah ketika frekuensi tegangan sumber dirubah maka frekuensi inverter juga akan sama dengan frekuensi referensi. Pengujian dilakukan dengan merubah frekuensi referensi dengan nilai, 30 hertz, 40 hertz, 50 hertz, 55 hertz, 60 hertz dan 80 hertz.



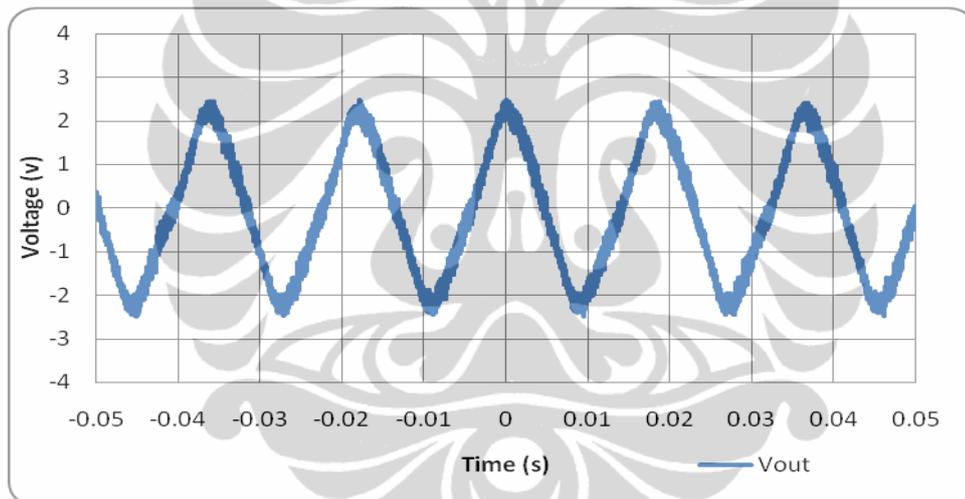
Gambar 4.42. Keluaran frekuensi inverter 30 hertz



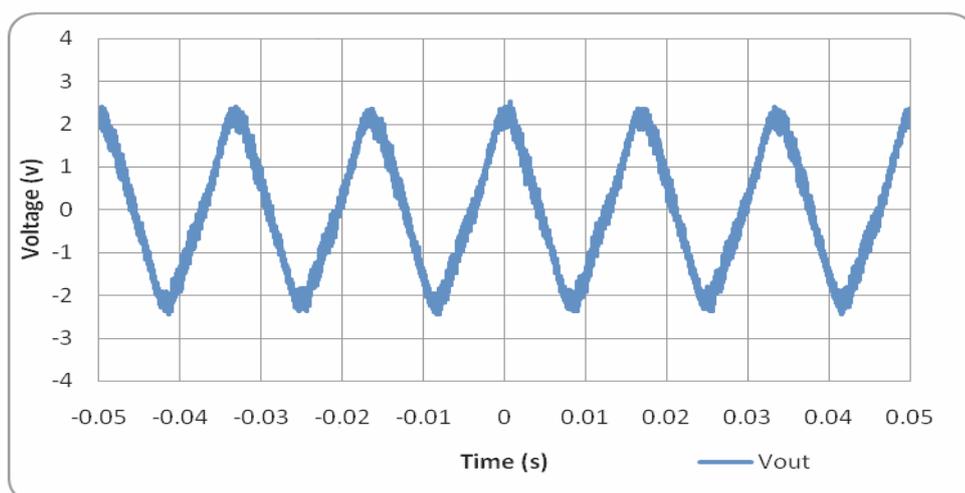
Gambar 4.43. Keluaran frekuensi inverter 40 hertz



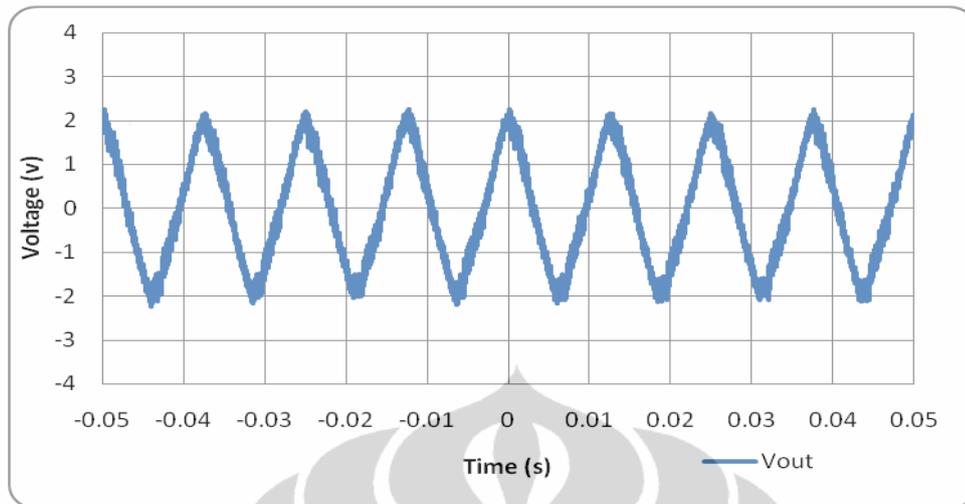
Gambar 4.44. Keluaran frekuensi inverter 50 hertz



Gambar 4.45. Keluaran frekuensi inverter 55 hertz



Gambar 4.46. Keluaran frekuensi inverter 60 hertz

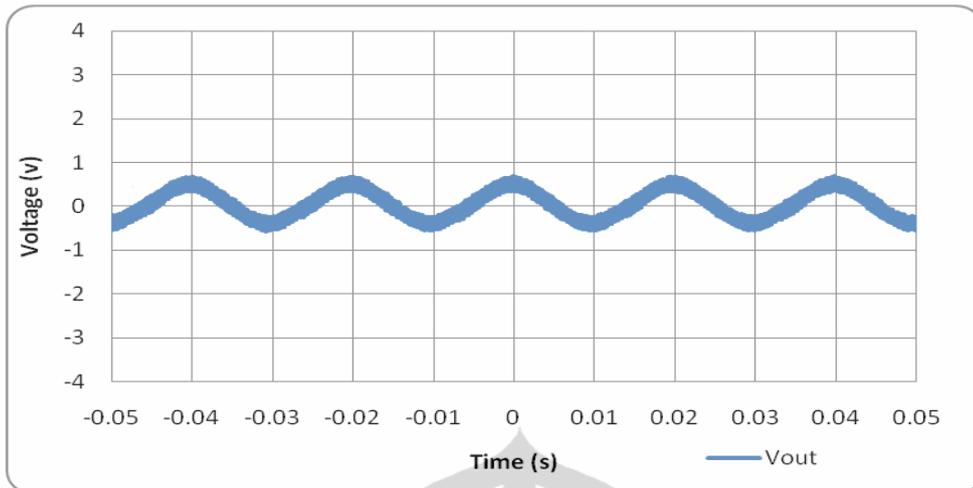


Gambar 4.47. Keluaran frekuensi inverter 80 hertz

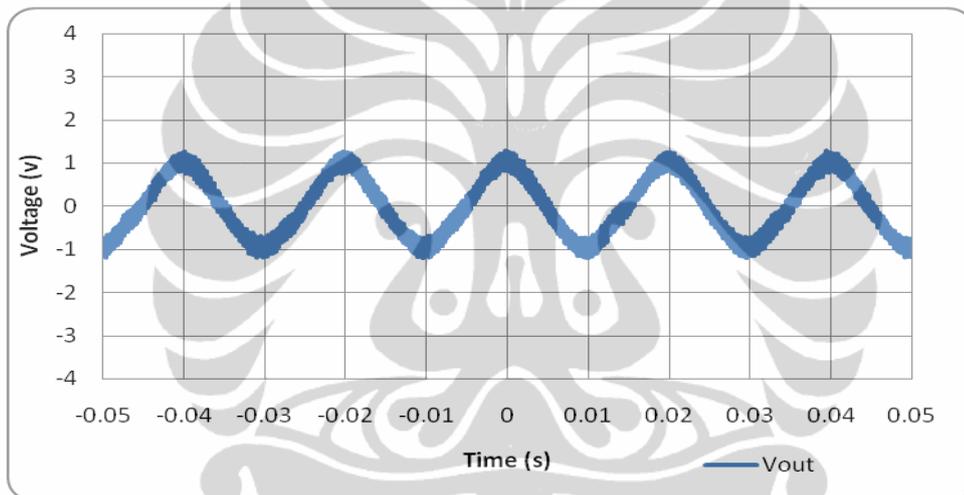
Dari Gambar (4.42 - 4.47) terlihat bahwa keluaran frekuensi inverter sama dengan frekuensi tegangan referensi. Hal ini membuktikan, jika frekuensi pada jaringan listrik turun/naik, maka keluaran frekuensi inverter juga harus dapat mengikutinya.

4.2.3 Pengujian Dengan Merubah Amplitudo Tegangan Sumber Referensi

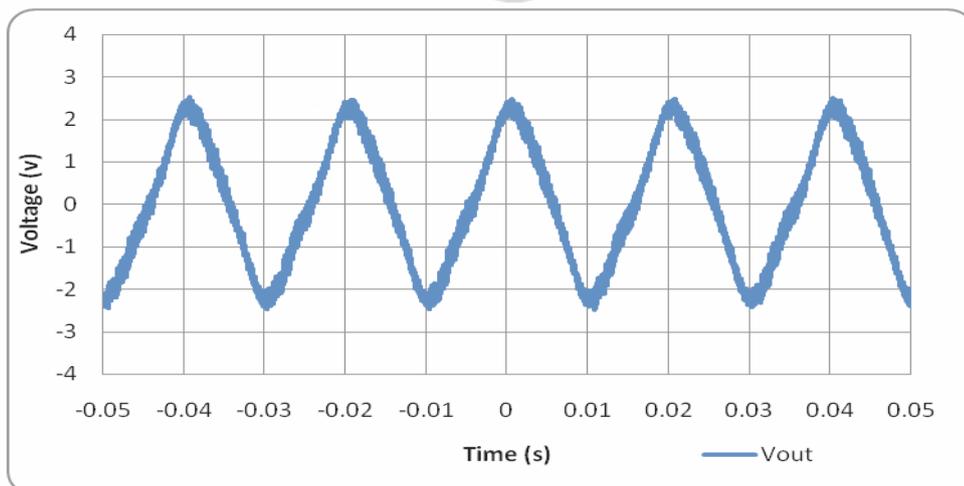
Pengujian dilakukan dengan cara memberi amplitudo tegangan sumber referensi 55 volt, 110 volt dan 220 volt dengan frekuensi 50 hertz. Pada Gambar 4.48 terlihat untuk amplitudo tegangan sumber referensi 55 volt, amplitudo sinyal keluaran inverter terbaca 1.5 kotak dan pada Gambar 4.49 terlihat untuk amplitudo tegangan sumber referensi 110 volt, amplitudo sinyal keluaran inverter terbaca 2.5 kotak atau dua kalinya dari amplitudo tegangan referensi 55 volt. Kemudian pada amplitudo tegangan referensi 220 volt (Gambar 4.50) terlihat keluaran inverter dua kalinya dari amplitudo tegangan referensi 110 volt yaitu 5 kotak.



Gambar 4.48 Keluaran inverter dengan amplitudo tegangan referensi sebesar 55 volt



Gambar 4.49. Keluaran inverter dengan amplitudo tegangan referensi sebesar 110 volt

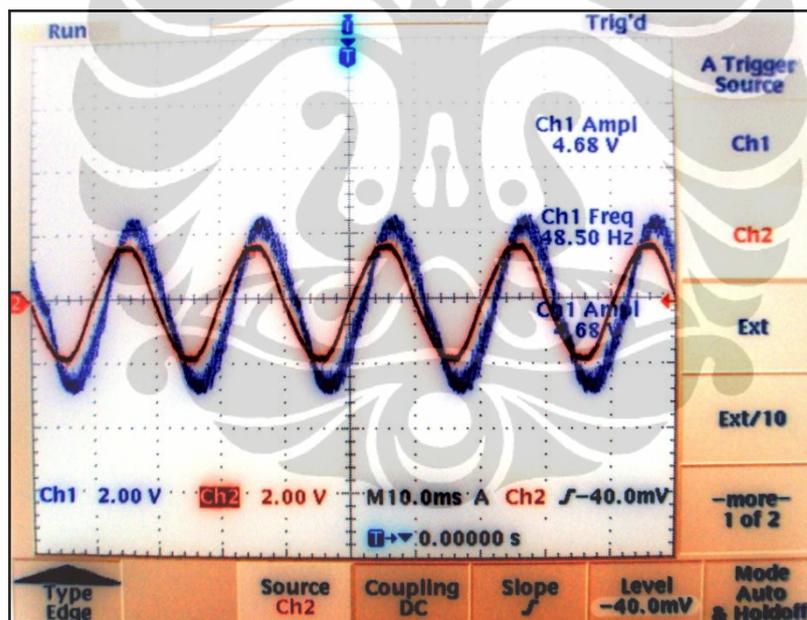


Gambar 4.50. Keluaran inverter dengan amplitudo tegangan referensi sebesar 220 volt

Dari pengujian ini, inverter berbasis digital PLL dapat mengikuti respon sumber tegangan referensi yaitu ketika tegangan sesaat pada jaringan mengalami penurunan, maka tegangan sesaat keluaran inverter mengalami penurunan, dan ketika tegangan sesaat pada jaringan mengalami kenaikan, maka tegangan sesaat keluaran inverter juga mengalami kenaikan.

4.2.4 Pengujian Fasa Tegangan *Grid* Terhadap Fasa Tegangan Keluaran Inverter.

Pengujian ini dilakukan untuk melihat pergeseran fasa antara tegangan *grid* dengan fasa keluaran tegangan inverter. Maka diperoleh hasil perbandingannya seperti yang terlihat pada Gambar 4.51.



Gambar 4.51. Pergeseran fasa tegangan *grid* dengan fasa keluaran tegangan inverter

Dari Gambar 4.50 terlihat bahwa antara tegangan *grid* dengan fasa keluaran tegangan inverter terjadi penundaan fasa (*lagging*). Hal ini terjadi karena dalam pengukuran antara tegangan *grid* dan keluaran tegangan inverter menggunakan trafo agar terjadi *floating* antara *channel1* dan *channel2*. Karena *ground oscilloscope* antara *channel1* dan *channel2* terhubung. Dimana

channel1 (sinyal warna biru) adalah sinyal tegangan keluaran inverter dan *channel2* (sinyal warna orange) adalah sinyal tegangan *grid*. Kemudian pergeseran ini juga dipengaruhi oleh pemasangan *filter* yang menggunakan komponen induktor sehingga fasa keluaran inverter tertinggal terhadap fasa tegangan referensi.



BAB 5

KESIMPULAN

Ada beberapa hal yang dapat disimpulkan dari inverter (pengubah tegangan dc ke ac) satu fasa sinkron berbasis digital *Phase Locked Loop*, diantaranya adalah.

1. Algoritma APF melakukan pergeseran fasa yang tertinggal terhadap fasa sumber referensi sebesar 90^0 , dengan persentase *error* nol persen.
2. Dengan masukan sinyal yang diubah-ubah, respon algoritma PLL masih cukup cepat. Waktu *steady state* 1.0 detik, dan memberikan respon frekuensi estimasi yang sama dengan frekuensi tegangan *grid*. Serta amplitudo estimasi PLL juga memberikan respon yang sesuai dengan amplitudo tegangan *grid*.
3. Keunggulan penggunaan IGBT dibanding BJT adalah *switching* yang lebih cepat, pendinginan yang lebih mudah, dan kapasitas daya cukup besar.
4. Pemasangan *filter* pada keluaran inverter dengan komponen induktor akan mengakibatkan fasanya bergeser.
5. Dengan menggunakan metode algoritma digital PLL sebagai pengambil data informasi vektor tegangan *grid* untuk mengontrol kerja inverter berhasil diperoleh amplitudo dan frekuensi yang sesuai dengan tegangan *grid*.

DAFTAR REFERENSI

- [1] Blaabjerg F, Teodorescu R, Liserre M, Timbus AV. Overview of Control and Grid Synchronization for Distributed Power Generation Systems. *IEEE Transactions on Industrial Electronics*. 2006; 53(5): 1398-1409.
- [2] Pavljasevic S, Dawson F. Synchronization to Disturbed Utility-Network Signals Using a Multirate Phase-Locked Loop. *IEEE Transactions on Industrial Electronics*. 2006; 53(5): 1410-1417.
- [3] Sujanarko, B. (2010). Metode Sinkronisasi Inverter Satu Fase dengan Jaringan Listrik yang Terdistorsi. *TELKOMNIKA* , 49-56.
- [4] Widodo, Prasetya. (2010).” Rancang Bangun Inverter Tiga Fasa Dengan Insulated Gate Bipolar Transistor (IGBT) Menggunakan Metode Natural PWM Berbasis Mikrokontroler AT90PWM3” (Skripsi). Program Studi Teknik Elektro Fakultas Teknik Universitas Indonesia.
- [5] Syaifudin, Yuddy. (2011).” Peningkatan Performansi Algoritma Digital Phase Locked Loop untuk Sinkronisasi Gelombang pada Sistem Grid Connected Photovoltaic” (Skripsi). Program Studi Teknik Elektro Fakultas Teknik Universitas Indonesia.
- [6] Cha, H., & Lee, S. (2008). Design and Implementation of Photovoltaic Power Conditioning System using Current based Maximum Power Point Tracking. 1-5.
- [7] Rey, A. B., Pablo, S. d., Ruiz, J., & Ruz, F. d. (2005). Two Novel Current Source Sliding Mode Control Strategies for a 3-Phase Grid-Connected Inverter. *Proceedings of the IEEE International Symposium on Industrial Electronics, 2005. (ISIE 2005). Volume: 2* , 763-767.
- [8] Langton, C. (1998). *Intuitive Guide to Principles of Communication*. Retrieved November 20, 2010, from complextoreal: <http://www.complextoreal.com>.
- [9] Mok, H. S., Choe, G. H., Kim, S. H., Lee, J. M., & Suh, I. Y. (2008). Current THD Reduction and Anti-islanding Detection in Distributed Generation with Grid Voltage Distortion. *IEEE International Conference on Sustainable Energy Technologies, 2008.(ICSET 2008)* , 990.
- [10] Syamsuddin, S., Rahim, N., Krismadinata, & Selvaraj, J. (n.d.). Implementation of TMS320F2812 in Islanding Detection for Photovoltaic Grid Connected Inverter. *International Conference for Technical Postgraduates (TECHPOS), 2009* , 1-3.

- [11] Castilla, M., Miret, J., Matas, J., Vicuña, L. G., & Guerrero, J. M. (2008). Linear Current Control Scheme With Series Resonant Harmonic Compensator for Single-Phase Grid-Connected Photovoltaic Inverters. *IEEE Transactions on Industrial Electronics* , 2724-2728.
- [12] Hart, Daniel W., *Introduction to Power Electronics International Edition*, Prentice-Hall, Inc., Upper Saddle River, NJ, 1997.



LAMPIRAN

