

**PERANCANGAN DEMODULATOR QPSK UNTUK
PERANGKAT MODEM
POWER LINE COMMUNICATION (PLC)
DENGAN MENGGUNAKAN RANGKAIAN LOGIKA**

SKRIPSI

oleh

MUHAMMAD ILHAM WIRATAMA

04 03 03 0683



**SKRIPSI INI DIAJUKAN UNTUK MELENGKAPI SEBAGIAN
PERSYARATAN SEBAGAI SARJANA TEKNIK**

**DEPARTEMEN TEKNIK ELEKTRO
FAKULTAS TEKNIK UNIVERSITAS INDONESIA
GANJIL 2007/2008**

PERNYATAAN KEASLIAN SKRIPSI

Saya menyatakan dengan sesungguhnya bahwa skripsi dengan judul :

**PERANCANGAN DEMODULATOR QPSK UNTUK PERANGKAT MODEM
POWER LINE COMMUNICATION (PLC) DENGAN MENGGUNAKAN
RANGKAIAN LOGIKA**

yang dibuat untuk melengkapi sebagian persyaratan menjadi Sarjana Teknik pada program studi Teknik Elektro Departemen Teknik Elektro Fakultas Teknik Universitas Indonesia, sejauh yang saya ketahui bukan merupakan tiruan atau duplikasi dari skripsi yang sudah dipublikasikan dan atau pernah dipakai untuk mendapatkan gelar kesarjanaan di lingkungan Universitas Indonesia maupun di Perguruan Tinggi atau Instansi manapun, kecuali bagian yang sumber informasinya dicantumkan sebagaimana mestinya.

Depok, 2 Januari 2008

Muhammad Ilham Wiratama

NPM. 0403030683

PENGESAHAN

Skripsi dengan judul:

**PERANCANGAN DEMODULATOR QPSK UNTUK PERANGKAT
MODEM *POWER LINE COMMUNICATION* (PLC) DENGAN
MENGUNAKAN RANGKAIAN LOGIKA**

di buat untuk melengkapi sebagian persyaratan menjadi Sarjana Teknik pada Program Studi Teknik Elektro Departemen Teknik Elektro Fakultas Teknik Universitas Indonesia. Skripsi ini telah diujikan pada sidang ujian skripsi pada tanggal 27 Desember 2007 dan dinyatakan memenuhi syarat/sah sebagai skripsi pada Departemen Teknik Elektro Fakultas Teknik Universitas Indonesia.

Depok, 2 Januari 2008

Dosen Pembimbing II

Dosen Pembimbing I

Dr. Ir. Arman Djohan Diponegoro, M.Eng

NIP. 131476472

Dr.Ir.Purnomo Sidi Priambodo, M.Sc

NIP. 0407050192

UCAPAN TERIMA KASIH

Penulis mengucapkan terima kasih kepada:

Dr. Ir. Purnomo Sidi Priambodo, M.Sc.

Dr. Ir. Arman Djohan Diponegoro, M.Eng.

selaku dosen pembimbing yang telah memberikan bimbingan , arahan , dan motivasi sehingga skripsi ini dapat diselesaikan dengan baik.

M. Ilham W. NPM 04 03 03 0683 Departemen Teknik Elektro	Dosen Pembimbing I. Dr. Ir. Purnomo Sidi Priambodo, M.Sc II. Dr. Ir. Arman Djohan Diponegoro, M.Eng
RANCANG BANGUN DEMODULATOR QPSK UNTUK PERANGKAT POWER LINE COMMUNICATION DENGAN MENGGUNAKAN RANGKAIAN LOGIKA	
<p>ABSTRAK</p> <p>Skripsi ini dibuat untuk merancang demodulator QPSK untuk perangkat modem <i>power line communication</i> yang disusun dari rangkaian logika dengan menggunakan simulator Multisim 10.</p> <p>Rangkaian demodulator QPSK tersebut terdiri atas beberapa modul, seperti rangkaian <i>sinusoidal to square wave</i>, <i>clock recovery</i>, <i>phase shifter</i>, <i>comparator</i>, dan <i>sampling</i>. Keseluruhan modul rangkaian tersebut disimulasikan dengan menggunakan perangkat lunak Multisim 10. Proses pertama yang dilakukan di dalam rangkaian demodulator ialah mengubah <i>modulated signal</i> QPSK analog dari <i>pre-amp receiver</i> menjadi berbentuk pulsa (<i>square wave</i>). Proses berikutnya ialah mensinkronkan <i>clock generator</i> pada bagian demodulator dengan sinkronisasi <i>clock</i> yang dikirim oleh <i>far end</i> modulator dengan menggunakan rangkaian <i>clock recovery</i>. Rangkaian dasar QPSK adalah <i>phase shifter</i>, yang berfungsi untuk membangkitkan sinyal <i>carrier</i> dan menggeser fase sinyal sebesar 90^0. <i>Modulated signal</i> QPSK tersebut dibandingkan dengan sinyal <i>carrier</i> dengan rangkaian <i>comparator</i>. Proses terakhir ialah menggabungkan sinyal dari kanal I dan Q menjadi data serial, dengan menggunakan rangkaian <i>sampling</i>.</p> <p>Selanjutnya dilakukan analisis untuk menunjukkan cara kerja dari rangkaian demodulator QPSK ini, kestabilan rangkaian, hasil keluaran dari setiap proses rangkaian, dan hasil data QPSK yang dapat didemodulasikan menjadi data awal.</p>	
Kata Kunci :Power Line Communication, QPSK, Demodulator, Rangkaian Logika	

M. Ilham W. NPM 04 03 03 0683 Electrical Department Engineering	Counsellor I. Dr. Ir. Purnomo Sidi Priambodo,M.Sc. II. Dr. Ir. Arman Djohan Diponegoro,M.Eng
QPSK DEMODULATOR DESIGN FOR <i>POWER LINE COMMUNICATION</i> (PLC) MODEM BASED ON DISCRETE DIGITAL TTL CIRCUIT.	
ABSTRACT	
<p>This paper explains the design of QPSK demodulator which is proposed for communication via power line networks. As already known that communication via power-line network needs suitable modulation, since power-line networks are very noisy and originally were not designed for communication. The QPSK modulation technique had been chosen, since it is one of the effective modulation methods to be implemented in the high noisy communication channel such as power-line networks.</p> <p>QPSK modulation is a well-known modulation technique in telecommunication field. One makes design different from existing design is the use of the electronic discrete components. In this research, it is shown that QPSK demodulator can be built up from discrete digital TTL integrated circuits which are enormously available in the market. This QPSK demodulator was designed by using simulation software called <i>Multisim 10 Simulator</i>. The QPSK demodulator consists of several blocks functions, such as sinusoidal to square-wave converter, phase shifter, clock recovery, clock generator, comparator and sampling circuit.</p> <p>This QPSK demodulator is designed to work in 250 KHz carrier frequency and having speed of about 60 kbps. Analysis has been made based on how the circuit works and comparison to the existing standard. This designed QPSK demodulator is concluded to be able to work and support for PLC system and in the future can be improved to obtain a better PLC modem performance.</p>	
Key Word : <i>Power Line Communication, QPSK, Demodulator, Logic Circuit</i>	

DAFTAR ISI

	Halaman
PERNYATAAN KEASLIAN SKRIPSI	ii
PENGESAHAN	iii
UCAPAN TERIMA KASIH	iv
ABSTRAK	v
ABSTRACT	vi
DAFTAR ISI	vii
DAFTAR GAMBAR	ix
DAFTAR TABEL	xi
DAFTAR SINGKATAN	xii
DAFTAR ISTILAH	xiii
BAB I PENDAHULUAN	1
1.1 LATAR BELAKANG	1
1.2 TUJUAN PENELITIAN	2
1.3 BATASAN MASALAH	2
1.4. SISTEMATIKA PENULISAN	2
BAB II DASAR TEORI	4
2.1 <i>POWER LINE COMMUNICATION</i> (PLC)	4
2.2 PERANGKAT PLC SECARA UMUM	6
2.3 QPSK (<i>Quadrature Phase Shift Keying</i>)	8
2.4 MODULATOR QPSK	9
2.5 DEMODULATOR QPSK	12
BAB III PERANCANGAN DEMODULATOR QPSK	14
3.1 <i>SINUSOIDAL TO SQUARE WAVE CONVERTER</i>	14
3.2 RANGKAIAN <i>PHASE SHIFTER</i>	16
3.2.1 IC 74LS163D	17
3.3 RANGKAIAN <i>CLOCK RECOVERY</i>	19
3.4 <i>CLOCK GENERATOR</i>	20
3.5 RANGKAIAN <i>COMPARATOR</i>	22
3.7.1 IC 74123N	24

3.7.2 IC74166D	25
BAB IV ANALISIS	27
4.1 ANALISIS <i>CLOCK GENERATOR</i>	27
4.2 ANALISIS PROSES <i>SINUDOIDAL TO SQUARE WAVE</i>	28
4.3 ANALISIS SINKRONISASI <i>CLOCK RECOVERY</i>	30
4.4 ANALISIS <i>COMPARATOR</i>	32
4.5 ANALISIS PROSES <i>SAMPLING</i>	34
BAB V KESIMPULAN	39
DAFTAR ACUAN	40
DAFTAR PUSTAKA	41

DAFTAR GAMBAR

	Halaman
Gambar 2.1 Jaringan sederhana PLC	5
Gambar 2.2 Konfigurasi jaringan PLC	6
Gambar 2.3 Diagram blok perangkat PLC secara umum	7
Gambar 2.4 Diagram blok perangkat PLC yang dilengkapi dengan sirkuit <i>Smart Power Factor Corrector</i> untuk meningkatkan kualitas komunikasi PLC.	8
Gambar 2.5 Diagram Konstelasi QPSK	9
Gambar 2.6 Sinyal Modulasi QPSK	9
Gambar 2.7 Diagram blok sebuah modulator QPSK	10
Gambar 2.8 Diagram Demodulator QPSK	13
Gambar 3.1 Rangkaian demodulator QPSK	15
Gambar 3.2 Rangkaian <i>sinudoidal to square wave converter</i>	16
Gambar 3.3 Rangkaian <i>phase shifter</i>	17
Gambar 3.4 Hasil sinyal <i>phase shifter</i>	17
Gambar 3.5 Skematik IC 74LS163D	18
Gambar 3.6 Rangkaian dalam IC 74LS163	18
Gambar 3.7 Rangkaian <i>clock recovery</i>	20
Gambar 3.8 IC LM555	21
Gambar 3.9 Konfigurasi IC LM555 sebagai rangkaian astabil	21
Gambar 3.10 Gambar rangkaian <i>clock generator</i>	22
Gambar 3.11 Gerbang X-OR	22
Gambar 3.12 Rangkaian <i>sampling</i>	23
Gambar 3.13 Rangkaian multivibrator monostabel	24
Gambar 3.14 Sinyal keluaran multivibrator.	25
Gambar 3.15 Rangkaian <i>paralel register</i>	26
Gambar 4.1 Sinyal hasil <i>clock generator</i> IC LM555	27
Gambar 4.2 Sinyal input 400 KHz	29
Gambar 4.3 Sinyal input 100 KHz	29
Gambar 4.4 Sinyal input 250 KHz	30

Gambar 4.5 Perbandingan sinyal <i>clock recovery</i> dengan <i>sinudoidal to squarewave</i>	31
Gambar 4.6 Hasil keluaran rangkaian <i>Clock Recovery</i>	32
Gambar 4.7 Hasil <i>comparator</i> tidak sesuai	33
Gambar 4.8 Hasil <i>comparator</i> untuk kanal I	33
Gambar 4.9 Hasil <i>comparator</i> untuk kanal Q	34
Gambar 4.10 Sinyal pensampling tidak sesuai	35
Gambar 4.11 Sinyal pensampling data 00	36
Gambar 4.12 Sinyal pensampling data 11	36
Gambar 4.13 Sinyal Pensampling data 01	37
Gambar 4.14 Sinyal Pensampling data 10	38

DAFTAR TABEL

	Halaman
Tabel 2.1 Pemetaan simbol-simbol QPSK	12
Tabel 3.1 Tabel Fungsi IC 74LS162	19
Tabel 3.2 Karakteristik gerbang X-OR	23



DAFTAR SINGKATAN

PLC *Power Line Communication*
QPSK *Quadrature Phase Shift Keying*



DAFTAR ISTILAH

Modulasi	Proses perubahan suatu gelombang periodik sehingga suatu sinyal mampu membawa suatu informasi
Demodulasi	Proses pemisahan gelombang termodulasi dengan gelombang pembawa menjadi sinyal informasi
Modulator	Alat yang melakukan modulasi
Demodulator	Alat yang melakukan demodulasi
Kanal	Saluran sinyal
<i>Carrier</i>	Sinyal pembawa
Sampling	Proses pencuplikan sinyal
Vcc	Tegangan pencatu rangkaian

BAB I

PENDAHULUAN

1.1 LATAR BELAKANG

Ketersediaan teknologi pada bidang telekomunikasi dan informasi akan mendukung perkembangan dan pertumbuhan berbagai bidang lain seperti ekonomi, politik, pertahanan keamanan, pendidikan dan sebagainya. Dengan berkembangnya jaman, kebutuhan masyarakat atas infrastruktur di bidang teknologi telekomunikasi dan informasi juga semakin bertambah. Namun perkembangan teknologi yang pesat saat sekarang ini, hanya dapat dirasakan oleh masyarakat perkotaan saja, karena hanya di perkotaanlah tersedia infrastruktur yang dibutuhkan. Sedangkan di daerah pedesaan ketidak tersediaan infrastruktur yang dibutuhkan merupakan penghambat terbesar akan perkembangan teknologi telekomunikasi di wilayah tersebut. Untuk menyediakan infrastruktur di wilayah pedesaan dibutuhkan sumber dana yang sangat besar karena luasnya wilayah. Di negara berkembang seperti Indonesia, pembangunan infrastruktur telekomunikasi di pedesaan sangat tergantung pada investor-investor yang berminat untuk menanamkan modalnya. Tentunya bagi investor hal ini tidak terlalu menarik, dikarenakan tingkat keuntungan yang sangat kecil, bahkan bisa jadi investor akan merugi bila menanamkan modalnya untuk infrastruktur telekomunikasi di pedesaan, karena taraf hidup masyarakat pedesaan yang rata-rata rendah.

Di Indonesia jaringan listrik PLN telah tersedia di pelosok-pelosok pedesaan. Dengan teknologi baru, jaringan listrik dapat dimanfaatkan sebagai solusi untuk mengatasi permasalahan tersebut. Daerah pedesaan dapat memanfaatkan infrastruktur jaringan listrik yang telah tersedia, ialah dengan menggunakan teknologi yang disebut dengan *Power Line Communication (PLC)*. Pada dasarnya PLC merupakan salah satu teknologi yang memanfaatkan jaringan listrik PLN untuk mengirimkan data. Meskipun terpencil, hampir seluruh wilayah pedesaan telah masuk jaringan listrik PLN, maka dari itu apabila informasi dapat terkirimkan melalui jaringan listrik, tidak perlu lagi membangun infrastruktur baru

untuk menerapkan teknologi informasi dan telekomunikasi di pedesaan. Dengan teknologi PLC ini, diharapkan wilayah-wilayah pedesaan dapat menikmati perkembangan teknologi telekomunikasi dan informasi tanpa memerlukan biaya dan investasi yang besar untuk membangun infrastruktur baru.

Agar masyarakat pedesaan dapat menggunakan teknologi PLC, diperlukan suatu perangkat modem yang berfungsi sebagai sarana penyambung antara sumber data dan tujuan data. Namun suatu perangkat PLC yang baik harus memiliki teknik modulasi yang sesuai agar kinerja dari perangkat sesuai dengan kebutuhan. Salah satu teknik modulasi yang dapat dipergunakan ialah QPSK. Oleh karena itu, penelitian ini difokuskan untuk merancang demodulator QPSK yang disusun atas rangkaian logika, dengan menggunakan perangkat lunak simulator Multisim 10.

1.2 TUJUAN PENELITIAN

Tujuan penulisan skripsi ini adalah membuat suatu perancangan demodulator QPSK untuk perangkat modem PLC dengan menggunakan rangkaian logika.

1.3 BATASAN MASALAH

Skripsi ini dibatasi pada simulasi perancangan demodulator QPSK yang disusun atas IC (*integrated circuit*) gerbang-gerbang logika dengan menggunakan software Multisim 10.

1.4. SISTEMATIKA PENULISAN

Sistematika pembahasan skripsi ini adalah sebagai berikut :

BAB I PENDAHULUAN

Pendahuluan terdiri atas latar belakang, tujuan penelitian, batasan masalah, dan sistematika penulisan.

BAB II DASAR TEORI

Penjelasan tentang dasar-dasar teori yang berkaitan dengan PLC. Penjelasan tentang cara kerja teori-teori modulasi QPSK beserta penjelasan mengenai demodulator QPSK.

BAB III PERANCANGAN DEMODULATOR QPSK DENGAN RANGKAIAN LOGIKA

Penjelasan tentang komponen demodulator berdasar kepada rangkaian logika.

BAB IV ANALISIS UNJUK KERJA RANGKAIAN DEMODULATOR QPSK DENGAN SOFTWARE SIMULASI MULTISIM 10.

Analisis cara kerja, kestabilan, dan hasil simulasi rangkaian demodulator QPSK.

BAB V KESIMPULAN

Berisi kesimpulan dari seluruh hasil dan analisa pada bagian sebelumnya.

BAB II DASAR TEORI

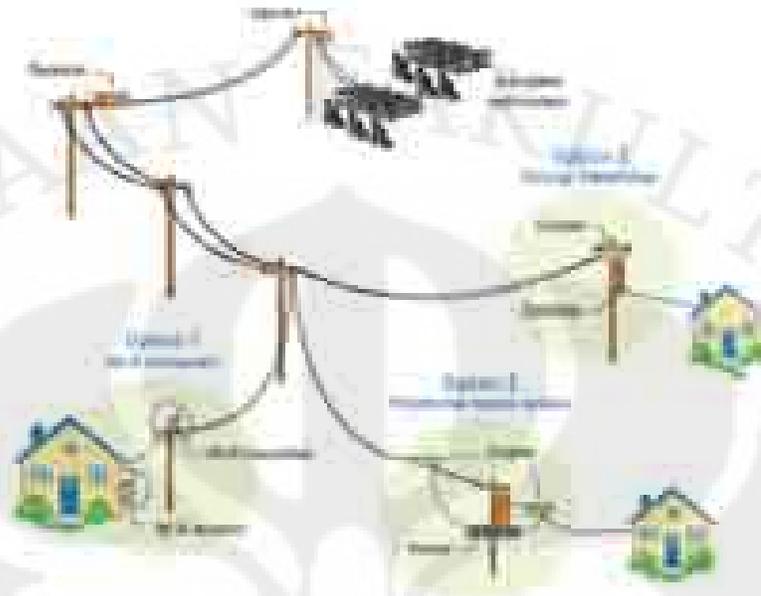
2.1 POWER LINE COMMUNICATION (PLC)

Teknologi PLC adalah teknologi yang berkerja dengan cara menumpangkan sinyal data dan suara pada jaringan listrik dengan teknik modulasi tertentu. Di Indonesia frekuensi listrik adalah 50 Hz, sedangkan sinyal data yang ditumpangkan pada jaringan listrik tersebut memiliki frekuensi yang lebih tinggi (misalnya 300 KHz) sehingga tidak terjadi kondisi saling interferensi. Jaringan PLC dapat diimplementasikan di jaringan dibawah ini gardu listrik distribusi (*distribution substation*) yang sama yang bertegangan rendah 220 volt. Selanjutnya di konsumen, listrik dan sinyal data akan dipisahkan.

Antar gardu distribusi, terhubung dengan infrastruktur komunikasi, berupa *fiber* optik, kabel coax, jaringan nirkabel, maupun jaringan satelit. *Repeater* harus dipasang setiap jarak sekitar 300 meter, untuk memperkuat dan *generate* kembali sinyal yang ditransmisikan.

Pada dasarnya PLC dikembangkan menjadi dua macam aplikasi yaitu *outdoor-PLC* yaitu PLC yang diaplikasikan untuk menghantarkan data atau suara melalui jaringan listrik yang luas dan *indoor-PLC*, yaitu PLC yang diaplikasikan untuk jaringan lokal dalam sebuah *Local Area Network* (LAN). Banyak sekali istilah yang digunakan untuk kedua aplikasi ini. *Outdoor-PLC* dikenal dengan *Access Broadband Powerline* (BPL), *PLC Access Network* atau *Digital PowerLine* (DPL), sedangkan *indoor-PLC* dikenal juga dengan *PLC Home Networking* atau *in-house PLC*.

Frekuensi data yang dikirimkan melalui kabel listrik tidak dapat menggunakan frekuensi tinggi, karena kabel listrik sangat buruk mengantarkan sinyal dengan frekuensi tinggi. Selain itu jaringan kabel listrik yang memiliki tegangan tinggi juga sangat tidak stabil dan noisy, sehingga saat ini data hanya dapat dikirimkan melalui jaringan listrik *medium-voltage* dan *low-voltage*. Sebuah jaringan PLC sederhana tampak pada Gambar 2.1.



Gambar 2.1 Jaringan sederhana PLC[1]

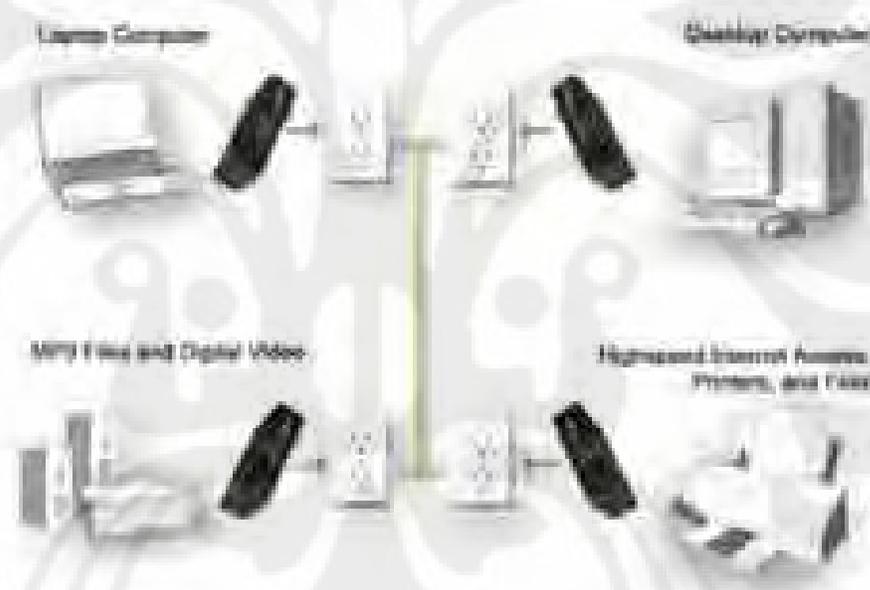
Secara umum pengiriman data dengan menggunakan sistem PLC adalah berbasis pada rangkaian kopling dan filter yang memungkinkan sinyal dapat dikirimkan melalui jaringan listrik dan sampai ke receiver tanpa terinterferensi oleh tegangan dan noise jaringan listrik tersebut. Jaringan listrik adalah jaringan yang penuh dengan noise dan pada mulanya memang tidak dirancang untuk komunikasi. Agar media jaringan listrik tersebut dapat menjadi jaringan komunikasi yang efisien, perlu pengimplementasian beberapa metoda teknik komunikasi yaitu: penggunaan sinyal *carrier*, teknik modulasi, teknik filter dan teknik kanalisasi media.

Membangun jaringan LAN dengan menggunakan PLC tidak berbeda dengan cara membangun sebuah LAN umumnya. Perbedaannya hanya terletak pada media transmisi data yang digunakan, PLC menggunakan kabel listrik sedangkan LAN umum menggunakan kabel UTP, Fiber atau Coaxial. Peralatan pendukung sebuah LAN seperti Hub atau Switch, juga ada di dalam LAN yang menggunakan teknologi PLC.

Keuntungan menggunakan teknologi PLC pada sebuah jaringan Local Area Network adalah :

1. Kebebasan untuk menentukan posisi peletakan Host tanpa harus menggelar kabel jaringan komputer yang baru.
2. Dapat membangun suatu jaringan komputer dengan menggunakan instalasi kabel listrik yang sudah dibangun sebelumnya dengan hanya menyambungkan PLC port komputer ke saluran listrik.
3. Apabila jaringan komputer sudah terbentuk, maka memungkinkan untuk melakukan sharing files antar komputer, printer atau bahkan mengakses Internet.

Contoh konfigurasi LAN dengan menggunakan *PowerLine PC*:

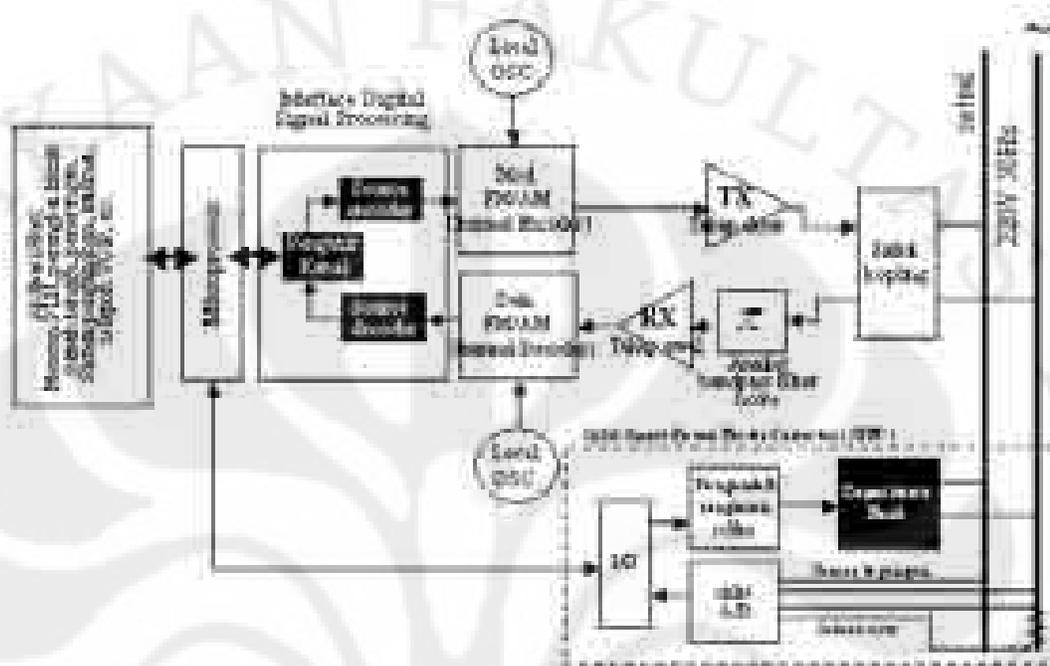


Gambar 2.2 Konfigurasi jaringan PLC [2]

2.2 PERANGKAT PLC SECARA UMUM

Perangkat PLC seperti perangkat modem yang berfungsi untuk menghubungkan terminal pengguna dengan media komunikasi yang berupa jaringan listrik di rumah. User terminal sendiri dapat berupa: (1) perangkat komputer untuk komunikasi internet, (2) pesawat telepon, (3) piranti pengukuran, sensor dan transduser misalnya pendeteksi temperatur, pengukur beban listrik, saklar penerangan, pengatur kebutuhan air dll, (4) kamera video untuk sistem

Factor Corrector” (SPFC). Rencana konfigurasi blok fungsi dalam sistem PLC yang mengintegrasikan fungsi SPFS tersebut terlihat pada Gambar 2.4.



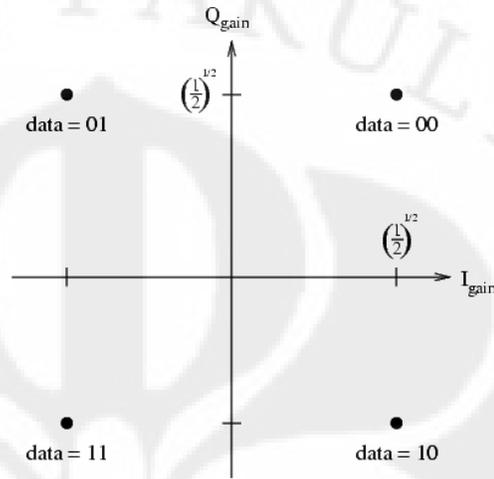
Gambar 2.4 Diagram blok perangkat PLC yang dilengkapi dengan sirkuit *Smart Power Factor Corrector* untuk meningkatkan kualitas komunikasi PLC.[3]

2.3 QPSK (*Quadrature Phase Shift Keying*)

Phase Shift Keying merupakan suatu teknik modulasi yang menggunakan metode pergeseran fasa untuk memisahkan antara bit-bit data sinyal yang dikirimkan, hal ini dilakukan untuk memperoleh bit rate yang lebih tinggi dibandingkan dengan metode modulasi sebelumnya. QPSK merupakan teknik modulasi lanjutan dari BPSK (Binary PSK) atau PSK konvensional.

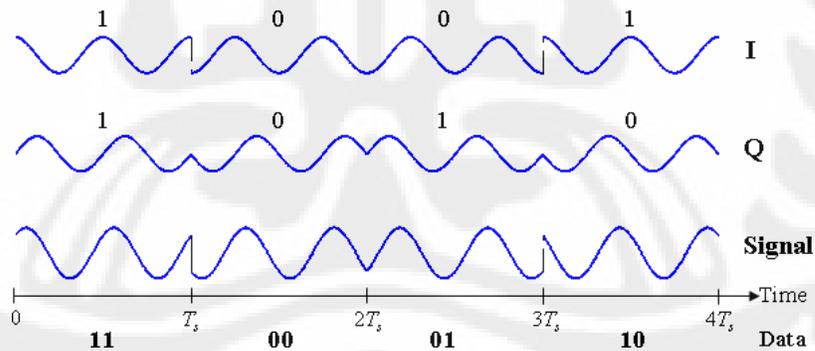
Pada QPSK, data dikelompokkan menjadi dua bit sekaligus, setiap kelompok data memiliki perbedaan fasa sebesar 90° . Dengan demikian bit ratenya lebih cepat dua kali dibandingkan dengan BPSK. Kelompok data dipetakan dalam konstelasi quadran QPSK seperti terlihat pada Gambar 2.5.

Pada diagram konstelasi QPSK terlihat bahwa setiap bit-bit data dari sinyal yang dimodulasikan memiliki perbedaan fasa $\pi/2$. Untuk nilai biner '00' memiliki fasa $\pi/4$, '01' memiliki fasa $3\pi/4$, '11' memiliki fasa $5\pi/4$, dan '10' memiliki fasa $7\pi/4$.



Gambar 2.5 Diagram Konstelasi QPSK[4]

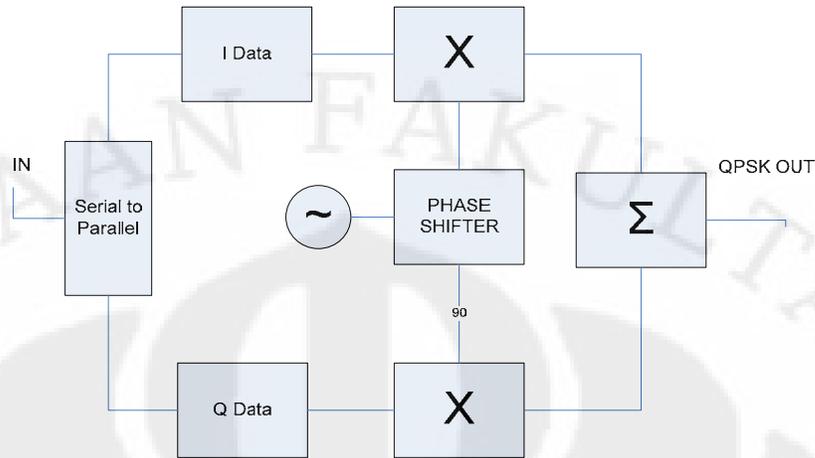
Contoh modulasi sinyal dapat dilihat pada Gambar 2.6. Terdapat 2 sinyal untuk kanal I dan Q, dan menghasilkan sinyal QPSK dari gabungan sinyal-sinyal kanal I dan Q.



Gambar 2.6 Sinyal Modulasi QPSK[4]

2.4 MODULATOR QPSK

Modulator atau pengirim dengan modulasi QPSK bekerja dengan cara membagi sinyal informasi menjadi dua kanal yang berbeda fasa sebesar 90° , kanal tersebut dimisalkan dengan kanal I dan Q. Blok diagram dari rangkaian modulator QPSK tampak pada Gambar 2.7 dibawah ini.



Gambar 2.7 Diagram blok sebuah modulator QPSK

Gambar 2.7 adalah sebuah blok diagram sederhana dari rangkaian sebuah modulator QPSK. Proses kerja blok diagram di atas adalah sebagai berikut: data input dimasukkan secara serial kedalam sebuah demultiplexer serial to parallel yang akan membagi data masukan menjadi dua buah kanal data I dan Q secara bergantian. Setiap pasangan data kemudian akan dimodulasikan dengan sinyal carrier yang berbentuk *sinusoidal*. Kemudian untuk kanal I tidak dilakukan pergeseran, sedangkan untuk kanal Q dilakukan pergeseran fasa sebesar 90^0 dengan cara memodulasi sinyal tersebut dengan sinyal carier yang telah tergeser 90^0 . Hasil dari modulasi ini kemudian disatukan dengan linier summer, dan jadilah keluaran QPSK yang siap untuk ditransmisikan. Penurunan persamaan umum QPSK adalah sebagai berikut :

Karena $\sin\theta$ dan $\cos\theta$ berbeda 90^0 maka diketahui persamaan basis untuk I dan Q adalah[4] :

$$\delta(t)_1 = \cos\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots(2.1)$$

$$\delta(t)_2 = \sin\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots(2.2)$$

Kemudian persamaan untuk kanal I dan Q adalah :

$$I = A \cos(2\pi f_c t) \dots\dots\dots(2.3)$$

$$Q = A \sin(2\pi f_c t) \dots\dots\dots(2.4)$$

Kedua persamaan ini masing-masing dikalikan sehingga didapatkan persamaan :

$$I = A \cos(2\pi f_c t) \cos\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots(2.5)$$

$$Q = A \sin(2\pi f_c t) \sin\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots(2.6)$$

Kedua sinyal ini gabungkan dengan menggunakan *linear summer*, kemudian dihasilkan persamaan [4] :

$$s_i(t) = A \cos(2\pi f_c t) \cos\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) - A \sin(2\pi f_c t) \sin\left(\frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots(2.7)$$

Dengan menerapkan identitas trigonometri

$$\cos(A + B) = \cos A \cos B - \sin A \sin B \dots\dots\dots(2.8)$$

Maka didapatkan :

$$s_i(t) = A \cos\left(2\pi f_c t + \frac{1}{2}\pi i + \frac{1}{4}\pi\right) ; i = 0,1,2,3 \dots\dots\dots(2.9)$$

A adalah amplitude dari sinyal keluaran, amplitude ini ditentukan oleh kuatnya energi yang dikirimkan sesuai dengan persamaan :

$$E = \frac{A^2 T}{2} \dots\dots\dots(2.10)$$

$$A = \sqrt{\frac{2E}{T}} \dots\dots\dots(2.11)$$

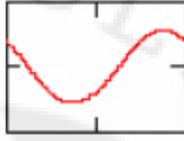
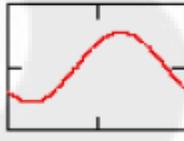
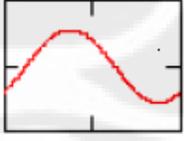
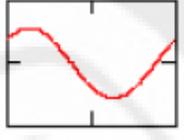
Sehingga didapatkan persamaan umum untuk QPSK adalah :

$$s_i(t) = \sqrt{\frac{2E}{T}} \cos\left(2\pi f_c t + \frac{1}{2}\pi i + \frac{1}{4}\pi\right) \dots\dots\dots(2.12)$$

Tabel dibawah ini menunjukkan pemetaan untuk setiap simbol pada QPSK, nilai I dan Q didapatkan dengan memasukkan nilai $f_c=0$ dan

$$A = \sqrt{\frac{2E}{T}} = \sqrt{2}.$$

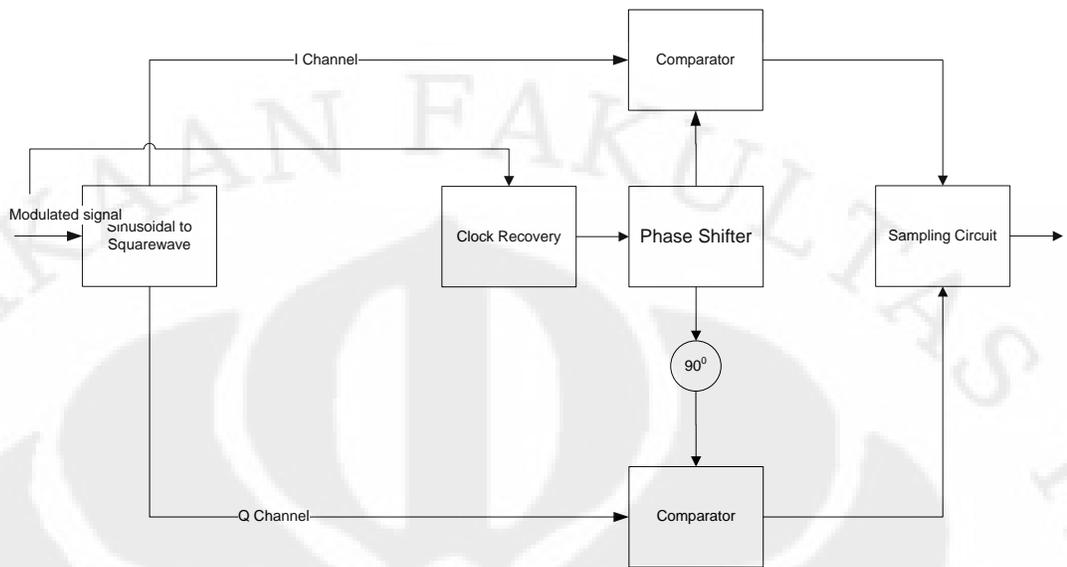
Tabel II.1 Pemetaan simbol-simbol QPSK[4]

Simbol	Bit	S(t)	Fase ($^{\circ}$)	Sinyal	I	Q
S0	00	$s_i(t) = A \cos(2\pi f_c t + \frac{1}{4}\pi)$	45		1	1
S1	01	$s_i(t) = A \cos(2\pi f_c t + \frac{3}{4}\pi)$	135		-1	1
S2	11	$s_i(t) = A \cos(2\pi f_c t + \frac{5}{4}\pi)$	225		-1	-1
S3	10	$s_i(t) = A \cos(2\pi f_c t + \frac{7}{4}\pi)$	315		1	-1

2.5 DEMODULATOR QPSK

Demodulator QPSK yang dirancang dalam penelitian ini menggunakan teknik koheren. Demodulator QPSK dengan metode koheren ini memerlukan sinkronisasi dalam tahap dimulainya *clock generator*. Proses *recovery* dari sinyal-sinyal yang termodulasi kembali menjadi sinyal-sinyal informasi semula tampak pada blok diagram pada Gambar 2.8.

Sinyal yang masuk ke rangkaian adalah sinyal modulasi QPSK dari *pre-amp receiver*. Kemudian sinyal diubah menjadi sinyal biner dengan menggunakan *sinusoidal to square wave converter*. Untuk mensinkronisasi *clock* yang ada di modulator dan demodulator, *modulated signal* QPSK masuk ke rangkaian *clock recovery*. Sinyal QPSK ini dirubah menjadi sinyal pensikron dengan multivibrator, kemudian sinyal pensikron ini menjadi input VCC pada *clock generator* di bagian demodulator. Selanjutnya *clock* yang dihasilkan menjadi masukkan untuk rangkaian *phase shifter*.



Gambar 2.8 Diagram Demodulator QPSK

Rangkaian *phase shifter* berfungsi untuk membangkitkan sinyal *carrier* untuk kanal I dan Q. Selanjutnya untuk mendapatkan sinyal informasi untuk setiap kanal, maka sinyal QPSK yang diterima dibandingkan dengan sinyal *carrier* pada kanal I dan Q. Lalu kedua sinyal informasi pada kanal I dan Q tersebut akan digabungkan menjadi sinyal serial dengan menggunakan rangkaian sampling.

BAB III

PERANCANGAN DEMODULATOR QPSK

Dalam penelitian ini penulis menggunakan program simulasi yang disebut dengan software NI Multisim Education Edition versi 10 diatas sistem operasi Windows XP. Software tersebut digunakan untuk menguji cara kerja rangkaian secara *virtual*. Rangkaian keseluruhan dari demodulator QPSK terdapat pada Gambar 3.1. Secara garis besar rangkaian demodulator tersebut terdiri atas rangkaian *converter* sinyal *sinusoidal* ke *square wave*, *phase shifter*, *clock recovery*, *clock generator*, dan *comparator* serta *sampling*. Sub-sub bab berikut akan meguraikan cara kerja masing-masing rangkaian dalam demodulator tersebut

3.1 SINUSOIDAL TO SQUARE WAVE CONVERTER

Rangkaian *sinusoidal to square wave* merupakan rangkaian yang berfungsi untuk mengubah sinyal *sinusoidal* (sinyal sinus) menjadi sinyal *square wave* (digital/biner). Perubahan sinyal *sinusoidal* menjadi sinyal biner diperlukan karena rangkain demodulator secara keseluruhan menggunakan gerbang logika, selain itu proses demodulasi dapat lebih stabil dengan menggunakan data biner. Rangkaian ini memliki komponen resitor, induktor dan kapasitor seperti Gambar 3.2.

Nilai dari R3, C2 dan L1 harus memenuhi persamaan[5]:

$$I = V_{in} / R_3 \dots\dots\dots(3.1)$$

$$L = 5 / (6,28 \times F \times I) \dots\dots\dots(3.2)$$

$$X_L = X_C \dots\dots\dots(3.3)$$

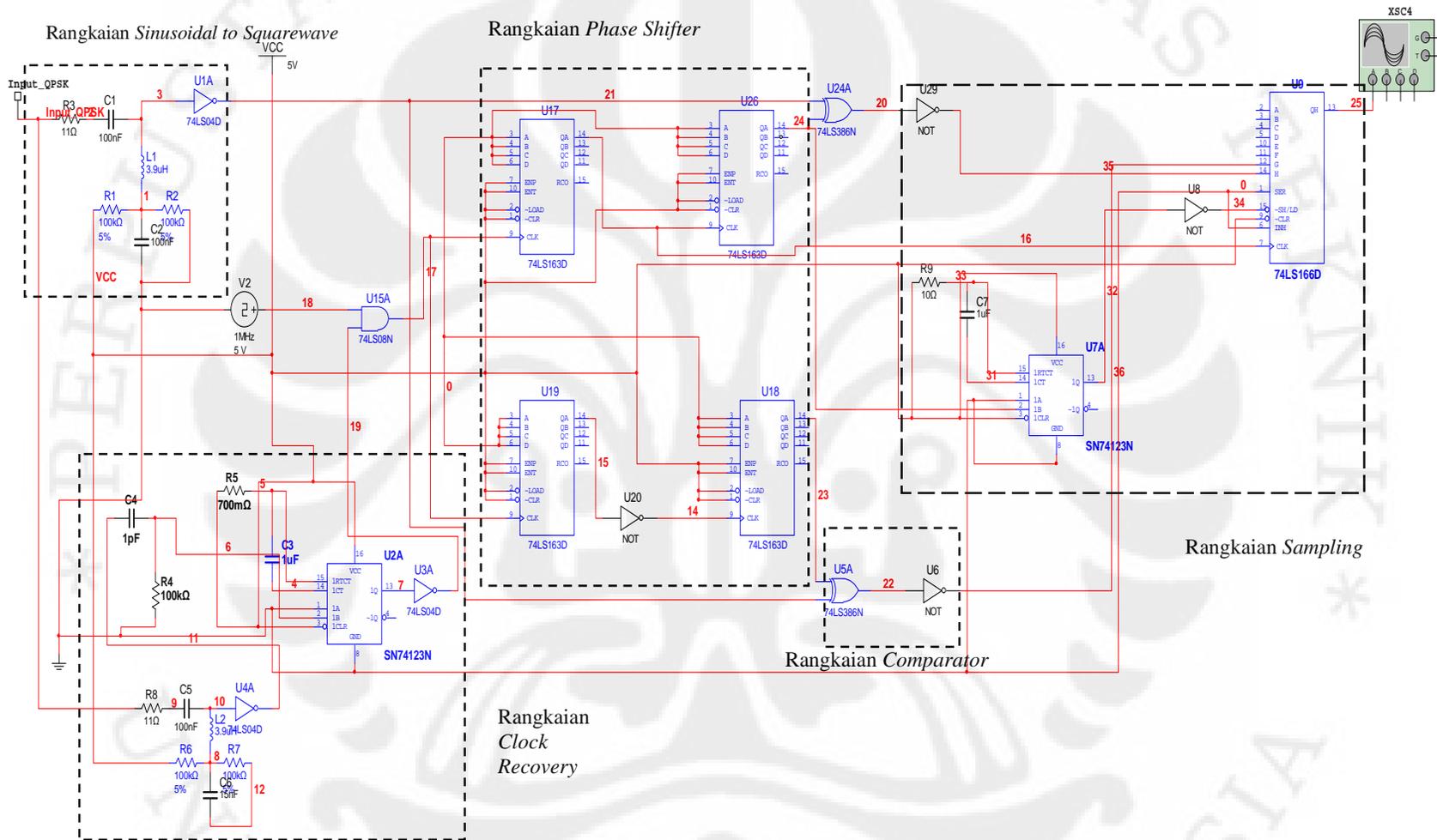
Dimana,

V_{in} : tegangan sinyal masukan

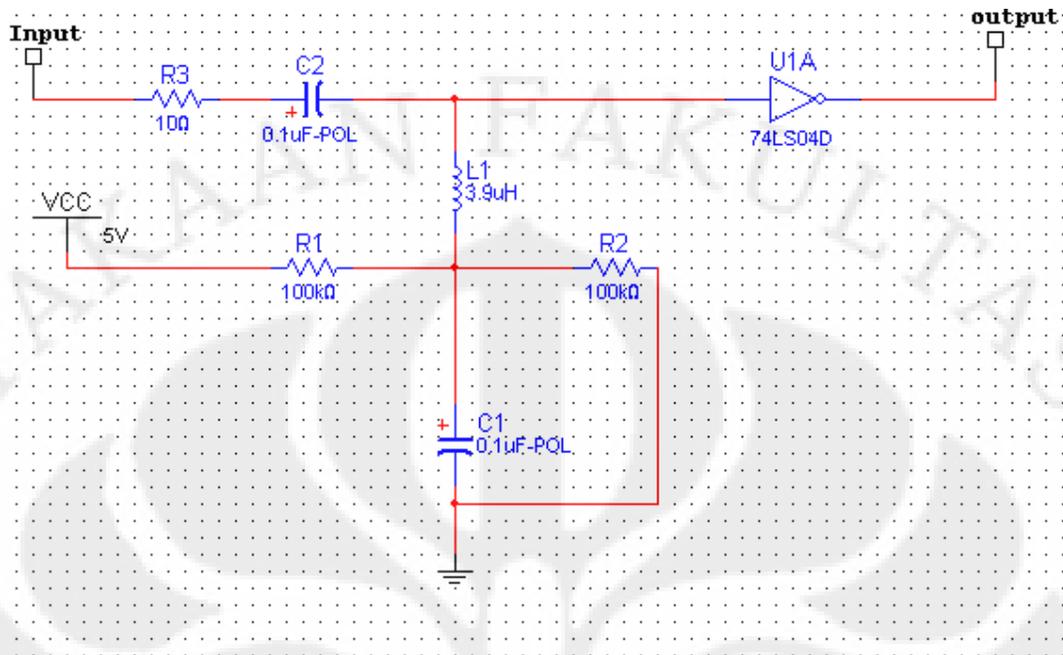
F : frekuensi sinyal masukan

X_L : Induktansi

X_C : Kapasitansi



Gambar 3.1 Rangkaian demodulator QPSK

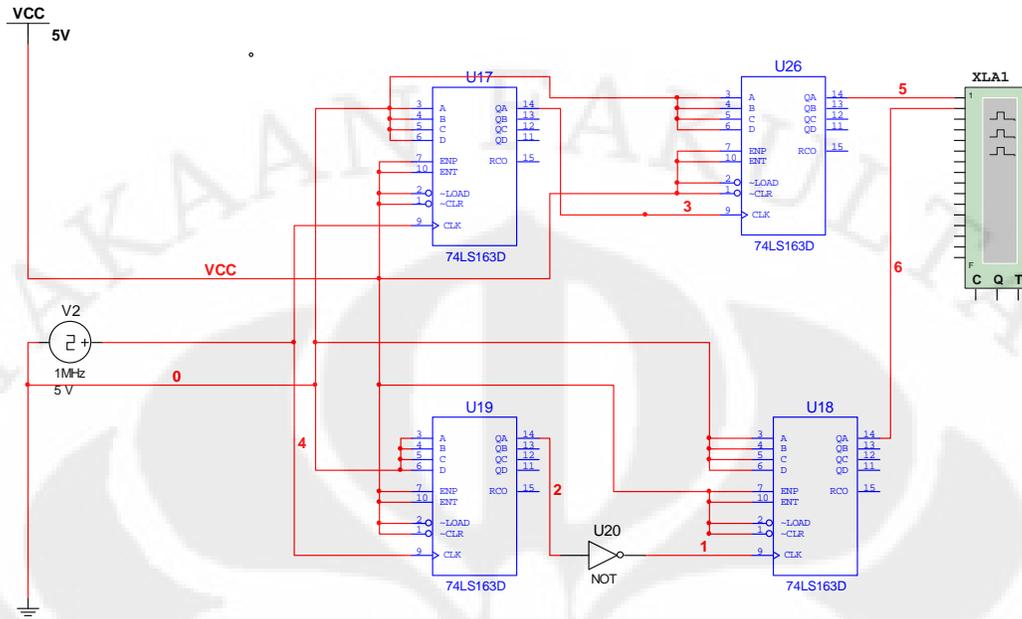


Gambar 3.2 Rangkaian *sinusoidal to square wave converter*

Didalam simulasi ini sinyal sinusoidal yang diterima memiliki frekuensi 250 KHz dengan tegangan rata-rata 8 V. Sinyal yang dihasilkan berupa sinyal biner dengan frekuensi 250 KHz.

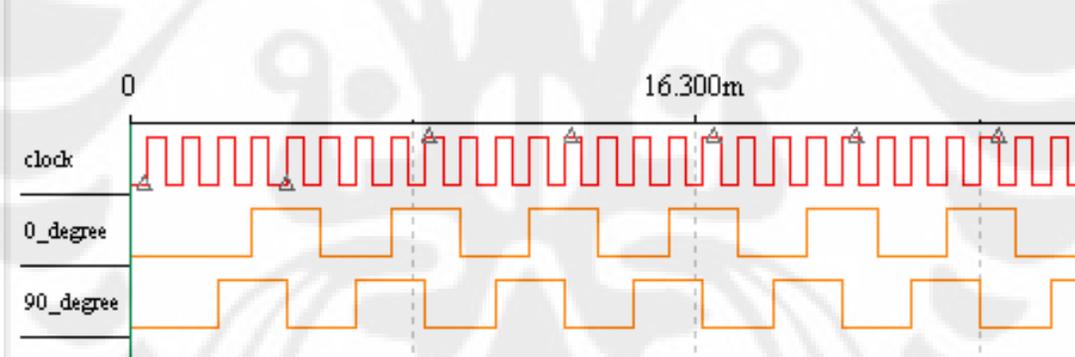
3.2 RANGKAIAN *PHASE SHIFTER*

Rangkaian phase shifter berfungsi untuk menggeser fasa sinyal sesuai yang diinginkan. Dalam penelitian ini, kanal I tidak dilakukan penggeseran, sedangkan untuk kanal Q dilakukan penggeseran sebesar 90^0 . Rangkaian terdiri dari 4 buah IC 74LS163 yang berfungsi sebagai counter, dan sebuah inverter. Cara kerja rangkaian ini dengan menurunkan frekuensi *clock* input sebesar 1 MHz menjadi $\frac{1}{4}$ kalinya, hal ini dapat terjadi karena counter pertama berfungsi untuk menurunkan *clock* input menjadi $\frac{1}{2}$ kali, sedangkan pada rangkaian menggunakan 2 counter untuk setiap kanal. Fungsi gerbang inverter pada kanal Q yang dipergunakan setelah counter pertama ialah untuk menghasilkan pergeseran fasa sebesar 90^0 . Gambar 3.3 merupakan diagram lengkap rangkaian *phase shifter*.



Gambar 3.3 Rangkaian *phase shifter*

Dari rangkaian diatas dihasilkan sinyal penggeser fasa dengan frekuensi $\frac{1}{4}$ kali *clock* input, Gambar 3.4 merupakan hasil dari analyser:



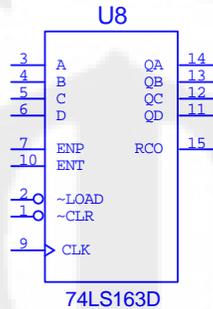
Gambar 3.4 Hasil sinyal *phase shifter*

Dapat terlihat diatas bahwa frekuensi untuk kanal I dan Q menjadi $\frac{1}{4}$ kali *clock*, dan terjadi pergeseran fasa sebesar 90° .

3.2.1 IC 74LS163D

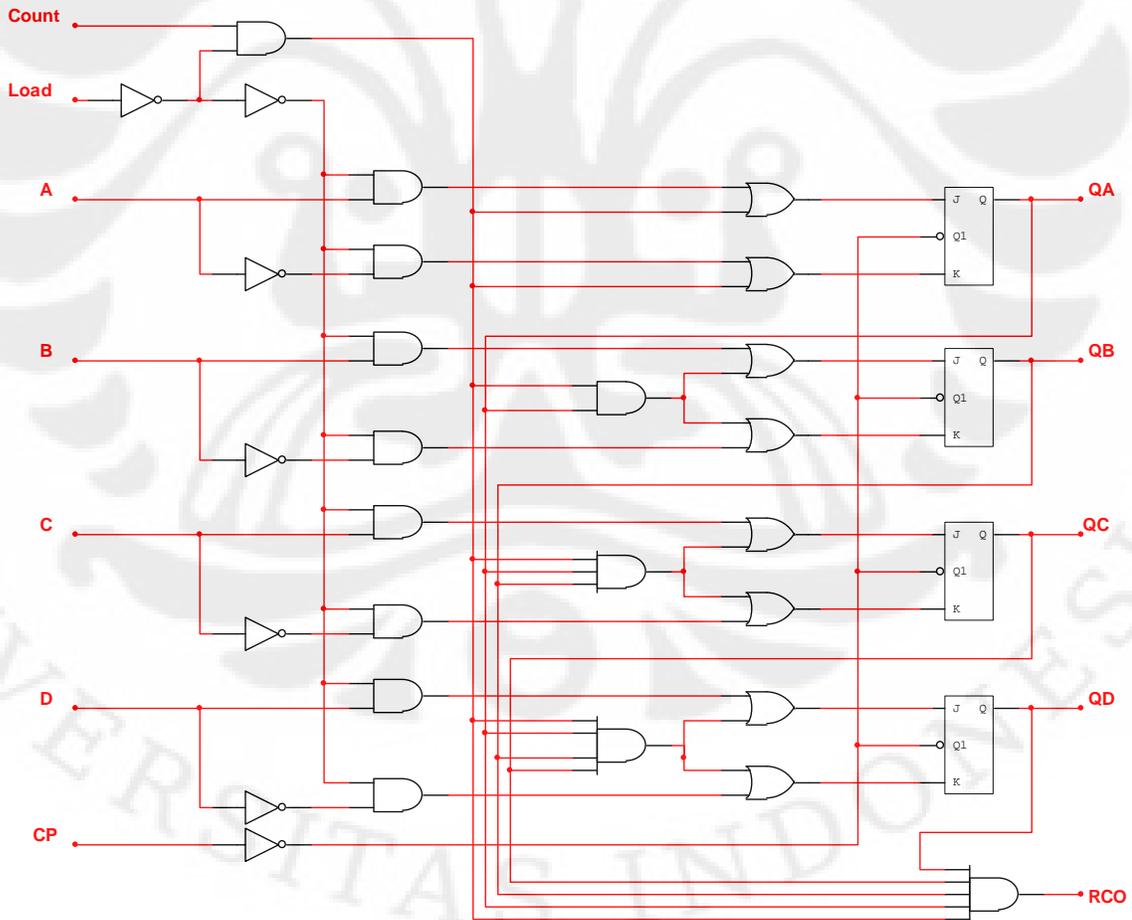
IC 74LS163D yang dipergunakan pada rangkaian ini merupakan IC Counter atau pencacah biner sebesar 4 bit. Cara kerja IC ini ialah menghitung secara biner dari 0000 hingga 1111 kemudian kembali lagi ke 0000. Gambar skematik IC ini terlihat pada Gambar 3.5. Kaki-kaki IC ini berjumlah 16 buah, kaki 3-6 dihubungkan dengan ground, kaki 7, 10, 9, dan 1 dihubungkan dengan vcc. Input

berupa sinyal *clock* dengan frekuensi tertentu. Output berada pada kaki 11-14. Kaki 8 dan 16 adalah kaki-kaki *power* untuk VCC dan Ground sehingga tidak tampak pada skematik.



Gambar 3.5 Skematik IC 74LS163D

Rangkaian yang terdapat dalam IC ini merupakan rangkaian dari gerbang logika sederhana, rangkaian ini menggunakan gerbang and, or, inverter dan JK flip flop. Gambar 3.6 merupakan rangkaian IC 74LS163D:



Gambar 3.6 Rangkaian dalam IC 74LS163[6]

Kaki nomor 3, 4, 5, dan 6 adalah kaki input awal untuk menentukan nilai awal penghitungan. Kaki nomor 7 dan 10 adalah kaki Enable P dan T. Kaki nomor 9 adalah kaki \sim LOAD, kaki nomor 1 adalah \sim CLR, kaki nomor 11, 12, 13, 14 adalah kaki output perhitungan, dan RCO (Ripple Carry Output) adalah kaki untuk menandakan akhir perhitungan. Untuk menjelaskan secara detil masing-masing kaki dapat dilihat pada Tabel III.1.

Tabel III.1 Tabel Fungsi IC 74LS162[6]

INPUT						OUTPUT		MODE
\sim CLR	CLK	ENP	ENT	\sim LOAD	A-B-C-D	QN	RCO	
L	\uparrow	X	X	X	X	0	0	Reset
H	\uparrow	X	X	L	M	M	(1)	Parallel Load
H	\uparrow	H	H	H	X	C	(1)	Count
H	\uparrow	L	X	H	X	q	(1)	Hold
H	\uparrow	X	L	H	X	q	0	Hold

Keterangan :

L = Low state condition (0)

H = High state condition (1)

\uparrow = Low to High Transition

X = Don't Care

M = Variable

C = Count

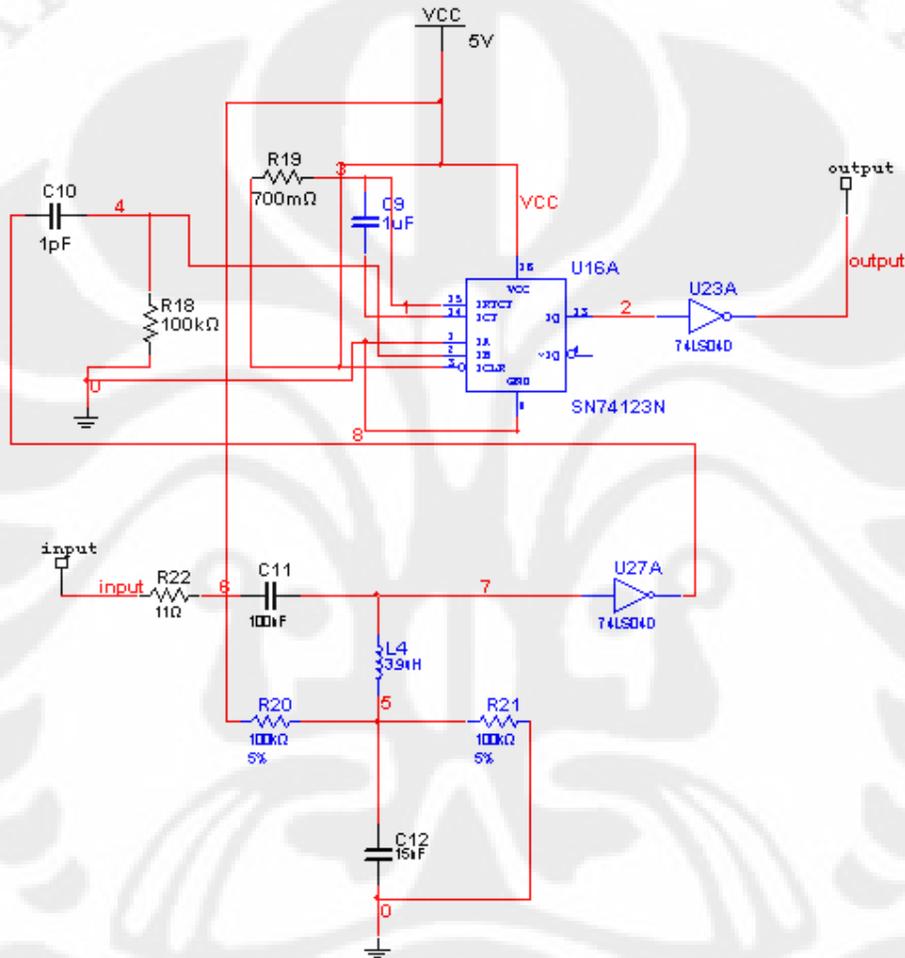
q = Present State (tidak berubah dari kondisi semula)

(1) = High saat counter mencapai akhir perhitungan (QN = HHHH)

3.3 RANGKAIAN CLOCK RECOVERY

Rangkain ini dipergunakan untuk mensinkronkan waktu aktif *clock generator* pada bagian demodulator dengan *far-end* modulator dengan. Rangkaian ini hanya terdiri dari rangkaian *sinusoidal to square wave* dengan pergeseran hasil keluaran dan multivibrator (IC74123N). Input yang digunakan ialah modulated sinyal QPSK, sinyal ini diubah menjadi sinyal pulsa dan kemudian digeser. Sinyal pulsa ini

menjadi input untuk multivibrator, kemudian pada multivibrator dihasilkan sinyal pensinkron dengan mengatur nilai R dan C. Hasil keluaran dari multivibrator akan menjadi inputan vcc (tegangan pencatu) pada *clock generator* bagian demodulator. Keluaran berupa vcc ini yang akan mengaktifkan *clock generator*. Berikut rangkaian *clock recovery* pada Gambar 3.7.



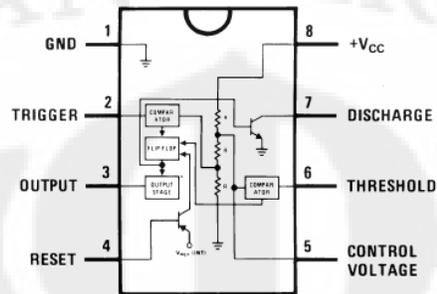
Gambar 3.7 Rangkaian *clock recovery*

3.4 CLOCK GENERATOR

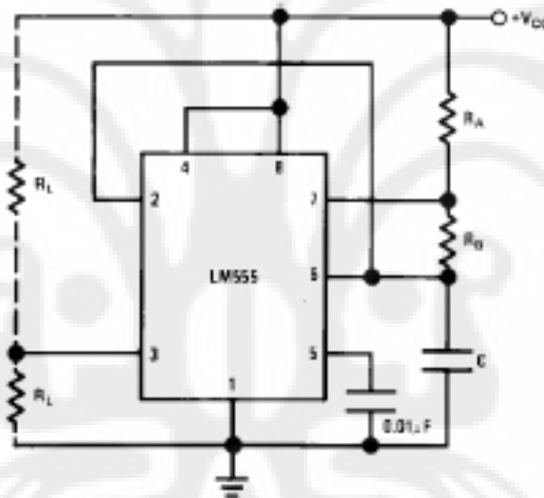
Rangkaian demodulator QPSK membutuhkan pulsa *square wave* untuk melakukan proses demodulasi terhadap sinyal data termodulasi yang diterima. Pada penelitian kali ini digunakan IC LM555 seperti yang terlihat pada Gambar 3.8.

IC ini dapat disusun menjadi dua jenis rangkaian yaitu rangkaian monostabil dan rangkaian astabil. Rangkaian monostabil adalah rangkaian yang membutuhkan trigger eksternal untuk membangkitkan pulsa. Sedangkan Rangkaian astabil adalah

rangkaian multivibrator yang dapat menghasilkan trigger internal yang kemudian digunakan untuk menghasilkan pulsa.



Gambar 3.8 IC LM555[7]



Gambar 3.9 Konfigurasi IC LM555 sebagai rangkaian astabil [7]

Rangkaian astabil memiliki formula khusus untuk menghasilkan bentuk pulsa yang diinginkan[7].

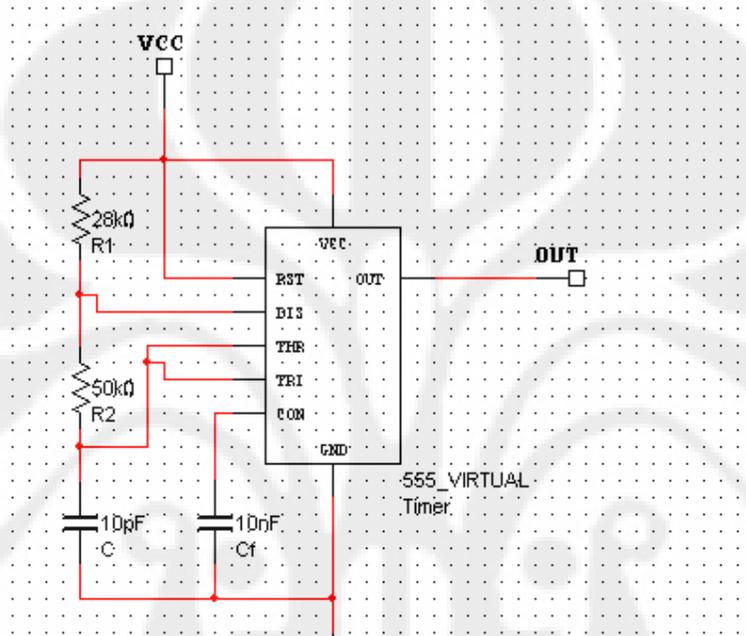
$$f = \frac{1.44}{(R_A + 2R_B)C} \dots\dots\dots(3.4)$$

dan *duty cycle* ditentukan dengan rumus

$$D = \frac{R_B}{R_A + 2R_B} \dots\dots\dots(3.5)$$

Duty cycle adalah perbandingan waktu lamanya kondisi *high* dan kondisi *low* pada output IC. Untuk mendapatkan pulsa yang memiliki waktu *high* dan *low* sama, maka nilai *duty cycle* sebesar 0.5.

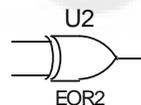
Pada penelitian ini dipergunakan rangkaian multivibrator astabil, dengan rangkaian pada Gambar 3.10.



Gambar 3.10 Gambar rangkaian *clock generator*

3.5 RANGKAIAN COMPARATOR

Rangkaian *comparator* berfungsi untuk membandingkan fase sinyal yang diterima dengan sinyal *carrier* yang dihasilkan pada rangkaian *phase shifter*. Rangkaian *comparator* yang digunakan hanya terdiri dari gerbang X-OR (*exclusive OR*). Gambar 3.11 adalah diagram dari gerbang tersebut:



Gambar 3.11 Gerbang X-OR

Berikut adalah karakteristik dari gerbang X-OR pada Tabel III.2.

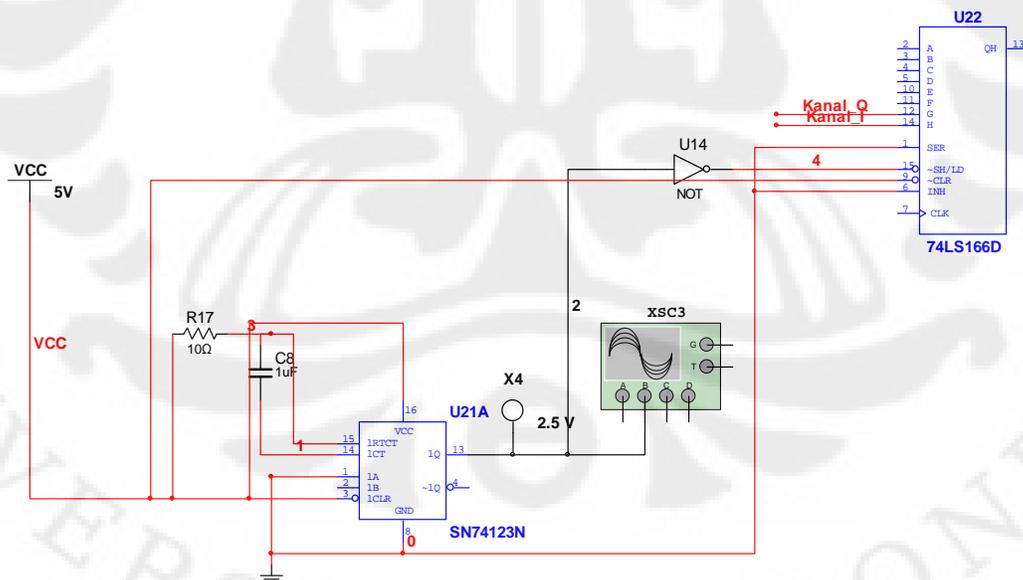
Tabel III.2 Karakteristik gerbang X-OR [6]

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	0

proses perbandingan ini dilakukan pada kanal I dan Q, dan hasil perbandingan tersebut akan disatukan menjadi sinyal sebelum termodulasi dengan menggunakan rangkaian sampling.

3.6 RANGKAIAN SAMPLING

Rangkaian sampling berfungsi untuk menggabungkan data dari kanal I dan Q, sehingga menjadi *recovered signal* asli. Rangkaian ini terdiri dari multivibrator IC 74123N, yang berfungsi untuk menghasilkan sinyal pensampling. Dan 8 bit *shift register* IC 74LS166D, yang berfungsi sebagai paralel register namun yang dipergunakan dalam perancangan ini hanya 2 bit saja. Gambar 3.12 merupakan rangkaian *sampling* yang digunakan.



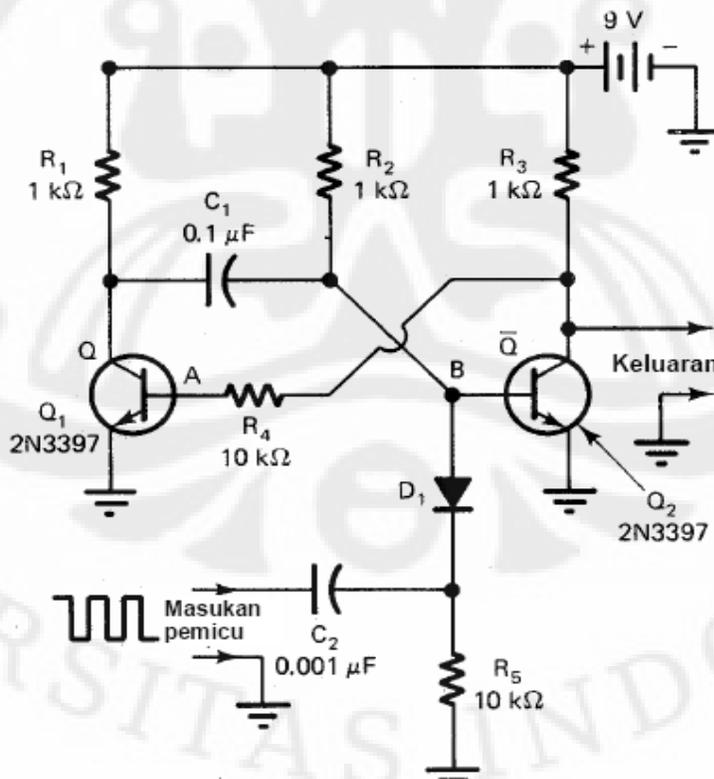
Gambar 3.12 Rangkaian *sampling*

Sinyal pensampling yang dihasilkan multivibrator kemudian menjadi masukan untuk *shift register*, sinyal ini menentukan periode *register* melakukan

penyimpanan bit data dan pergeseran bit data. Sedangkan untuk kaki 12 adalah masukan dari kanal I dan kaki 14 adalah masukan dari kanal Q. Kaki ke 13 merupakan hasil keluaran register berupa sinyal sebelum termodulasi.

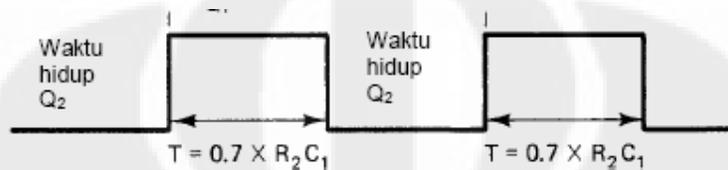
3.7.1 IC 74123N

IC 74123N merupakan IC multivibrator monostabel. Monostable multivibrator memiliki satu kondisi stabil sehingga dapat juga disebut sebagai multivibrator *one-shot*. Saat osilator terpicu untuk berubah ke suatu kondisi pengoperasian, maka dalam waktu singkat akan kembali ke titik awal pengoperasian. Konstanta waktu RC menentukan periode waktu perubahan keadaan. Monostable multivibrator termasuk jenis osilator *triggered*. Karakteristik rangkaian memiliki dua kondisi yaitu kondisi stabil dan kondisi tak stabil. Kondisi tak stabil diawali dengan pulsa pemicu pada masukan. Setelah selang waktu $0,7 \times RC$, rangkaian kembali ke kondisi stabil. Rangkaian tidak mengalami perubahan sampai ada pulsa pemicu yang datang pada masukan. Berikut Gambar 3.13 merupakan rangkaian multivibrator monostabel.



Gambar 3.13 Rangkaian multivibrator monostabel[8]

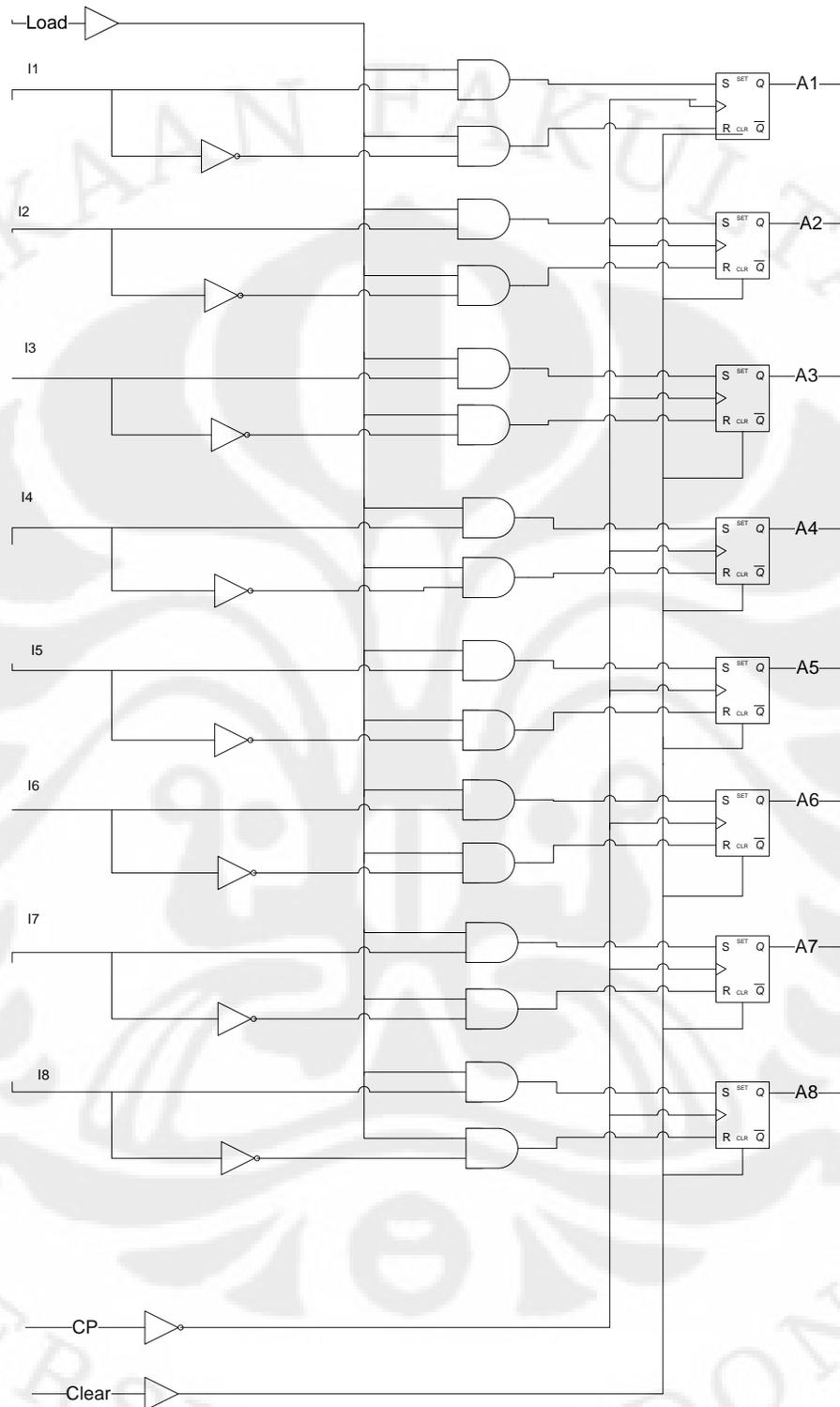
Masukkan yang dipergunakan adalah *clock generator* yang frekuensinya telah diturunkan menjadi $\frac{1}{2}$ kalinya, yaitu hasil keluaran dari counter yang terdapat pada *phase shifter*. Kemudian multivibrator akan menghasilkan sinyal pensampling tertentu untuk register tergantung pada nilai R_2 dan C_1 . Berikut merupakan sinyal pensampling yang dihasilkan:



Gambar 3.14 Sinyal keluaran multivibrator.[8]

3.7.2 IC74166D

IC74166D merupakan IC 8 bit *shift register*. Dalam rangkaian *sampling* ini *shift register* tersebut digunakan sebagai paralel register, namun hanya dipergunakan 2 bit terakhir saja untuk kanal I dan Q. Proses penyimpanan bit-bit pada register disebut dengan loading register, untuk paralel register proses penyimpanan terjadi saat kaki ke 15 dari regiter menerima sinyal pensampling dengan kondisi *high*, dan karena hanya kaki 12 dan 14 yang dipergunakan maka secara paralel oleh register menyimpan 2 bit. Kemudian 2 bit yang tersimpan ini akan dikeluarkan register sesuai dengan *clock* masukkan pada kaki 7. *Clock* yang dipergunakan untuk masukkan register merupakan *clock* yang dihasilkan dari *clock generator*, namun dengan frekuensi yang telah diturunkan $\frac{1}{4}$ kali. *Clock* ini diperoleh dari hasil keluaran counter pada rangkaian *phase shifter*. Kaki 9 dihubungkan dengan vcc, dan kaki 6 dihubungkan ke ground, sehingga register berkerja secara paralel dan menghasilkan keluaran serial pada kaki 13. Gambar 3.15 adalah rangkaian paralel register tersebut.



Gambar 3.15 Rangkaian *parallel register*[6]

BAB IV ANALISIS

4.1 ANALISIS *CLOCK GENERATOR*

Penghasil sinyal *clock* pada penelitian ini menggunakan IC LM555 yang dirangkai sebagai rangkaian astabil. Rangkaian astabil yang dapat menghasilkan trigger internal, sehingga berfungsi sebagai penghasil sinyal pulsa. Namun dikarenakan IC LM555 tidak dapat menghasilkan sinyal pulsa dengan *duty cycle* sebesar 50%, maka pada simulasi yang dipergunakan adalah *clock generator virtual*. Hal ini menurut persamaan 3.4:

$$D = \frac{R_B}{R_A + 2R_B}$$

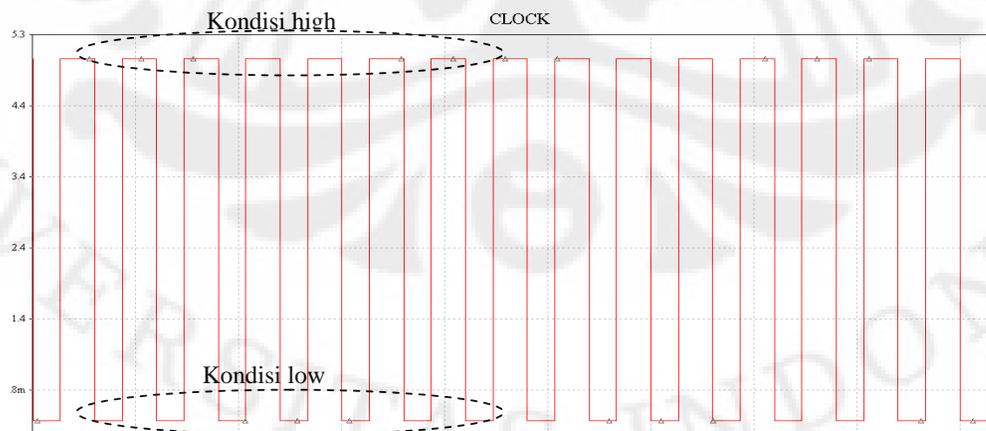
$$0,5 = \frac{R_B}{R_A + 2R_B}$$

$$0,5(R_A + 2R_B) = R_B$$

$$0,5R_A + R_B = R_B$$

maka nilai $R_A = R_B = 0$.

Nilai *duty cycle* yang dapat dihasilkan maksimal hanya mendekati 50%, hal ini terkait karakteristik dari IC LM555. Berikut sinyal pulsa yang dihasilkan dari IC LM555:



Gambar 4.1 Sinyal hasil *clock generator* IC LM555

Terlihat pada gambar diatas, periode *clock* yang dihasilkan antara nilai *high* dan *low* tidak sama.

4.2 ANALISIS PROSES SINUSOIDAL TO SQUARE WAVE

Rangkaian *sinusoidal to square wave* yang dipergunakan pada penelitian ini berkerja pada frekuensi 250 KHz dan tegangan 8 V. Dikarenakan pada simulasi ini nilai kapasitor polar yang terkecil adalah 1 uF, sedangkan nilai kapasitansi dan induktansi harus beresonansi pada frekuensi tertentu. Maka dipergunakan induktor dengan nilai 3,9 uH. Sesuai dengan persamaan 3.3 berikut:

$$X_L = X_C$$

$$2\pi fL = \frac{1}{2\pi fC}$$

$$L = \frac{1}{4\pi^2 f^2 C}$$

$$L = 3,9 \times 10^{-6}, \text{ untuk } f = 250 \text{ KHz dan } C = 1 \text{ uF}$$

Maka penentuan nilai resistor sesuai dengan perhitungan:

$$L = 5 / (6,28 \times f \times I)$$

$$I = 5 / L \times (6,28 \times f)$$

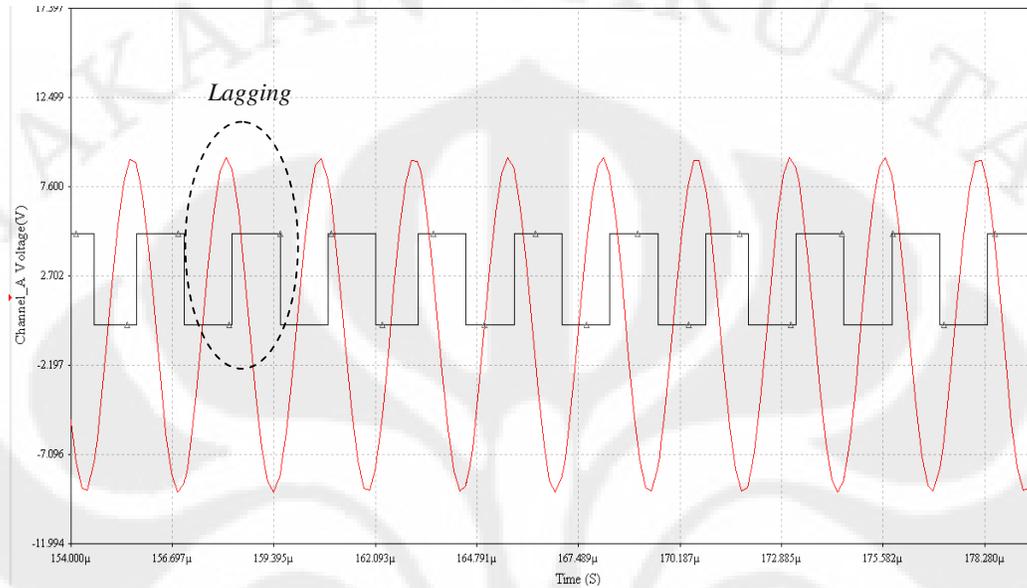
$$I = 0,816$$

$$R = \frac{V_{in}}{I}$$

$$R = 10\Omega$$

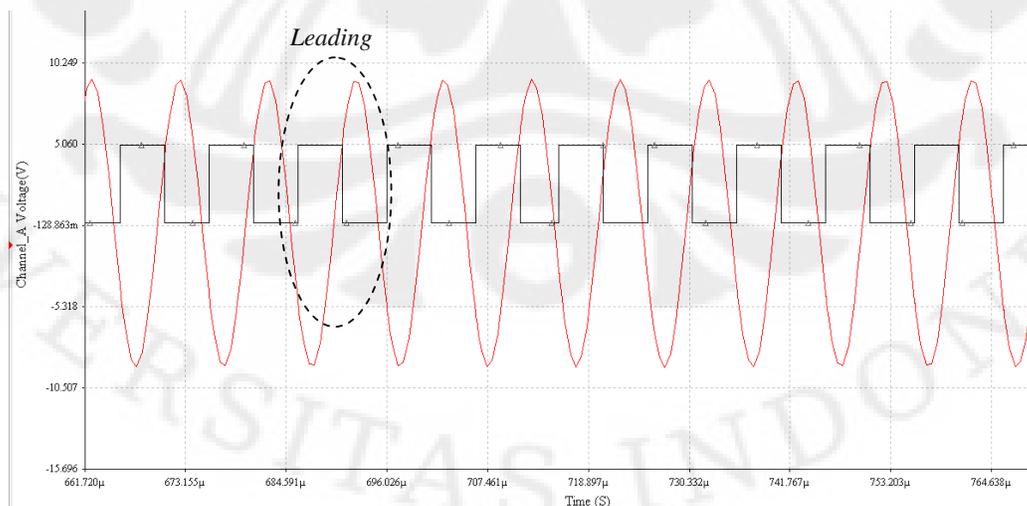
Apabila sinyal input yang diterima oleh rangkaian ini memiliki frekuensi yang kurang dari 240 KHz atau lebih dari 260 KHz, maka sinyal *square wave* yang dihasilkan akan mengalami pergeseran fasa. Sebagai contoh bila sinyal input berfrekuensi 400 KHz, maka akan dihasilkan sinyal pulsa yang mengalami pergeseran fasa. Terlihat pada saat sinyal *sinusoidal* telah melewati tegangan

puncaknya, namun dihasilkan tegangan pulsa yang berkondisi *high*, sehingga terjadi pergeseran fasa atau mengalami *lagging*.



Gambar 4.2 Sinyal input 400 KHz

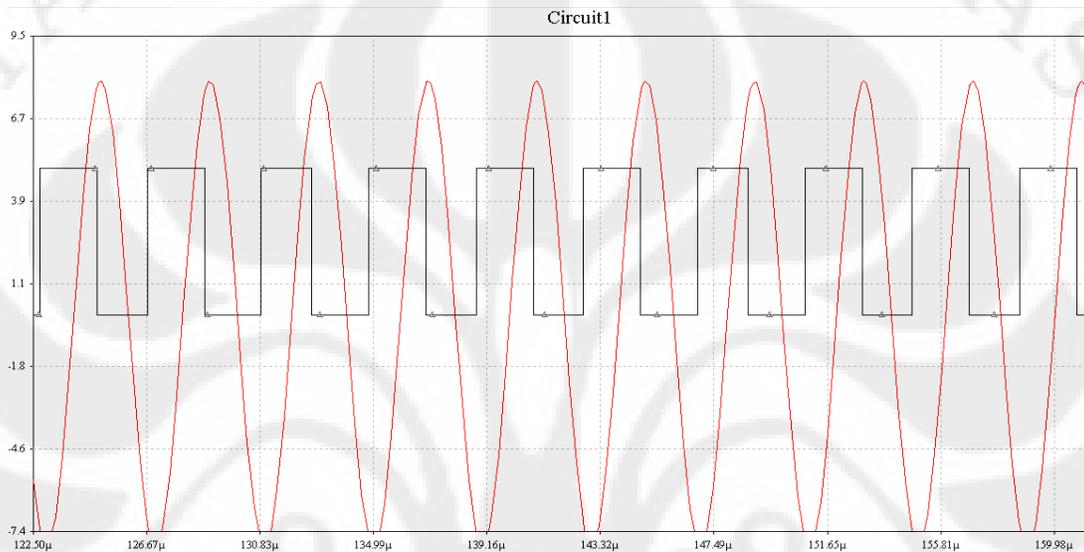
Contoh lain apabila sinyal input memiliki frekuensi 100 KHz, maka sinyal pulsa yang dihasilkan memiliki ketidak akuratan. Pada saat sinyal *sinusoidal* masih dalam kondisi menuju tegangan puncak (*V peak*), namun sinyal pulsa yang dihasilkan berkondisi *low*, sehingga terdapat pergeseran fasa atau mengalami *leading*.



Gambar 4.3 Sinyal input 100 KHz

Hal tersebut terjadi karena kapasitor dengan induktor tidak saling beresonansi pada frekuensi 100 KHz dan 400 KHz, sehingga nilai kapasitansi dan induktansi tidak sama.

Dengan sinyal input yang memiliki frekuensi 250 KHz dan tegangan 8 V, dihasilkan sinyal pulsa yang sesuai. Sinyal pulsa ini yang kemudian didemodulasi untuk mendapatkan sinyal data sebenarnya dengan rangkaian demodulator.



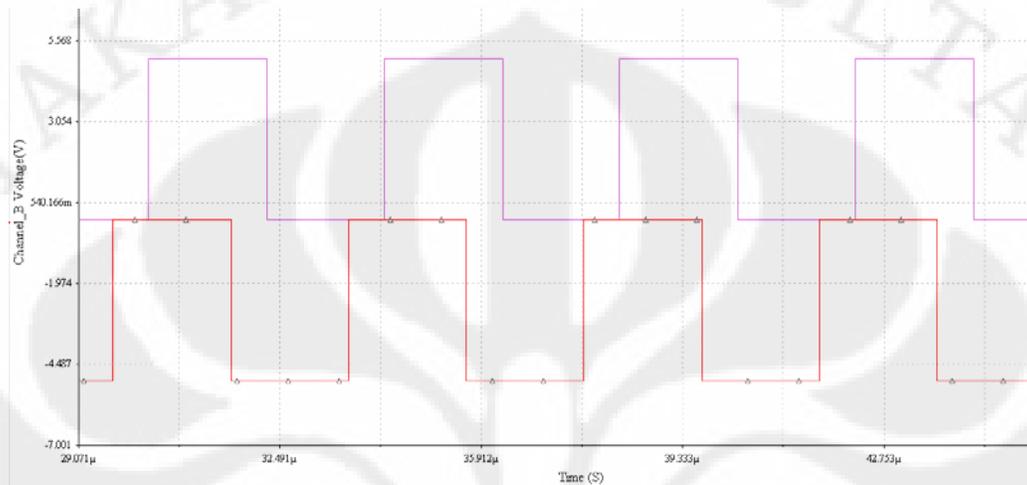
Gambar 4.4 Sinyal input 250 KHz

4.3 ANALISIS SINKRONISASI *CLOCK RECOVERY*

Rangkaian *clock recovery* ini berfungsi untuk mensinkronkan *clock generator* pada demodulator dan *far-end* modulator QPSK. Rangkaian ini terdiri dari 2 buah sistem. Sistem yang pertama, berupa rangkaian *sinusoidal to square wave* yang berfungsi untuk mengubah *modulated signal* QPSK menjadi sinyal pulsa dan menggeser sinyal pulsa tersebut menjadi mendahului sinyal yang diterima QPSK. Sistem yang kedua, menggunakan multivibrator yang berfungsi untuk membangkitkan sinyal pensinkron.

Pada sistem pertama, proses penggeseran ditentukan oleh besarnya nilai kapasitor yang digunakan. Pada penelitian ini digunakan kapasitor berukuran 15 nF. Pergeseran yang dilakukan pada *modulated signal* QPSK ini bertujuan agar sebelum sinyal QPSK yang diterima pada rangkaian *sinusoidal to square wave*, rangkaian sudah menghasilkan sinyal pensinkron untuk mengaktifkan *clock*.

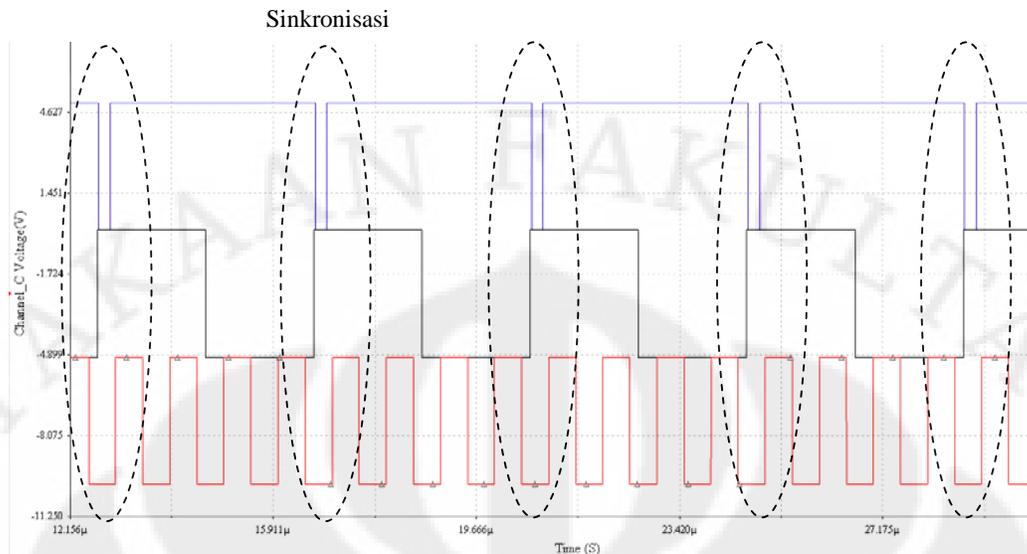
Gambar 4.5 hasil keluaran dari sistem pertama (merah) dengan hasil keluaran dari *sinusoidal to squarewave* (hijau) sinyal QPSK yang diterima dan telah menjadi sinyal pulsa. Terlihat ada pergeseran, sehingga sinyal dari sistem pertama menjadi sinyal inisiasi.



Gambar 4.5 Perbandingan sinyal *clock recovery* dengan *sinusoidal to squarewave*

Pada sistem kedua, sinyal keluaran dari sistem pertama diubah menjadi sinyal pensinkron. Sinyal pensinkron ini menjadi masukan untuk tegangan pencatu *clock generator*. Sinyal pensinkron ini memiliki kondisi *high* yang panjang, dan kondisi *low* sesaat. Kondisi *high* berfungsi untuk mengaktifkan *clock generator*, dan kondisi *low* untuk menonaktifkannya. Sehingga apabila sinyal QPSK yang berbentuk pulsa yang telah digeser diterima oleh sistem kedua, maka akan dihasilkan sinyal berkondisi *low* sesaat dan kemudian berkondisi *high*, sinyal ini akan berulang selama 1 periode sinyal QPSK.

Pada Gambar 4.6 terlihat, sinyal kedua (hitam) merupakan sinyal keluaran yang dihasilkan oleh sistem pertama, sinyal tersebut sudah mengalami pergeseran sehingga mendahului sinyal QPSK yang diterima oleh demodulator. Sinyal pertama (biru) merupakan sinyal keluaran dari sistem kedua, dapat terlihat pada saat multivibrator menerima sinyal berkondisi *high* maka akan menghasilkan sinyal berkondisi *low* sesaat dan kemudian berkondisi *high* selama 1 periode.



Gambar 4.6 Hasil keluaran rangkaian *Clock Recovery*

Sinyal hasil multivibrator inilah yang akan menjadi masukan untuk *clock generator*. Sehingga untuk setiap 1 periode sinyal QPSK yang diterima, maka *clock generator* akan di aktifkan dan dinonaktifkan atau dengan direset. Proses inilah yang akan menjaga *clock generator* demodulator dengan modulator tetap sinkron.

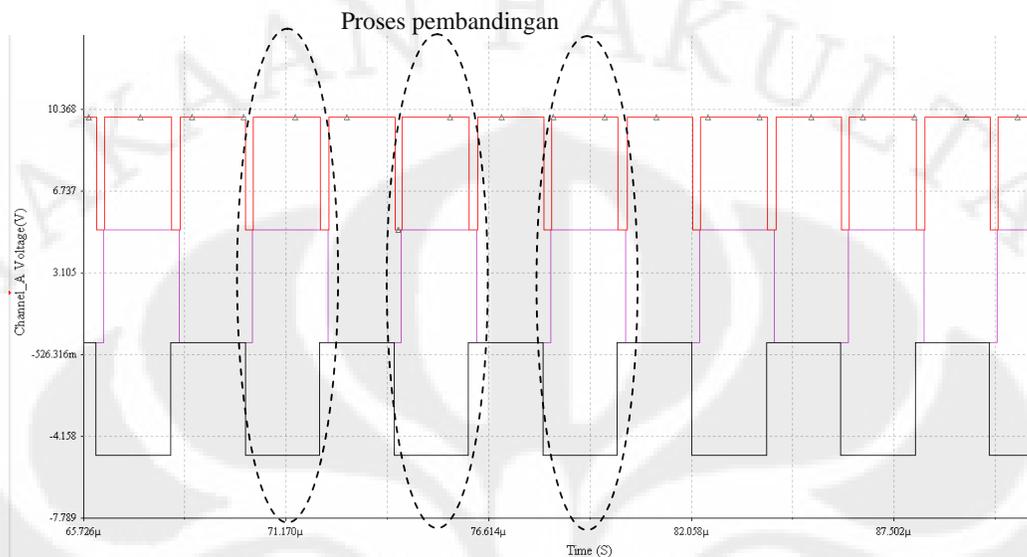
Namun karena pada penelitian ini menggunakan *clock generator virtual*, maka hasil keluaran dari rangkaian ini dan *clock virtual* dengan frekuensi 1 MHz menjadi masukan pada gerbang *and*.

4.4 ANALISIS COMPARATOR

Pada proses ini menggunakan sebuah IC sebagai X-OR, fungsinya untuk membandingkan sinyal yang diterima dengan sinyal *carrier* pada kanal I dan Q. Pada penelitian kali ini menggunakan *clock generator virtual*, sehingga sinyal *clock* yang masuk pada rangkaian *phase shifter* memiliki kondisi *high* sebagai awal. Hal ini mengakibatkan kesalahan hasil keluaran dari rangkaian *comparator*, seperti terlihat pada Gambar 4.7.

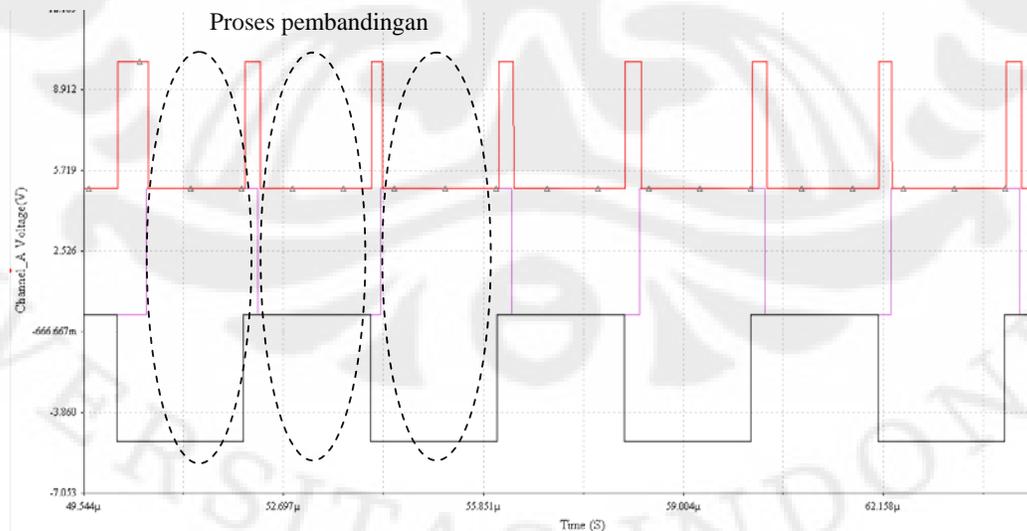
Pada Gambar 4.7 terlihat, sinyal QPSK yang diterima (tengah) dibandingkan dengan sinyal *carrier* tanpa penggeseran untuk kanal I (bawah), dihasilkan sinyal informasi (atas) dengan kondisi *high* pada awal periode. Apabila sinyal ini disampling, maka akan menghasilkan sinyal serial berkondisi *high* pada awal periode, sedangkan sinyal yang dikirimkan pada modulator sebenarnya berkondisi

low. Maka sinyal keluaran yang dihasilkan pada rangkaian *comparator* harus di-*invert* terlebih dahulu dengan sebuah IC *inverter*, sebelum disampling.



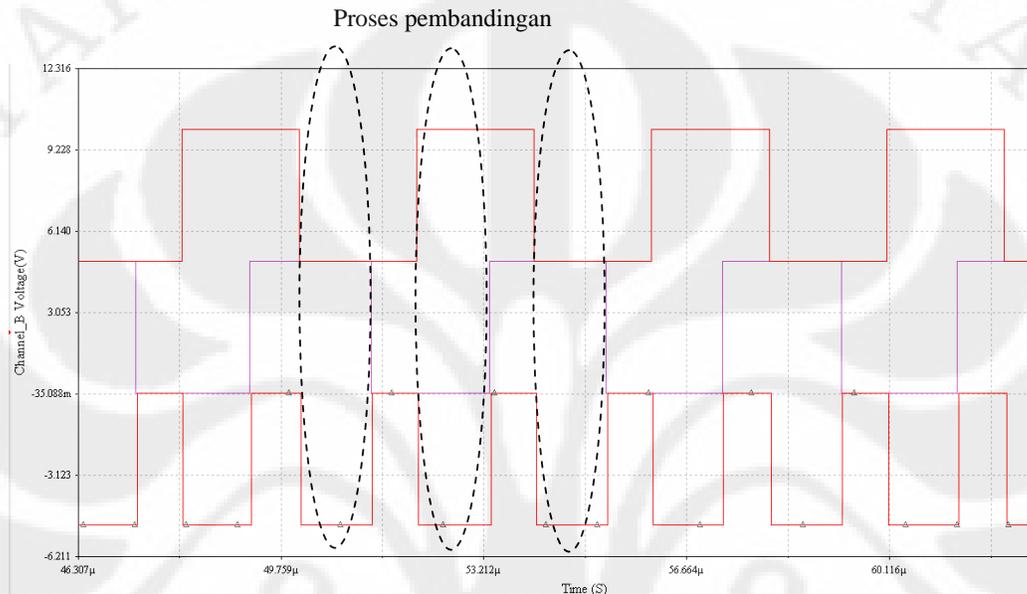
Gambar 4.7 Hasil *comparator* tidak sesuai

Pada Gambar 4.8, terlihat hasil keluaran yang sesuai untuk kanal I. Sinyal informasi (atas) yang dihasilkan memiliki kondisi *low*, untuk setiap awal periode. Apabila data ini disampling, maka akan menghasilkan sinyal *serial* berkondisi *low* sesuai dengan yang dikirimkan oleh modulator.



Gambar 4.8 Hasil *comparator* untuk kanal I

Pada Gambar 4.9, terlihat hasil keluaran yang sesuai untuk kanal Q. Sinyal informasi (bawah) yang dihasilkan memiliki kondisi *low*, untuk setiap awal periode. Apabila data ini disampling, maka akan menghasilkan sinyal *serial* berkondisi *low* sesuai dengan yang dikirimkan oleh modulator.



Gambar 4.9 Hasil *comparator* untuk kanal Q

4.5 ANALISIS PROSES SAMPLING

Pada rangkaian sampling dipergunakan 2 buah IC yaitu IC 74123 sebagai multivibrator dan IC 74166 sebagai *shift* register. Multivibrator berfungsi sebagai penghasil sinyal pensampling yang digunakan pada *shift* register, sedangkan register berfungsi untuk menyatukan data paralel menjadi data serial.

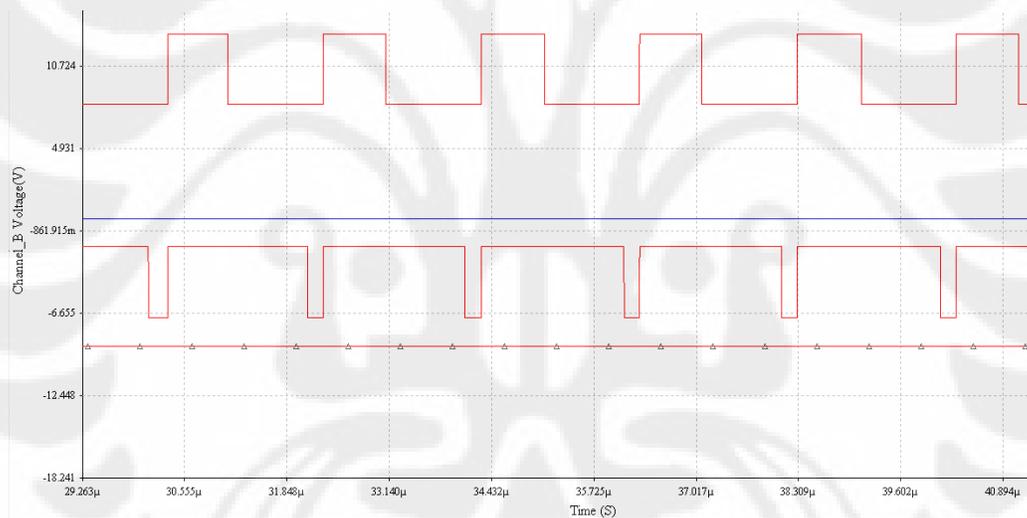
Sinyal pensampling yang dihasilkan oleh multivibrator dipengaruhi oleh nilai dari resistor dan kapasitor. Dikarenakan lebih mudah melakukan variasi dari sisi resistor, maka pada penelitian ini nilai kapasitor ditetapkan sebesar 1 uF, sedangkan besar resistor sesuai dengan persamaan:

$$T = 0,7 \times R \times C \dots \dots \dots (4.1)$$

T = periode sinyal pensampling dengan kondisi *high*.

Register akan menyimpan bit-bit input pada saat kaki 15 (*shift/load*) pada kondisi *low*. Untuk mempermudah proses penyimpanan bit-bit tersebut, maka sebelum sinyal pensampling menjadi masuk ke kaki15, sinyal akan di invert terlebih dahulu. Sehingga dengan mengatur nilai T (periode sinyal pensampling dengan kondisi *high*) pada multivibrator, hal tersebut juga mengatur waktu bit-bit masukkan pada register untuk disimpan.

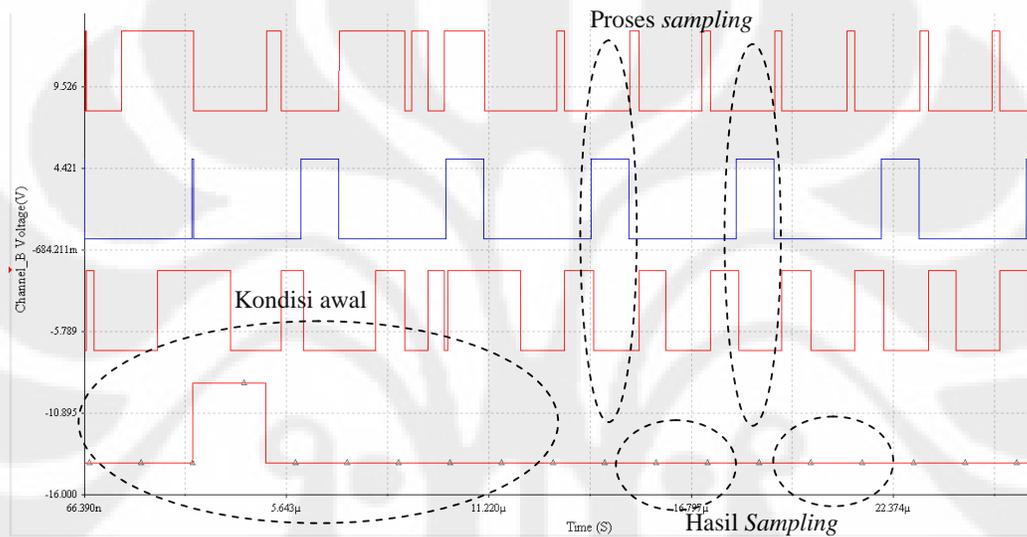
Apabila nilai resistor tidak sesuai, maka sinyal pensampling yang dihasilkan multivibrator tidak dapat digunakan sebagai sinyal yang mengatur register untuk menyimpan dan menggeser bit-bit masukkan. Terlihat pada gambar dibawah, sinyal *sampling* multivibrator (biru) akan selalu bernilai *low*, hal ini berarti register hanya akan menggeser bit-bit masukkan dari kanal I (pertama) dan kanal Q (kedua).



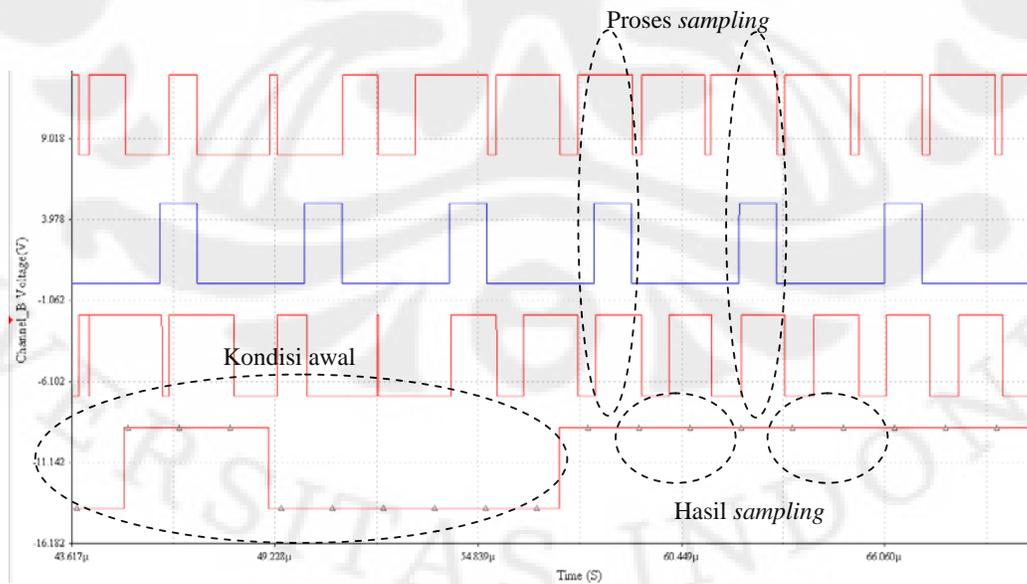
Gambar 4.10 Sinyal pensampling tidak sesuai

Pada Gambar 4.11 terlihat, apabila nilai resistor sesuai maka dihasilkan sinyal pensampling (biru) yang diinginkan. Pada kondisi *high*, register akan menyimpan bit-bit dari kanal I dan Q. Bit-bit tersebut akan tergeser keluar saat sinyal pensampling kondisi *low*. Hasil keluaran register akan di trigger oleh *clock* input register, dengan frekuensi 2 kali frekuensi sinyal pensampling. Hal ini agar pada saat register mulai menyimpan bit-bit selanjutnya, bit-bit dari kanal I dan Q sebelumnya telah seluruhnya di keluarkan secara serial.

Pada proses sampling pertama sumber data yang dikirimkan pada modulator memiliki simbol 00. Pada Gambar 4.11, multivibrator menghasilkan sinyal kondisi *high* pada saat kanal I dan Q bernilai *low*. Ini berarti register menyimpan sinyal kondisi *low* untuk setiap kanal. Kemudian register menerima 2 periode *clock* untuk mengeluarkan nilai-nilai tersebut secara serial. Keluaran register dapat terlihat pada sinyal terbawah yang selalu bernilai *low* (00) untuk 1 periode, hal ini sesuai dengan data sumber yang ada pada bagian modulator.



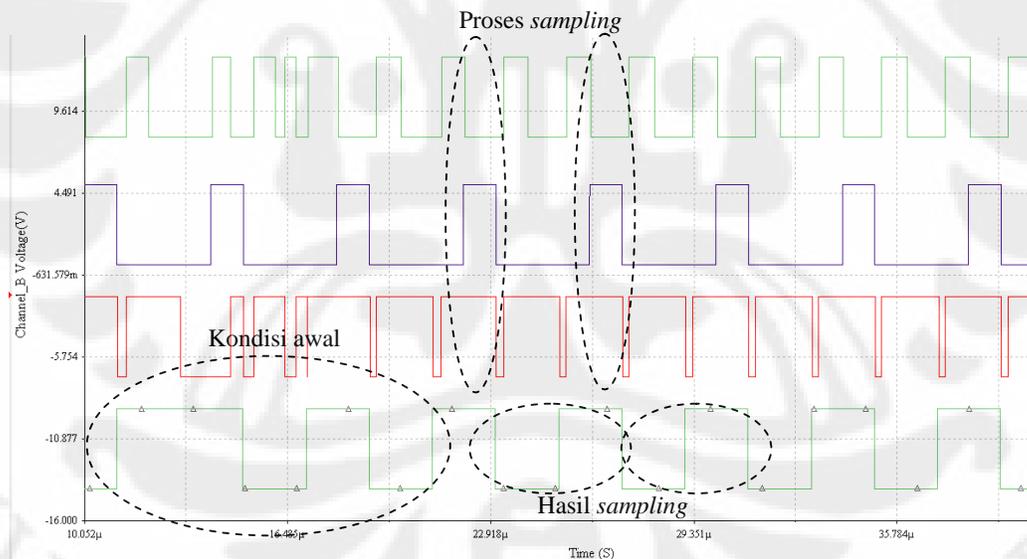
Gambar 4.11 Sinyal pensampling data 00



Gambar 4.12 Sinyal pensampling data 11

Pada proses sampling kedua sumber data yang dikirimkan pada modulator memiliki simbol 11. Pada Gambar 4.12, multivibrator menghasilkan sinyal kondisi *high* pada saat kanal I dan Q bernilai *high*. Ini berarti register menyimpan sinyal kondisi *high*. Kemudian register menerima 2 periode *clock* untuk mengeluarkan nilai-nilai tersebut secara serial. Keluaran register dapat terlihat pada sinyal terbawah yang selalu bernilai *high* (11) untuk 1 periode, hal ini sesuai dengan data sumber yang ada pada bagian modulator.

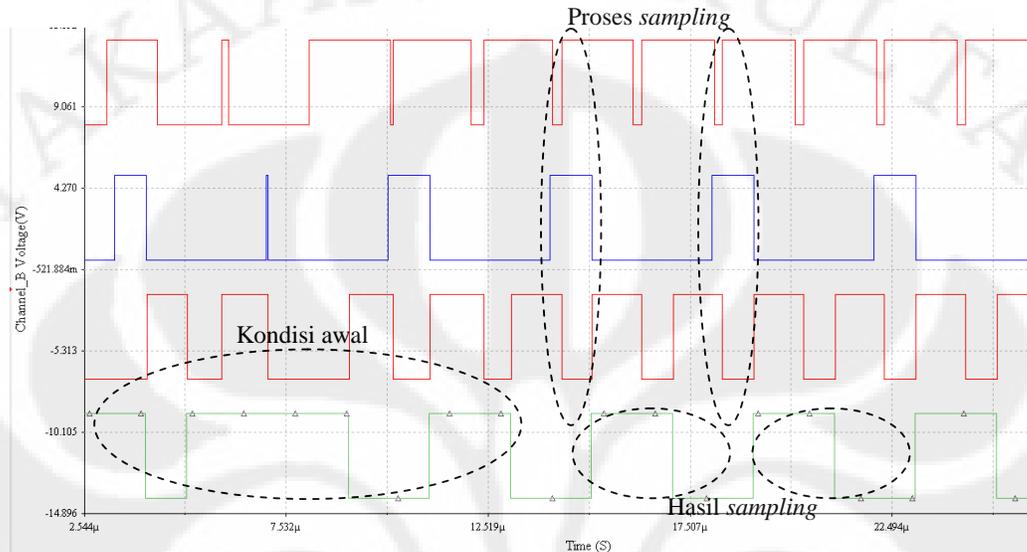
Pada proses sampling ketiga, sumber data yang dikirimkan oleh modulator memiliki simbol 01. Pada Gambar 4.13, multivibrator menghasilkan sinyal kondisi *high* pada saat kanal I bernilai *low* dan kanal Q bernilai *high*. Hal ini berarti register menyimpan nilai 0 dan 1, setelah register menerima 2 periode *clock*, data yang tersimpan tersebut dikeluarkan secara serial. Keluaran register terdapat pada sinyal terbawah yang bernilai 01 untuk 1 periode, hal ini sesuai dengan data yang dikirimkan oleh modulator.



Gambar 4.13 Sinyal Pensampling data 01

Pada proses sampling keempat, sumber data yang dikirimkan oleh modulator memiliki simbol 10. Pada Gambar 4.14, multivibrator menghasilkan sinyal kondisi *high* pada saat kanal I bernilai *high* dan kanal Q bernilai *low*. Hal ini berarti register menyimpan nilai 1 dan 0, setelah register menerima 2 periode *clock*, data yang

tersimpan tersebut dikeluarkan secara serial. Keluaran register terdapat pada sinyal terbawah yang bernilai 10 untuk 1 periode, hal ini sesuai dengan data yang dikirimkan oleh modulator.



Gambar 4.14 Sinyal Pensampling data 10

Namun pada kondisi awal demodulator tidak dapat mendemodulasikan sinyal QPSK dengan baik, hal tersebut dapat terlihat pada hasil sampling awal yang tidak sesuai dengan data yang dikirimkan oleh modulator. Hal ini disebabkan karena pada kondisi awal frekuensi sinyal yang diterima oleh demodulator tidak sesuai dengan karakteristik kerja demodulator.

BAB V

KESIMPULAN

1. Telah berhasil dirancang demodulator QPSK untuk modem PLC berdasar pada rangkaian logika diskrit dengan menggunakan perangkat lunak Multisim 10.
2. Sinyal *clock* yang digunakan pada rangkaian demodulator harus sinkron dengan sinyal *clock* yang digunakan pada rangkaian modulator, oleh karena itu diperlukan bagian yang berfungsi sebagai *clock recovery*.
3. Rangkaian *clock recovery* pada simulasi ini berkerja dengan mengaktifkan dan menonaktifkan *clock generator*, dan proses ini berkerja setiap *clock generator* menghasilkan 4 periode *clock*.
4. Rangkaian simulasi ini dapat direalisasikan menjadi rangkaian riil, namun dengan melakukan perubahan pada *clock generator virtual*, karena berdasarkan simulasi dengan menggunakan perangkat lunak Multisim 10 dan perhitungan LM 555, tidak dapat menghasilkan sinyal *clock* dengan *duty cycle* 50%.
5. Pada kondisi awal, demodulator tidak dengan baik mendemodulasikan sinyal QPSK yang diterima. Hal ini disebabkan karena pada kondisi awal frekuensi sinyal yang diterima oleh demodulator tidak sesuai dengan karakteristik kerja demodulator.
6. Rangkaian *sinusoidal to square wave* yang pada simulasi ini berkerja pada frekuensi 250 KHz. Apabila sinyal sinus masukkan memiliki frekuensi kurang dari 240 KHz dan melebihi dari 260 KHz, maka sinyal *square wave* yang dihasilkan mengalami pergeseran fasa.

DAFTAR ACUAN

- [1] Gellings, Clark W. *Broadband Over Power Line 2004: Technology and Prospect*.
Primen Inc. USA 2004.
- [2] Petrus, Johannes. *Membangun Jaringan Komputer Menggunakan Power Line
(PLC)*. STMIK MDP
- [3] Wibisono. Gunawan, *Pembuatan Prototipe Modem Power Line Communications
(PLC) Dengan Metoda Orthogonal FDM*. Maret 2007.
- [4] Langton. Charan, *All About Modulation: Basic Concepts, Signal Space,
Constellations and Phase Shift Keying Modulation (PSK, QPSK, OQPSK, M-
PSK, $\pi/4$ -QPSK, MSK and GMSK), Inuitive Guide to Principles of
Communication* www.complextoreal.com, Desember 2005.
- [5] *Waveform Conversion, Part I - Sine to Square* diakses dari:
[www.radiolocman.com/shem.tanggal 12 oktober 2007](http://www.radiolocman.com/shem.tanggal.12.oktober.2007). Wenzel Associates,
inc.
- [6] Mano. M. Morris, Kime. Charles R. *Logic and Computer Design Fundamental
third edition*, Pearson Education International. London 2004
- [7] LM555/LM555C Timer. National Semiconductor. May 1997
- [8] Rangkaian oscillator diakses dari [yb1zdx.arc.itb.ac.id/.../elektronika/elektronika-
dasar-II-univ-negeri-jember/bab17-rangkaian-oscillator.pdf](http://yb1zdx.arc.itb.ac.id/.../elektronika/elektronika-dasar-II-univ-negeri-jember/bab17-rangkaian-oscillator.pdf) tanggal 12
oktober 2007. Elektronika dasar II universitas negeri Jember

DAFTAR PUSTAKA

Millman. Jacob, Grabel. Arvin, *Microelectronic second edition*. McGraw-Hill International Edition. Singapura 1987

Mano. M. Morris, Kime. Charles R. *Logic and Computer Design Fundamental third edition*, Pearson Education International. London 2004

Wibisono. Gunawan, *Pembuatan Prototipe Modem Power Line Communications (PLC) Dengan Metoda Orthogonal FDM*. Maret 2007.

Langton. Charan, *All About Modulation: Basic Concepts, Signal Space, Constellations and Phase Shift Keying Modulation (PSK, QPSK, OQPSK, M-PSK, $\pi/4$ -QPSK, MSK and GMSK), Inuitive Guide to Principles of Communication* www.complextoreal.com , Desember 2005.

Sirat. Djamhari, Djohan D. Arman. *Error Rate Performance Untuk Sistem Komunikasi Satelit Untuk Stasiun Bergerak (Mobile) dengan Menggunakan Teknik Modulasi DQPSK*. 25 Februari 1993

Integrated Circuits TTL '84/85. Binatronika.