

Judul:

Formalisasi algoritma aritmatika dan konstruksi terkait pada VHDL dengan HOL theorem prover = Formalization of arithmetic algorithm and the related constructions in VHDL by using HOL theorem prover

Pengarang/Penulis:

Dwi Teguh Priyantini, author

Subjek:

Arithmetic; Algorithm; Arithmetic -- Computer-assisted instruction

Nomor Panggil:

T-Pdf

Penerbitan:

Fakultas Ilmu Komputer Universitas Indonesia

Link Terkait:

- [Deskripsi Bibliografi](#)
- [Abstrak](#)
- [Dokumen Yang Mirip](#)
- [Universitas Indonesia Library](#)