

Judul:

Advanced HDL synthesis and SOC prototyping RTL design using verilog

Pengarang/Penulis:

Taraate, Vaibhav, author

Subjek:

Circuits and Systems; Control structures and microprogramming; Logic design

Nomor Panggil:

e20505551

Penerbitan:

Springer Nature

Link Terkait:

- [Deskripsi Bibliografi](#)
- [Abstrak](#)
- [Dokumen Yang Mirip](#)
- [Universitas Indonesia Library](#)